

**CENTRO DE INVESTIGACIÓN CIENTÍFICA Y DE EDUCACIÓN SUPERIOR  
DE ENSENADA**



---

**PROGRAMA DE POSGRADO EN CIENCIAS  
EN ELECTRÓNICA Y TELECOMUNICACIONES**

---

**MODELADO DE TRANSISTORES DE POTENCIA A BASE DE GaN**

TESIS

que para cubrir parcialmente los requisitos necesarios para obtener el grado de  
MAESTRO EN CIENCIAS

Presenta:

ANDRÉS ZÁRATE DE LANDA

Ensenada, Baja California, México, Agosto 2007

**RESUMEN** de la tesis de **Andrés Zárate de Landa**, presentada como requisito parcial para la obtención del grado de MAESTRO EN CIENCIAS en ELECTRÓNICA Y TELECOMUNICACIONES con orientación en Electrónica de Alta Frecuencia. Ensenada, Baja California, México. Agosto 2007.

## **MODELADO DE TRANSISTORES DE POTENCIA A BASE DE GaN.**

Resumen aprobado por:

---

Dr. J. Apolinar Reynoso Hernández  
Director de Tesis

El transistor de alta movilidad electrónica (HEMT) basado en AlGaIn/GaN es un serio candidato para aplicaciones de microondas debido a su alta potencia y características de bajo ruido a tales frecuencias. El diseño de amplificadores de potencia de AlGaIn/GaN requiere de un modelo en gran señal del dispositivo. El modelo en gran señal está basado en el modelo de pequeña señal obtenido a diferentes condiciones de polarización. Además, para el análisis del comportamiento de ruido se requiere del conocimiento del modelo en pequeña señal para extraer el modelo intrínseco de ruido.

El circuito equivalente en pequeña señal utilizado para modelar MESFETs de GaAs y PHEMTs consiste de elementos parásitos e intrínsecos. Existe un método bien establecido para extraer los elementos parásitos para este tipo de transistor, conocido como método de "cold FET" (FET en frío). En el caso de HEMTs de AlGaIn/GaN los elementos parásitos del modelo de circuito equivalente en pequeña señal son difíciles de extraer utilizando el método del "cold FET", particularmente la resistencia de compuerta  $R_g$  y la inductancia de compuerta  $L_g$ . La dificultad reside en que se necesitan valores muy altos de corriente de compuerta en directo para suprimir el efecto de la resistencia diferencial de compuerta, sin embargo, altas corrientes de compuerta en directo pueden producir daños irreversibles en esta y dañar al dispositivo.

En este trabajo de tesis se presenta un nuevo método para extraer las resistencias e inductancias parásitas al polarizar el HEMT de AlGaIn/GaN con bajos valores de corriente de DC de compuerta en directo y drenador flotante. La originalidad del método propuesto recae en el uso de una baja corriente de DC de compuerta en directo para extraer  $R_g$  y  $L_g$ , mientras que el método clásico para extraer  $R_g$  y  $L_g$  utiliza diferentes conjuntos de parámetros  $S$  medidos a altas corrientes de DC de compuerta en directo. Además, se presenta un método sencillo para calcular las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$  al restar a la medición del "cold FET" bloqueado las inductancias parásitas de compuerta y drenador, y tomando en cuenta la capacitancia del diodo Schottky. Se verifica la validez del método propuesto por la buena predicción del modelo de los datos experimentales.

**Palabras Clave:** AlGaIn/GaN HEMTs, elementos parásitos, circuito eléctrico equivalente de pequeña señal.

**ABSTRACT** of the thesis presented by **Andrés Zárate de Landa** as a partial requirement to obtain the MASTER OF SCIENCE degree in ELECTRONICS AND TELECOMMUNICATIONS majoring in high frequency electronics. Ensenada, Baja California, Mexico. August 2007.

### **MODELING OF GaN BASED POWER TRANSISTORS.**

The AlGaIn/GaN high electron-mobility transistor (HEMT) is a promising candidate for microwave applications due to its high power and low noise characteristics at such frequencies. Power AlGaIn/GaN amplifier design requires large-signal modeling of the device. The large-signal model is based on small-signal models derived at different bias conditions. In addition, noise performance analysis also requires the knowledge of the small-signal model in order to extract the intrinsic noise parameters.

The small signal equivalent circuit used for modeling GaAs MESFETs and PHEMTs consists of parasitic and intrinsic elements. For this kind of transistor, and using large DC forward current, a well established method for extracting parasitic resistances and inductances already exists. In the case of AlGaIn/GaN HEMTs the parasitic elements of the small-signal equivalent circuit are still difficult to extract. It's well known that the gate resistance  $R_g$  and gate inductance  $L_g$  are very difficult to extract using the cold-FET method. The difficulty lies in the fact that a very high forward gate current is needed to suppress the gate differential resistance. However, large gate forward currents could produce irreversible and catastrophic damage to the transistor gate.

By biasing the AlGaIn/GaN HEMTs with a low DC gate forward current and a floating drain, a new method for extracting parasitic resistances and parasitic inductances is introduced. The originality of the proposed method lies in the low DC gate forward current used for extracting  $R_g$  and  $L_g$ . While the classical method for extracting  $R_g$  and  $L_g$  uses a set of S-parameters measured under different large DC gate forward current, the proposed method uses a data set of S-parameters measured at a single low DC gate forward current. Also, by de-embedding the parasitic gate and drain inductances from the pinchoff "cold FET" measurement, and taking into account the Schottky diode capacitance a very easy method for extracting the parasitic capacitances  $C_{pg}$  and  $C_{pd}$  is presented. The excellent agreement between the model and experimental data verifies the validity of the proposed method.

**Keywords:** *AlGaIn/GaN HEMTs, parasitic elements, small-signal equivalent circuit.*

*...A mis padres por su  
apoyo incondicional*

## **Agradecimientos**

A mis papas Martha y Ramón por que gracias a ellos y a su ejemplo soy la persona que soy ahora y sobre todo por aguantarme todos estos años.

A mi hermana Alejandra y a mi cuñado Joey por su apoyo incondicional.

Le agradezco a mi director de tesis Dr. J. Apolinar Reynoso por que en este año de tesis más que un profesor fue un amigo y por todas las cosas que aprendí de él.

A los miembros de mi comité de tesis Dr. Héctor Escamilla, Dr. José Luís Medina y a la Dra. María del Carmen Maya por su tiempo y cuidadosa revisión de esta tesis.

A todos mis compañeros y amigos que hice en estos dos años de maestría con quienes pase momentos inolvidables.

A mis amigos Diana, Eric, Jesús, Ricardo, Adhara, Blanca, Arlethe, Gladis, Pau, Patty, quienes compartieron mis alegrías y tristezas como si fueran suyas y por su apoyo incondicional en todo lo que hago.

A mis profesores Apolinar Reynoso, José Luís Medina, Arturo Velázquez, Ricardo Chávez, Jesús Ibarra, Carmen Maya y Benjamín Ramírez por su paciencia, dedicación en enseñar y siempre estar disponibles para resolver dudas.

A Eleazar Zúñiga por enseñarme a utilizar el equipo de medición.

Al CONACYT por su apoyo financiero en mis estudios de maestría.

# Índice

---

---

## Capítulo I

<b>Introducción.....</b>	<b>1</b>
I.1 Antecedentes. ....	1
I.2 Objetivo. ....	4
I.3 Planteamiento del Problema. ....	4
I.4 Metodología de Investigación. ....	5
I.5 Organización de la Tesis. ....	6

## Capítulo II

<b>Material Semiconductor de Nitruro de Galio .....</b>	<b>8</b>
II.1 Características de los Transistores de AlGaIn/GaN. ....	8
II.2 Estado del Arte. ....	11
II.3 Ventajas del Material Semiconductor de Nitruro de Galio. ....	13
II.4 Origen de los electrones 2DEG. ....	14
II.5 Efectos de Alta Corriente y Limitaciones Carga-Espacio. ....	18
II.6 Efectos de Alto Voltaje. ....	19
II.7 Modo de Operación. ....	22
II.8 Aplicaciones. ....	24

## Capítulo III

<b>Modelado de Transistores.....</b>	<b>27</b>
III.1 Importancia del Modelado de Transistores. ....	27
III.2 Métodos Para Determinar los Elementos Parásitos del Circuito Equivalente del FET de Pequeña Señal. ....	30
III.2.1 Resistencias e Inductancias Parásitas. ....	30
III.2.1.1 Método en DC. ....	30
III.2.1.2 Métodos en RF (“cold FET”). ....	38
III.2.1.2.1 Método del “cold FET”. ....	38
III.2.1.2.2 Método de Chen et al. ....	42
III.2.1.2.3 Método de Giovanni Crupi et al. ....	45
III.2.2 Capacitancias Parásitas (cold FET en pinchoff. $V_{gs} < V_p$ ; $V_{ds} = 0$ ) ....	49
III.2.2.1 Método de Dambrine. ....	49
III.2.2.2 Método de White. ....	51
III.2.2.3 Método de Chen et al. ....	52
III.2.3 Método de Jarndal y Kompa para calcular los elementos parásitos en dispositivos de GaN. ....	53
III.2.4 Desventajas de los Métodos Existentes. ....	63
III.2.4.1 Desventajas del Método de Dambrine <i>et al.</i> ....	63

# Índice (continuación)

---

---

III.2.4.2 Desventajas del Método de Chen <i>et al.</i> .....	64
III.2.4.3 Desventajas del Método de Crupi <i>et al.</i> .....	65
III.2.4.4 Desventajas del Método de Jarndal y Kompa.....	65
III.3 Métodos Para Determinar los Elementos Intrínsecos del Circuito Equivalente del FET de Pequeña Señal (FET caliente).....	66
III.3.1 Método de Dambrine.....	66
III.3.2 Método de Beroth y R. Bosh.....	68
III.3.3 Jarndal y Kompa.....	70
III.4 Proceso de De-embedding.....	72

## Capítulo IV

<b>Nuevo Método para Extraer los Elementos Parásitos de Transistores de GaN en Oblea.....</b>	<b>73</b>
IV.1 Introducción.....	73
IV.2 Cálculo de las Resistencias e Inductancias Parásitas (“Cold FET” con Polarización en Directo, $V_{gs} > V_{bi} > 0$ ; $V_{ds}$ = flotante).....	74
IV.2.1 Cálculo de las Inductancias Parásitas y la Capacitancia del Diodo Schottky $C_0$ . .....	75
IV.2.2 Cálculo de las Resistencias Parásitas.....	78
IV.3 Cálculo de las Capacitancias Parásitas (Mediciones en Inverso).....	81
IV.4 Cálculo de la Inductancia de Fuente $L_s$ Cuando es Menor a Cero.....	85

## Capítulo V

<b>Resultados .....</b>	<b>87</b>
V.1 Introducción.....	87
V.2 Extracción de los Elementos Parásitos.....	87
V.2.1 Resistencias e Inductancias Parásitas.....	89
V.2.2 Capacitancias Parásitas.....	93
V.2.3 Conclusiones de la Extracción de los Elementos Parásitos.....	96
V.3 Extracción de los Elementos Intrínsecos.....	97
V.3.1 Transistor de $100\mu\text{m}$ .....	98
V.3.2 Transistor de $300\mu\text{m}$ .....	101
V.3.3 Transistor de $2\text{mm}$ .....	105
V.3.4 Conclusiones de la Extracción de los Elementos Intrínsecos.....	108
V.4 Aplicación del Método a Transistores de Diferentes Tecnologías.....	109
V.4.1 Transistor HEMT de Fosfuro de Indio (InP).....	110
V.4.2 Transistor MESFET de Arseniuro de Galio (GaAs).....	111
V.4.3 Transistor HEMT de Carburo de Silicio (SiC).....	113

# Índice (continuación)

---

---

## Capítulo VI

### Conclusiones ..... 115

VI.1 Conclusiones..... 115

VI.3 Aportaciones..... 116

VI.2 Trabajo futuro..... 116

### Referencias..... 117

### Apéndice A..... 120

A.1 Analizador de Redes Vectorial HP5810..... 120

A.2 Máquina de Puntas Summit 9000..... 121

### Apéndice B..... 123

B.1 Mediciones en Directa ( $V_{gs} > V_{bi} > 0$ ;  $V_{ds} = \text{flotante}$ )..... 123

B.2 Mediciones en Inversa ( $V_{gs} < V_p$ ;  $V_{ds} = 0$ )..... 124

B.3 Mediciones a Diferentes Puntos de Polarización..... 125



# Lista de Figuras

---

---

Figura 1. (a) y (b) Parte real e imaginaria de los parámetros Z del cold-FET de un HEMT de AlGaAs/GaAs. (c) y (d) Parte real e imaginaria de $Z_{11}$ de un HEMT de AlGaN/GaN. ....	5
Figura 2. Configuración del HEMT de AlGaN/GaN.....	12
Figura 3. Banda de conducción de una heterounión de AlGaN/GaN mostrando el pozo cuántico y 2DEG. ....	16
Figura 4. Modelo de formación del gas bidimensional en la interfaz AlGaN/GaN. ....	17
Figura 5 Modo de operación de un FET de Silicio.....	22
Figura 6 Modo de operación de un FET de GaN.....	23
Figura 7. Ubicación de los elementos del circuito eléctrico equivalente para un transistor de efecto de campo. ....	27
Figura 8. Modelo en gran señal del FET. ....	29
Figura 9. Modelo de diodo Schottky para transistores con drenador o fuente flotante. ....	31
Figura 10. Modelo del circuito eléctrico equivalente del transistor propuesto por Dambrine. ....	38
Figura 11. Descripción de la red RC distribuida bajo la compuerta.....	39
Figura 12. Evolución de la parte real e imaginaria de los parámetros Z de un HEMT de GaAs versus frecuencia bajo polarización directa en la compuerta y $V_{ds} =$ abierto. ....	41
Figura 13. Evolución de la parte real de $Z_{11}$ en función de $1/I_g$ . ....	42
Figura 14. Circuito eléctrico equivalente en pequeña señal de HEMTs de AlGaN/GaN propuesto por Chen.....	43
Figura 15. Circuito eléctrico equivalente del HEMT intrínseco de AlGaN/GaN a voltajes de compuerta bajos y $V_{ds} = 0$ V.....	44
Figura 16. Circuito equivalente del dispositivo. ....	46
Figura 17. Circuito equivalente del HEMT de GaN en “frío”.....	47
Figura 18. Modelo de Dambrine de la zona de deserción debajo de la compuerta para el “cold FET” en pinchoff.....	49
Figura 19. Circuito equivalente del “cold FET” en pinchoff según Dambrine. ....	50
Figura 20. Modelo de la zona de deserción debajo de la compuerta propuesto por White. 51	
Figura 21. Circuito equivalente de pequeña señal de un “cold FET” en pinchoff según White.....	52
Figura 22. Circuito eléctrico equivalente del dispositivo sin estructura de compuerta. ....	53
Figura 23. Modelo del HEMT de GaN activo de 22 elementos. ....	54
Figura 24. Modelo del “cold FET” de GaN en pinchoff a baja frecuencia. ....	55
Figura 25. Representa la red-T del circuito equivalente del “cold FET” en pinchoff. ....	58
Figura 26. Diagrama de flujo del algoritmo para el cálculo de los valores iniciales de los parámetros extrínsecos del modelo. ....	62
Figura 27. Circuito eléctrico equivalente del transistor intrínseco propuesto por Dambrine. ....	66
Figura 28. Circuito eléctrico equivalente del transistor intrínseco propuesto por M. Berroth y R. Bosh. ....	68

## Lista de Figuras (continuación)

---

---

Figura 29. Proceso de de-embedding para el cálculo de los parámetros Y del transistor intrínseco.....	72
Figura 30. Circuito eléctrico equivalente utilizado para modelar el HEMT en oblea.....	74
Figura 31. Circuito equivalente del HEMT de GaN con corriente DC baja en directa en la compuerta y drenador flotante.....	74
Figura 32. Gráfica de la parte imaginaria de $Z_{11}$ donde se muestra la frecuencia de resonancia $\omega_R$ .....	76
Figura 33. Gráfica de $\omega \text{Im}[Z_{11}]$ versus $\omega^2$ utilizada para calcular $(L_g + L_s)$ y $C_0$ .....	77
Figura 34. Gráfica de la parte real de $Z_{12}$ y $Z_{22}$ versus frecuencia de un HEMT de AlGaIn/GaN de $300 \mu\text{m}$ .....	78
Figura 35. Gráfica de $\text{Re}(Z_{22})$ versus $\omega^2$ utilizada para extraer el valor de $R_d$ del transistor de AlGaIn/GaN de $300 \mu\text{m}$ .....	79
Figura 36. Gráfica de $R_0$ versus frecuencia para un HEMT de GaN de $100 \mu\text{m}$ .....	80
Figura 37. Circuito equivalente del transistor polarizado en Inverso con $V_{gs} \ll V_p$ y $V_{ds} = 0$ .....	81
Figura 38. Circuito equivalente del transistor polarizado en Inverso transformado a topología en T.....	82
Figura 39. Circuito equivalente del transistor polarizado en Inverso definiendo la capacitancia $C_b = C_s = C_d$ .....	83
Figura 40. Algoritmo para encontrar los valores óptimos de capacitancias e inductancias parásitas.....	86
Figura 41. Comportamiento de $R_g$ independiente de la polarización para el HEMT de GaN de $100 \mu\text{m}$ .....	89
Figura 42. Independencia con respecto a la polarización de $R_g$ para los HEMTs de GaN de $300 \mu\text{m}$ y $2\text{mm}$ .....	89
Figura 43. Simulación de la parte real de $Z_{11}$ del HEMT de GaN de $100 \mu\text{m}$ .....	90
Figura 44. Simulación de la parte imaginaria de $Z_{11}$ del HEMT de GaN de $100 \mu\text{m}$ .....	90
Figura 45. Simulación de la parte real de $Z_{11}$ del HEMT de GaN de $300 \mu\text{m}$ .....	91
Figura 46. Simulación de la parte imaginaria de $Z_{11}$ del HEMT de GaN de $300 \mu\text{m}$ .....	91
Figura 47. Simulación de la parte real de $Z_{11}$ del HEMT de GaN de $2\text{mm}$ .....	92
Figura 48. Simulación de la parte imaginaria de $Z_{11}$ del HEMT de GaN de $2\text{mm}$ .....	92
Figura 49. Comportamiento en frecuencia de las capacitancias parásitas $C_{pg}$ y $C_{pd}$ para el transistor de $100 \mu\text{m}$ .....	93
Figura 50. Comportamiento en frecuencia de las capacitancias parásitas $C_{pg}$ y $C_{pd}$ para el transistor de $300 \mu\text{m}$ .....	93
Figura 51. Comportamiento en frecuencia de las capacitancias parásitas $C_{pg}$ y $C_{pd}$ para el transistor de $2\text{mm}$ .....	94
Figura 52. Parámetros Y simulados a partir de las mediciones en inverso del HEMT de GaN de $100 \mu\text{m}$ .....	95
Figura 53. Parámetros Y simulados a partir de las mediciones en inverso del HEMT de GaN de $300 \mu\text{m}$ .....	95

## Lista de Figuras (continuación)

---

---

Figura 54. Parámetros Y simulados a partir de las mediciones en inverso del HEMT de GaN de 2mm.....	96
Figura 55. Gráfica I(V) del HEMT de GaN de 100 $\mu\text{m}$ y la ubicación de las diferentes polarizaciones para el diseño de amplificadores clase A, AB, B, E y F.....	98
Figura 56. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase A ( $V_{gs} = -1.2 \text{ V}$ ; $V_{ds} = 10.0 \text{ V}$ ; $I_{ds} = 36.6 \text{ mA}$ ). .....	98
Figura 57. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase B, E o F ( $V_{gs} = -2.2 \text{ V}$ ; $V_{ds} = 18.0 \text{ V}$ ; $I_{ds} = 4.2 \text{ mA}$ ). .....	99
Figura 58. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase AB ( $V_{gs} = -0.4 \text{ V}$ ; $V_{ds} = 4.0 \text{ V}$ ; $I_{ds} = 57.48 \text{ mA}$ ). .....	99
Figura 59. Elementos intrínsecos calculados polarizando al transistor de 100 $\mu\text{m}$ para el diseño de un amplificador altamente eficiente clase E o F.....	100
Figura 60. Gráfica tridimensional de los elementos intrínsecos versus los voltajes de compuerta y drenador del HEMT de GaN de 100 $\mu\text{m}$ .....	100
Figura 61. Comparación entre los datos medidos y los simulados del aislamiento (a) y la ganancia (b) del HEMT de GaN de 100 $\mu\text{m}$ polarizado a ( $V_{gs} = 0 \text{ V}$ ; $V_{ds} = 20.0 \text{ V}$ ; $I_{ds} = 44.62 \text{ mA}$ ). .....	101
Figura 62. Gráfica I(V) del HEMT de GaN de 300 $\mu\text{m}$ y la ubicación de las diferentes polarizaciones para el diseño de amplificadores clase A, B AB, E y F.....	101
Figura 63. Comparación de los parámetros S medidos y simulados para el diseño de un amplificador clase A ( $V_{gs} = -1.0 \text{ V}$ ; $V_{ds} = 10.0 \text{ V}$ ; $I_{ds} = 123.9 \text{ mA}$ ). .....	102
Figura 64. Comparación de los parámetros S medidos y simulados para el diseño de un amplificador clase B, E o F ( $V_{gs} = -2.5 \text{ V}$ ; $V_{ds} = 20.0 \text{ V}$ ; $I_{ds} = 19.6 \text{ mA}$ ). .....	102
Figura 65. Comparación de los parámetros S medidos y simulados para el diseño de un amplificador clase AB ( $V_{gs} = -0.5 \text{ V}$ ; $V_{ds} = 4.0 \text{ V}$ ; $I_{ds} = 162.3 \text{ mA}$ ). .....	103
Figura 66. Elementos intrínsecos calculados polarizando al transistor de 300 $\mu\text{m}$ para el diseño de un amplificador altamente eficiente clase E o F.....	103
Figura 67. Gráfica tridimensional de los elementos intrínsecos versus los voltajes de compuerta y drenador del HEMT de GaN de 300 $\mu\text{m}$ .....	104
Figura 68. Comparación entre los datos medidos y los simulados del aislamiento (a) y ganancia (b) del HEMT de GaN de 300 $\mu\text{m}$ polarizado a ( $V_{gs} = 0 \text{ V}$ ; $V_{ds} = 21.0 \text{ V}$ ; $I_{ds} = 191.30 \text{ mA}$ ). .....	104
Figura 69. Gráfica I(V) del HEMT de GaN de 2 mm y la ubicación de las diferentes polarizaciones para el diseño de amplificadores clase A, B, E o F. ....	105
Figura 70. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase A ( $V_{gs} = -1.0 \text{ V}$ ; $V_{ds} = 10.0 \text{ V}$ ; $I_{ds} = 396.5 \text{ mA}$ ). .....	105

## Lista de Figuras (continuación)

---

---

Figura 71. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase B, E o F ( $V_{gs} = -2.0$ V; $V_{ds} = 18.0$ V; $I_{ds} = 65.31$ mA). .....	106
Figura 72. Elementos intrínsecos calculados polarizando el transistor de 2mm para el diseño de un amplificador altamente eficiente clase E o F.....	106
Figura 73. Gráfica tridimensional de los elementos intrínsecos versus los voltajes de compuerta y drenador del HEMT de GaN de 2mm.....	107
Figura 74. Comparación entre los datos medidos y los simulados del aislamiento (a) y ganancia (b) del HEMT de GaN de 2mm polarizado a ( $V_{gs} = -2.0$ V; $V_{ds} = 18.0$ V; $I_{ds} = 65.31$ mA). .....	107
Figura 75. Simulación de la parte real (a) y la parte imaginaria (b) de $Z_{11}$ del cold FET en directa de un HEMT de InP ( $I_{gs} = 1$ mA). .....	110
Figura 76. Simulación de los parámetros Y del cold FET en pinchoff de un HEMT de InP. ....	110
Figura 77. Comparación de los parámetros S medidos y simulados de un HEMT de InP bajo dos condiciones de polarización diferentes.....	111
Figura 78. Simulación de la parte real (a) y la parte imaginaria (b) de $Z_{11}$ del cold FET en directa de un MESFET de GaAs ( $I_{gs} = 0.5$ mA). .....	111
Figura 79. Simulación de los parámetros Y del cold FET en pinchoff de un MESFET de GaAs. ....	112
Figura 80. Comparación de los parámetros S medidos y simulados de un MESFET de GaAs bajo dos condiciones de polarización diferentes. ....	112
Figura 81. Simulación de la parte real (a) y la parte imaginaria (b) de $Z_{11}$ del cold FET en directa de un HEMT de SiC ( $I_{gs} = 1$ mA). .....	113
Figura 82. Simulación de los parámetros Y del cold FET en pinchoff de un HEMT de SiC. ....	113
Figura 83. Comparación de los parámetros S medidos y simulados de un HEMT de SiC bajo dos condiciones de polarización diferentes.....	114
Figura A1 Sistema de caracterización para “obleas” .....	122
Figura B1 Banco de Mediciones en Directa .....	123
Figura B2 Banco de Mediciones en Inversa .....	124
Figura B3 Banco de Mediciones a diferentes puntos de polarización.....	125

# Lista de Tablas

---

---

Tabla I. Ventajas del GaN sobre otros materiales. ....	14
Tabla II. Elementos parásitos extraídos para transistores de AlGaN/GaN de diferentes longitudes de compuerta. ....	88
Tabla III. Comparación de las capacitancias parásitas calculadas para los transistores de AlGaN/GaN. ....	94
Tabla IV. Error entre los parámetros S medidos y simulados .....	108
Tabla V. Elementos parásitos extraídos para transistores de diferentes tecnologías.....	114

# Capítulo I.

---

---

## Introducción

### I.1 Antecedentes.

Aunque los dispositivos de estado sólido han remplazado en parte a electrónica de vacío en la mayoría de los sistemas electrónicos de microondas a través de los últimos 30 años, la revolución no ha terminado. En particular, los tubos de microondas siguen dominando las áreas de alta potencia de RF para microondas y ondas milimétricas en aplicaciones de radar y en la transmisión de comunicaciones. Asimismo, se ha mejorado la capacidad de producir niveles adecuados de potencia de RF a frecuencias mayores a los 100 GHz, y la capacidad de los dispositivos para operar a temperaturas mayores a los 250 °C. El desarrollo de materiales y dispositivos de estado sólido en estas áreas representa el estado del arte en la electrónica de semiconductores. En estas áreas, los dispositivos de estado sólido no han sido capaces de competir con los dispositivos de tubos al vacío, y la mayoría de los dispositivos que deben entregar niveles de potencia del orden de kilo a megawatts son diseñados utilizando varios tipos de tubos de microondas.

Actualmente los dispositivos de estado sólido producen niveles de potencia de RF menores a los 100 W en la banda S y operan con una potencia de salida de RF razonable en el orden de 1 W, para frecuencias en el rango de los 100 GHz. La tecnología de combinación de potencia y selección de fase permite que la salida de varios dispositivos de estado sólido se combine produciendo una potencia de salida de RF significativamente mejorada y así, en la

práctica, los sistemas de estado sólido pueden competir con sistemas de tubos al vacío en términos de potencia de RF de salida.

Existe un gran interés en mejorar el desarrollo de dispositivos de estado sólido. El incrementar la potencia de RF del dispositivo simplificaría enormemente las técnicas de combinación de potencia y permitiría reducir el costo y tamaño de los transmisores para aplicaciones en sistemas de telecomunicaciones y radar (Trew R.J., *et al.*, 2005).

Avances en la tecnología para semiconductores de banda prohibida amplia, ofrecen la promesa de producir dispositivos electrónicos de microondas con capacidad de manejar potencia de RF un orden de magnitud mayor que el máximo disponible fabricado de semiconductores estándar, tales como el silicio (Si) y el arseniuro de galio (GaAs). Se espera encontrar una amplia gama de aplicaciones de estos dispositivos debido a su alta confiabilidad, tamaño pequeño y su potencial bajo costo ofrecido por la electrónica de estado sólido. Los dispositivos más prometedores son los transistores de efecto de campo (FETs) fabricados de heterounión de AlGaIn/GaN. El gas de dos dimensiones (2DEG) que es producido en la heterounión tiene una alta densidad de carga ( $n_{ss} \sim 10^{13} \text{ cm}^{-2}$ ), alta movilidad electrónica ( $\mu_n \sim 1500 \text{ cm}^2/\text{V}\cdot\text{s}$ ), y alta velocidad de saturación ( $v_s \sim 2 \times 10^7 \text{ cm/s}$ ). Esto permite que un transistor de heteroestructura de efecto de campo (HFET) produzca una alta corriente de RF. Además, los materiales semiconductores basados en nitruro de galio (GaN) tienen un alto campo eléctrico de ruptura crítico, permitiéndoles operar a altos voltajes. El producto de alta corriente y alto voltaje resulta en una operación para altas potencias de RF.

Las redes inalámbricas de banda ancha se encuentran por todas partes. Se ha pronosticado que los transistores de GaN mejorarán estas tecnologías y muchas más.

Estos transistores de GaN resisten un calor extremo y son capaces de manejar frecuencias y niveles de potencia mucho más altos de los manejados con la tecnología de silicio (Si), arseniuro de galio (GaAs), carburo de silicio (SiC) o cualquier otro semiconductor fabricado. Las capacidades de manejo de frecuencias y potencias grandes pueden hacer la diferencia en amplificadores, moduladores y otros componentes clave de las redes de comunicaciones avanzadas, lo cual revitalizaría este sector de la tecnología. La esperanza es que la gente tendrá a su disposición flujos de datos de alta velocidad usando sus celulares, asistentes personales digitales, PC's portátiles o cualquier otra consola de bolsillo capaz de transmitir o recibir video o sonido de alta calidad.

Es difícil de imaginar como los amplificadores de una estación base celular soportarán el diluvio de información de un mundo en el cual cualquiera puede descargar video en cualquier momento y en cualquier lugar. A estos amplificadores ya se les ha llevado a sus límites. Utilizan tecnología de silicio que es sólo 10% eficiente, lo que significa que el 90% de la potencia que se introduce al transistor es desperdiciada en forma de calor. De manera continua, se debe expulsar este calor por medio de potentes abanicos, los cuales se deben equipar por una compleja circuitería que corrija los efectos armónicos y otras distorsiones en el amplificador.

Los transistores de GaN pueden duplicar o triplicar la eficiencia de amplificadores de estación base, de tal manera que un área dada puede ser cubierta por menos estaciones base o, mejor dicho, será más fluida con mayor información a mayores tasas de velocidad. Se liberará de los abanicos y de la circuitería de corrección; incluso será posible disminuir una estación base entera al tamaño de un diminuto refrigerador, lo cual se podría colocar en un



poste de electricidad, en lugar de ocupar un costoso espacio en la oficina central de la compañía de teléfonos.

Esas mismas características de velocidad, manejo de alta potencia y resistencia de calor harían que los transistores se ajusten a una incontable cantidad de usos (Eastman Lester F. y Mishra Umesh K., 2002).

## **I.2 Objetivo.**

El objetivo de este trabajo de tesis es desarrollar la metodología teórico-experimental para modelar en pequeña señal por medio de un circuito eléctrico equivalente, los transistores de potencia del tipo FET construidos en tecnología de nitruro de galio (GaN).

## **I.3 Planteamiento del Problema.**

El principal problema en el modelado de transistores de GaN recae en la extracción de los elementos parásitos; principalmente en la dificultad para determinar los elementos  $R_g$ ,  $L_g$  y las capacitancias  $C_{pg}$  y  $C_{pd}$ . El método clásico para extraer los elementos parásitos se basa en la aplicación de una fuerte corriente de DC en directo en la compuerta, hasta que el efecto capacitivo en el parámetro  $S_{11}$  desaparece y entonces, fácilmente se extrae el valor de  $R_g$  y  $L_g$  a partir de los parámetros  $Z$ . Sin embargo, en los transistores de nitruro de galio el aplicar una fuerte corriente en la compuerta puede provocar que se destruya el diodo Schottky. En la Figura 1 se muestra como al aumentar considerablemente la corriente de compuerta en un HEMT de AlGaN/GaN el efecto de la resistencia diferencial de compuerta no pudo ser suprimido como en el HEMT de AlGaAs/GaAs. El transistor de GaN se dañó debido a la alta corriente en directo aplicada a la compuerta.

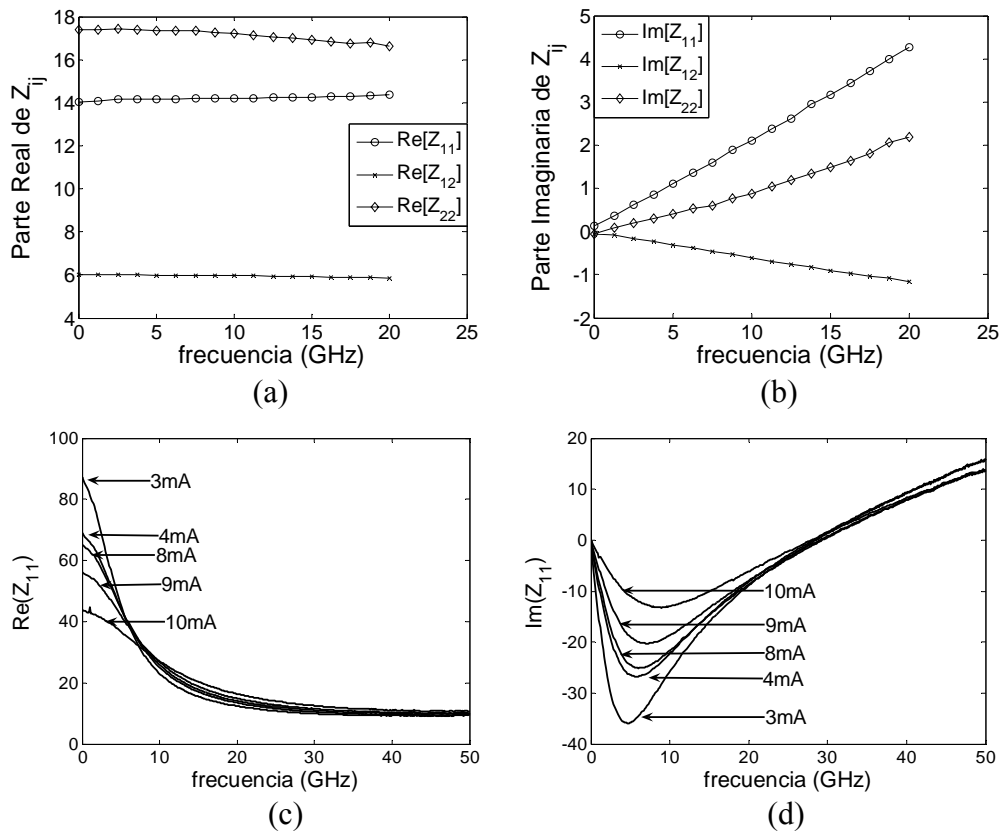
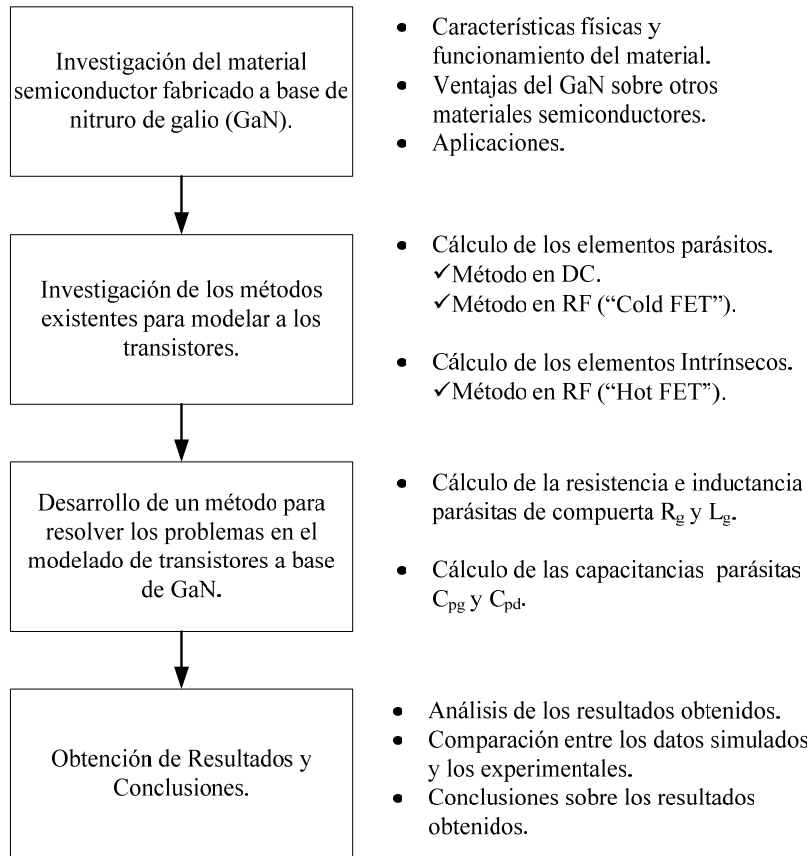


Figura 1. (a) y (b) Parte real e imaginaria de los parámetros  $Z$  del cold-FET de un HEMT de AlGaAs/GaAs. (c) y (d) Parte real e imaginaria de  $Z_{11}$  de un HEMT de AlGaIn/GaN.

## I.4 Metodología de Investigación.

En el siguiente diagrama a bloques se muestran los pasos seguidos como metodología para este trabajo, los cuales son explicados con más detalle a través de los capítulos que conforman esta tesis.



## I.5 Organización de la Tesis.

En base a la metodología presentada, esta tesis está organizada de la siguiente manera: En el Capítulo II se presentan las propiedades físicas, funcionamiento, ventajas sobre otros materiales semiconductores y aplicaciones de los transistores fabricados a base de GaN. En el Capítulo III se explica la importancia del modelado de transistores y se estudian los métodos existentes tanto para el cálculo de los elementos parásitos como para el cálculo de los elementos intrínsecos del circuito equivalente del transistor, así como las desventajas de cada uno de estos métodos al aplicarlos en transistores a base de GaN. En el Capítulo IV se presenta un nuevo método para el cálculo de la resistencia e inductancia parásitas de

compuerta  $R_g$  y  $L_g$  en el que se modela el diodo Schottky presente en la compuerta del transistor. También, se desarrolla una nueva metodología para el cálculo de las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$ . Además, se resuelven diferentes problemas que se pueden presentar en la extracción de los elementos parásitos, como el cálculo de la resistencia de drenador  $R_d$  cuando esta no es constante en todo el ancho de banda medido, y se muestra el procedimiento a seguir cuando la inductancia de fuente  $L_s$  es menor a cero, como en el caso de algunos transistores coplanares. En el Capítulo V se muestran los resultados obtenidos de la extracción, tanto de los elementos parásitos como de los elementos intrínsecos del modelo de circuito eléctrico equivalente del transistor los cuales validan al método propuesto en esta tesis. Se comparan los datos experimentales con los simulados y se analiza la diferencia entre el método presentado en esta tesis y los métodos existentes para el cálculo de las capacitancias parásitas. Por último, se hace una conclusión sobre los resultados obtenidos tanto de los elementos parásitos como de los intrínsecos. Finalmente, en el Capítulo VI se presentan las conclusiones generales, así como las aportaciones de esta tesis. Además, se proponen líneas de investigación como continuación a este trabajo.

## Capítulo II.

---

---

### Material Semiconductor de Nitruro de Galio

#### II.1 Características de los Transistores de AlGaN/GaN.

**A**demás de tener una conductividad térmica cerca de siete veces mayor a la de GaAs, el GaN tiene un alto campo de ruptura y por consecuencia soporta altos niveles de potencia. Por otra parte, gracias a sus excelentes propiedades de transporte eléctrico de la heteroestructura AlGaN/GaN, los transistores amplifican a altas frecuencias.

El campo de ruptura de avalancha de un semiconductor es la fuerza del campo, en mega volts por centímetro (MV/cm), necesaria para disparar lo que es conocido como ruptura de avalancha. La condición ocurre cuando el campo es lo suficientemente fuerte para liberar más y más electrones y huecos de los átomos del cristal del semiconductor. Finalmente, cuando una gran cantidad de electrones y huecos han sido liberados de los átomos, la corriente a través del semiconductor aumenta, hasta destruir el semiconductor.

Un alto campo de ruptura es deseado porque significa que el dispositivo semiconductor puede soportar mayores voltajes en dimensiones menores. Un transistor de efecto de campo (FET), por ejemplo, podría tolerar un voltaje mayor, y ese voltaje, junto con una corriente mayor, se traduciría en una mayor densidad de potencia para el dispositivo.

El nitruro de galio tiene un campo de ruptura de alrededor de 3 MV/cm, siendo mayor que los 0.4 MV/cm del arseniuro de galio. Por otro lado, el carburo de silicio también tiene un

campo de ruptura de alrededor de 3 MV/cm, sin embargo, carece de las características favorables de transporte eléctrico del nitruro de galio (Eastman Lester F. y Mishra Umesh K., 2002).

Un alto campo de ruptura, es un indicativo de una banda prohibida ancha. La banda prohibida de un semiconductor es una medida de la cantidad de energía que se requiere para mover un electrón de la banda de valencia a la banda de conducción. En algunos semiconductores, cuando un electrón cae desde la mayor banda de conducción de energía a la banda de valencia causa la emisión de luz. Entre más ancha sea la banda prohibida, mayor será la energía y en consecuencia la frecuencia del fotón emitido. Este hecho explica porque el nitruro de galio, con una de las mayores bandas prohibidas de todos los semiconductores, puede emitir luz color verde, azul, púrpura e incluso ultravioleta.

La banda prohibida del nitruro de galio es tan ancha, que de hecho, el material es transparente, muy parecido al diamante. Fotones a cualquier frecuencia del espectro visible tienen energías que son menores a la banda prohibida del GaN, así que simplemente pasan a través del material sin ser absorbidos. Esto explica porqué los LEDs de GaN azules y verdes son claros como el agua.

El mayor provecho que se puede obtener del nitruro de galio es que combina el alto campo de ruptura del carburo de silicio con las características de alta frecuencia del arseniuro de galio, silicio-germanio, o fosfuro de indio.

La libertad con la que se mueven los electrones en un semiconductor depende típicamente de dos factores, conocidos como la movilidad del electrón y la velocidad de saturación.

La movilidad está determinada por la velocidad con que se mueven los electrones en el material bajo la influencia de campos eléctricos relativamente débiles (por ejemplo, el

causado por un voltaje aplicado). La velocidad de saturación, por otro lado, se refiere a la máxima velocidad que los electrones son capaces de alcanzar bajo la influencia de un campo relativamente fuerte. La movilidad del electrón en el nitruro de galio es menor que en el arseniuro de galio, pero la velocidad de saturación, alrededor de  $1.3 \times 10^7$  cm/s, es equivalente y debe de alcanzar los  $2 \times 10^7$  cm/s en los siguientes años (Eastman Lester F. y Mishra Umesh K., 2002).

Pero en el caso inusual del nitruro de galio, esos números no empiezan a contar toda la historia acerca de la movilidad del electrón. Cuando se crece nitruro de aluminio-galio sobre una capa de un cristal similar, tal como el nitruro de galio, se forma una heterounión entre los dos cristales diferentes. Esta heterounión es la mayor contribución a la gran característica de alta frecuencia del nitruro de galio.

Dentro del cristal de nitruro de galio, como en cualquier cristal similar, los átomos individuales están cargados electrónicamente o ionizados y los átomos de galio y nitrógeno están arreglados irregularmente los unos con respecto a los otros, debido a la diferencia de tamaño. Esta combinación de ionización e irregularidades lleva a polarización eléctrica espontánea dentro del cristal, o a una separación de carga en incontables, regulares y espaciados átomos positivos y negativos.

En un cristal ordinario de GaN, la polarización no se acumula, debido a que las regiones cargadas de manera opuesta se cancelan. Pero esta cancelación no ocurre donde el GaN termina repentinamente, por ejemplo, en la heterounión con otro cristal tal como el nitruro de aluminio-galio. En ese caso, el cambio abrupto en la interfaz aumenta a una región eléctricamente cargada en la vecindad inmediata del límite. Esa región, cargada y

polarizada, es además aumentada por una polarización piezoeléctrica, la cual surge de la tensión producida por los dos cristales diferentes.

Estas polarizaciones combinadas, en cambio, inducen un exceso de electrones libres en el nitruro de galio. Los electrones se concentran cerca de la región de polarización fuertemente contra el nitruro de aluminio galio, pero sin desviarse dentro de este, debido a que la mayor banda prohibida del material actúa como barrera.

Así, un gas bidimensional de electrones de transporte de carga se forma espontáneamente, muy cerca del límite con el nitruro de aluminio-galio.

## **II.2 Estado del Arte.**

El HEMT de AlGa<sub>N</sub>/Ga<sub>N</sub> demuestra un excelente comportamiento en RF. La alta densidad de carga resultante por la incorporación de aluminio en la capa de AlGa<sub>N</sub> permite que se obtenga una alta corriente del canal. Los primeros HEMTs fueron fabricados en substratos de zafiro, pero en trabajos recientes se ha enfocado en el uso de substratos de SiC de tipo p. Además, la mayoría de los HEMTs de AlGa<sub>N</sub>/Ga<sub>N</sub> son fabricados con capas epitaxiales de AlGa<sub>N</sub> y Ga<sub>N</sub> no dopadas (Trew R.J., *et al.*, 2005).



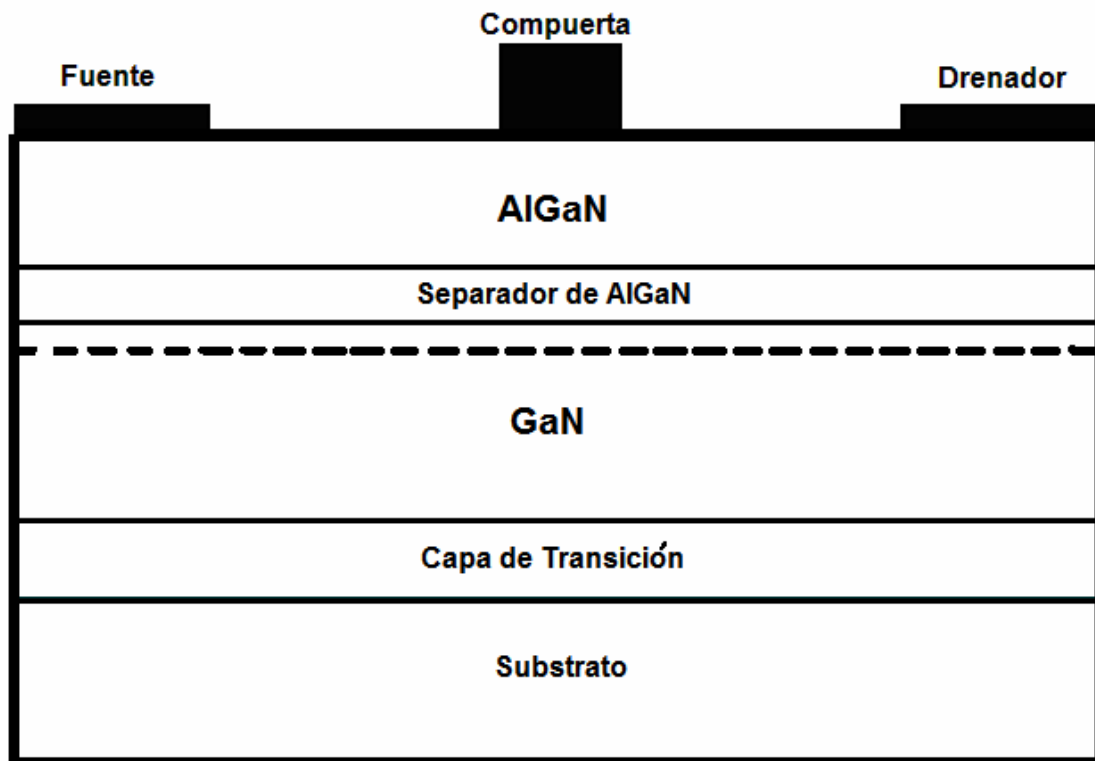


Figura 2. Configuración del HEMT de AlGaIn/GaN.

En la Figura 2 se muestra como se hace crecer nitruro de aluminio-galio (AlGaIn) dopado con silicio sobre el GaN. El AlGaIn tiene una banda prohibida mayor a la del GaN. Las impurezas del silicio en el AlGaIn donan electrones al cristal, el cual entonces tiende a acumular electrones en las regiones de menor potencial del pozo cuántico, justo debajo de la interfaz de AlGaIn/GaN. Esto forma una “capa” de electrones, la cual constituye un gas bidimensional (2DEG). Aquí, los electrones tienen mayor movilidad debido a que están separados físicamente de los átomos donadores de silicio ionizados que residen en el AlGaIn.

### **II.3 Ventajas del Material Semiconductor de Nitruro de Galio.**

Para que un nuevo material semiconductor sea exitoso, debe tener claras ventajas sobre tecnologías existentes. A menudo el nuevo material debe superar el desempeño de otros materiales, permitir nuevas aplicaciones, o prometer reducciones significativas de costos.

La Tabla I muestra algunas propiedades de los semiconductores más importantes (Silicio (Si), arseniuro de galio (GaAs), fosfuro de indio (InP) y los recién emergentes semiconductores de banda prohibida ancha (WBGS) carburo de silicio (SiC) y nitruro de galio (GaN) (Eastman Lester F. y Mishra Umesh K., 2002). Para aplicaciones electrónicas de alta potencia, el valor agregado de WBGS puede ser encontrado mediante la combinación de un alto voltaje de ruptura con una alta velocidad del electrón. Esto es prometedor en la realización de aplicaciones a alta frecuencia y alta potencia, las cuales no pueden ser realizadas en otros sistemas de materiales. Otra ventaja está relacionada con la banda prohibida. Una banda prohibida ancha implica mayores enlaces en el material, haciéndolo menos susceptible a químicos y variaciones de temperatura. Por lo tanto, dispositivos desarrollados utilizando estos materiales pueden ser utilizados en ambientes hostiles.

Tabla I. Ventajas del GaN sobre otros materiales.

<b>Ventajas del Nitruro de Galio Sobre Otros Materiales Semiconductores</b>						
<b>Semiconductor (comúnmente utilizados)</b>		Silicio	Arseniuro de Galio (AlGaAs/InGaAs)	Fosforo de Indio (InAlAs/InGaAs)	Carburo de Silicio	<i>Nitruro de Galio (AlGaN/GaN)</i>
<b>Característica</b>	<b>Unidades</b>					
Banda Prohibida	eV	1.1	1.42	1.35	3.26	<b>3.49</b>
Movilidad del Electrón a 300°K	cm <sup>2</sup> /Vs	1500	8500	5400	700	<b>1000 - 2000</b>
Velocidad de Saturación pico	X10 <sup>7</sup> cm/s	1.0 (1.0)	1.3 (2.1)	1.0 (2.3)	2.0 (2.0)	<b>1.3 (2.1)</b>
Campo de ruptura Crítico	MV/cm	0.3	0.4	0.5	3.0	<b>3.0</b>
Conductividad Térmica	W/cm*K	1.5	0.5	0.7	4.5	<b>&gt;1.5</b>
Constante Dieléctrica Relativa	$\epsilon_r$	11.8	12.8	12.5	10.0	<b>9.0</b>

## II.4 Origen de los electrones 2DEG.

Los dispositivos HEMT basados en la tecnología AlGaAs/GaAs tienen canales de conducción formados por una capa de conducción de electrones libres en la heterounión formada por un semiconductor dopado de banda prohibida ancha (AlGaAs) y un semiconductor de banda prohibida, no dopada, más pequeña (GaAs). Los electrones en el borde del AlGaAs dopado se transfieren al semiconductor de menor banda prohibida y se juntan en el pozo cuántico que se forma en el GaAs en la interfaz entre los dos materiales. Los electrones son confinados en el pozo cuántico, el cual tiene un espesor en el orden de

los 20 – 30 Å. La distribución de electrones en el pozo cuántico es esencialmente de dos dimensiones debido a la gran dimensión del canal tanto a lo largo como a lo ancho, y el pequeño espesor del pozo cuántico. Por esta razón se le da el término de gas de electrones de dos dimensiones a la densidad de carga (2DEG) y es caracterizada como una densidad de carga por unidad de área ( $\eta_{ss}$ ) con unidades de  $\text{cm}^{-2}$ . La densidad de carga por unidad de área para la heterounión de AlGaAs/GaAs es del orden de  $\eta_{ss} \sim 2 \times 10^{12} \text{ cm}^{-2}$  (Trew R.J., *et al.*, 2005). La ventaja del 2DEG es que esencialmente no hay átomos de impurezas en el GaAs no dopado ni en el pozo cuántico, y los electrones en el canal de conducción no experimentan una dispersión de impureza significativa, permitiéndoles una muy alta movilidad, generalmente mucho mayor que la que se puede obtener en la mayoría de los materiales semiconductores. La velocidad de portadores es alta, y la resistencia del canal de conducción es muy baja, permitiendo que los HEMTs tengan un buen comportamiento a alta frecuencia y con características de bajo ruido.

Por otra parte, las primeras heteroestructuras de AlGaN fueron fabricadas al crecer capas delgadas de AlGaN en material GaN más delgado. Originalmente ninguna de las capas de AlGaN ni GaN fueron dopadas. Sin embargo, se observó que, a pesar de la falta de electrones del dopado, un 2DEG fue establecido en la heterounión, como se muestra en la Figura 3. El 2DEG tiene una muy alta densidad de carga por unidad de área, del orden de  $\eta_{ss} \sim 10^{13} \text{ cm}^{-2}$ , lo cual es uno de los cinco ventajas del AlGaN/GaN sobre la heterounión de AlGaAs/GaAs.

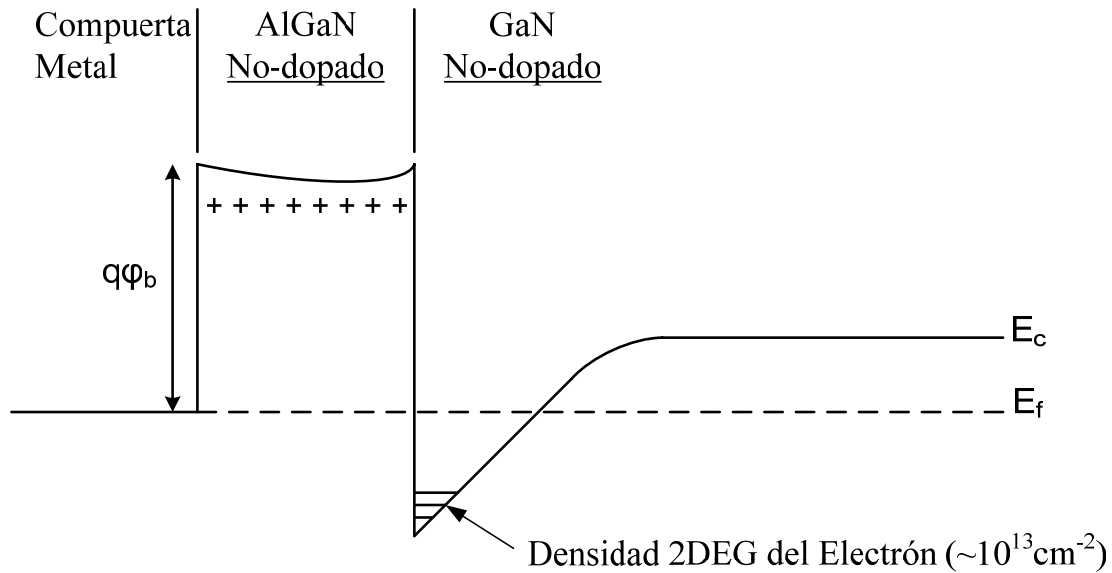


Figura 3. Banda de conducción de una heterounión de AlGaIn/GaN mostrando el pozo cuántico y 2DEG.

La pregunta fundamental es: ya que no se introducen intencionalmente átomos de impurezas para suministrar electrones, ¿cuál es la fuente de electrones que forma el 2DEG? Los datos medidos de heteroestructuras fabricadas con una variedad de condiciones de crecimiento siempre producen una alta densidad de 2DEG. Se ha establecido que la densidad del 2DEG varía con la concentración de Al en la capa de AlGaIn, obteniéndose una mayor densidad de carga para mayores concentraciones de Al (Trew R.J., *et al.*, 2005). Un argumento válido para la formación del gas bidimensional de AlGaIn/GaN puede ser explicado mediante el modelo mostrado en la Figura 4.

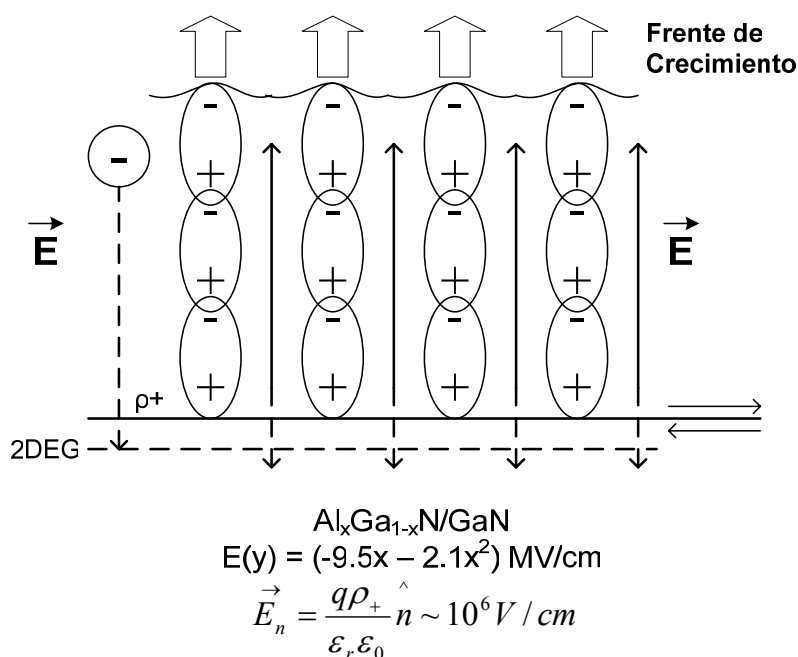


Figura 4. Modelo de formación del gas bidimensional en la interfaz AlGaIn/GaN.

De acuerdo a este modelo, los electrones que forman el gas bidimensional resultan del proceso de crecimiento. Se sabe que la capa del semiconductor AlGaIn es tanto polar como piezoeléctrica. Durante el crecimiento, los átomos del cristal se alinean de tal manera que la parte positiva de las capas atómicas está alineada hacia la capa de GaN. Al incrementarse el espesor de la capa, durante el crecimiento, las capas atómicas continúan alineándose creando un campo eléctrico interno a la capa de AlGaIn, con la parte positiva del dipolo frente al GaN y el lado negativo del dipolo frente a la superficie de crecimiento. La magnitud del campo eléctrico es muy alta, del orden de  $E \sim 10^6 \text{ V/cm}$ , y es suficiente para ionizar algunos de los electrones covalentes, así como impurezas que están presentes en el material. El campo eléctrico ionizará electrones y causará que fluyan hacia la interfaz en donde caerán dentro del pozo cuántico, creando así el gas bidimensional. A medida que los

electrones se mueven del AlGaN al GaN la magnitud del campo eléctrico se reduce, actuando de ese modo como un mecanismo de retroalimentación que apaga el proceso de transferencia de electrones. Se establece una condición de equilibrio cuando se transfieren suficientes electrones al pozo cuántico para reducir la magnitud del campo eléctrico en el AlGaN al punto donde no se transfieren más electrones. La concentración de aluminio en el AlGaN se convierte en un control en la densidad del gas bidimensional desde que produce una tensión en la interfaz de AlGaN/GaN que incrementa la densidad de carga polarización/piezoeléctrico, la cual de acuerdo con la ley de Gauss define el campo eléctrico en el AlGaN.

## **II.5 Efectos de Alta Corriente y Limitaciones Carga-Espacio.**

Durante la porción del ciclo de RF de alta corriente, la densidad de corriente puede alcanzar valores muy grandes. Por ejemplo, el espesor del pozo cuántico para el canal de conducción en la heterounión del AlGaN/GaN es de alrededor de 25 Å. La corriente medida para estos dispositivos se encuentra en el orden de los 1 – 1.2 A para un dispositivo de 1mm de ancho. De tal forma que, si todos los electrones fueran confinados al pozo cuántico la densidad de corriente sería del orden de  $J \sim 50 \times 10^6$  A/cm<sup>2</sup>. Los efectos de carga-espacio ocurren cuando la densidad de electrones inyectada es del orden de la carga en el material. Bajo estas condiciones, el campo eléctrico se ve afectado por la carga inyectada de acuerdo a la ecuación de Poisson:

$$\frac{dE}{dx} = \frac{q}{\epsilon} (N_d - n_o - \delta n) \cong -\frac{q}{\epsilon} \delta n, \quad (1)$$

donde la densidad de portadores de corriente en equilibrio  $n_o$ , es esencialmente igual al dopado del material  $N_d$ , y  $\delta n$ , es el exceso de carga inyectada.

El nivel de carga inyectada que producirá perturbaciones en el campo eléctrico escalado con la cantidad de dopado del material. Para un dopado en el material de  $N_d \sim 10^{16} \text{ cm}^{-3}$  la corriente crítica para el comienzo de los efectos de carga espacial es  $J_{sc} \sim 30 \times 10^3 \text{ A/cm}^2$ , y para  $N_d \sim 10^{19} \text{ cm}^{-3}$ , se incrementa a  $J_{sc} \sim 30 \times 10^6 \text{ A/cm}^2$  (Trew R.J., *et al.*, 2005).

La densidad de corriente de operación medida en los HEMTs de AlGaIn/GaN se encuentra por encima del campo eléctrico para el comienzo de los efectos carga-espacio durante la porción de alta corriente del ciclo de RF. Una vez que ocurren los efectos carga-espacio, la resistencia del semiconductor aumenta muy rápido. Por ejemplo, se ha reportado que al duplicar la corriente se produce un incremento de un orden de magnitud en la resistencia del semiconductor. El efecto de carga-espacio tiene el mayor efecto en la región compuerta-fuente y produce una resistencia de fuente modulada por corriente. El resultado es que la recta de carga dinámica no puede lograr el mayor potencial de corriente indicado en las curvas características I-V. La recta de carga dinámica se modifica a valores de voltaje mayores.

## **II.6 Efectos de Alto Voltaje.**

La porción de alto voltaje en el ciclo de RF introduce no linealidades debido al fenómeno de ruptura. Existen dos fenómenos mayores de ruptura que afectan el rendimiento del HEMT:

1. Conducción en inversa de la compuerta debido al alto campo eléctrico en el borde de la compuerta.



2. Ruptura de RF en el canal de conducción debido al alto campo eléctrico que existe a través del dominio de la carga.

Es bien sabido que existe un valor elevado de campo eléctrico en el borde de la compuerta debido a la geometría bidimensional de los FET. La magnitud del campo eléctrico en este punto varía con el voltaje aplicado en la compuerta, incrementándose cuando el voltaje de compuerta se aproxima al pinch-off, y además con el incremento del voltaje de drenador. Para altos voltajes de drenador, los cuales ocurren durante la porción de alto voltaje en el ciclo de RF, y para grandes voltajes de compuerta, la magnitud del campo eléctrico en el borde de la compuerta puede fácilmente exceder  $E \sim 10^6$  V/cm. Esto es suficiente para producir una conducción en inversa en la compuerta por un mecanismo conocido como efecto túnel de electrones.

Los electrones que pasan por debajo de la superficie del semiconductor se pueden acumular en la superficie cerca de la compuerta, creando un efecto de “compuerta virtual,” donde parece que aumenta la longitud de compuerta con el incremento de la corriente de fuga por el efecto túnel. Bajo estas condiciones, la longitud de compuerta aparenta ser una función dinámica de la RF aplicada, y se incrementa al aumentar la RF. Esto genera un decremento dependiente de la RF aplicada, en la capacidad de manejo de corriente del dispositivo, y una reducción en la  $f_T$  del dispositivo. Los electrones que se acumulan en la superficie debido a las trampas de portadores se mueven lentamente debido a la alta masa efectiva resultante en la superficie de la banda de conducción. Se mueven con baja movilidad y se disipan lentamente. De esta manera, al pasar los electrones a la superficie, la región de deserción debajo de la compuerta es menos capaz de responder a modulaciones rápidas del voltaje de compuerta, introduciendo un retardo de tiempo en el comportamiento corriente-

voltaje y una reducción en el comportamiento a alta frecuencia del dispositivo. Además, la región de deserción debajo de la compuerta produce una barrera electrostática en el camino de los electrones del canal, y debido a que esta barrera no es modulada tan rápidamente, los electrones del canal tienden a ser atrapados en la región compuerta-fuente. La carga atrapada aumenta el efecto carga-espacio e incrementa la resistencia de fuente cuando la corriente excede la condición de corriente limitada por la carga espacial (Trew R.J., *et al.*, 2005). Además, bajo la aplicación de campos altos, los electrones pueden pasar de la compuerta al semiconductor con suficiente energía como para producir una ionización de impacto. Cuando esto ocurre, la corriente de compuerta se incrementa y empieza una emisión de luz en el borde de la compuerta. Las características de la conducción en inversa del electrodo de compuerta son un factor importante en la determinación del comportamiento en saturación del dispositivo cuando opera bajo condiciones de pequeña señal.

El efecto de fuga en la compuerta puede reducirse enormemente con la aplicación de la tecnología ““field-plate””. Al aplicar la técnica “field-plate” se suprime el campo eléctrico en el borde de la compuerta, y de ese modo se reduce la corriente de fuga significativamente. Esta tecnología es utilizada tanto en MESFETs y HEMTs de GaAs como en HEMTs de AlGaIn/GaN. La tecnología “field-plate” permite la aplicación de grandes voltajes de drenador; se han aplicado voltajes de drenador del orden de  $V_{ds} = 30-40$  V para FETs de GaAs, y  $V_{ds} = 120$  V para HEMTs de AlGaIn/GaN. Esto, por supuesto, permite que se desarrollen voltajes de RF muy altos a través del dispositivo y que se genere una potencia de salida de RF alta.

## II.7 Modo de Operación.

El FET ordinario de silicio tiene tres terminales llamadas fuente, compuerta y drenador. La compuerta está separada del substrato subyacente por medio de un aislante delgado. En el tipo de dispositivo más común, un voltaje positivo aplicado a la compuerta crea una región bajo el aislador con varios electrones en movimiento. Esta región, en consecuencia, permite el paso de corriente entre la fuente y el drenador. Entre mayor sea el voltaje de compuerta, podrá haber una mayor cantidad de corriente de drenador-fuente.

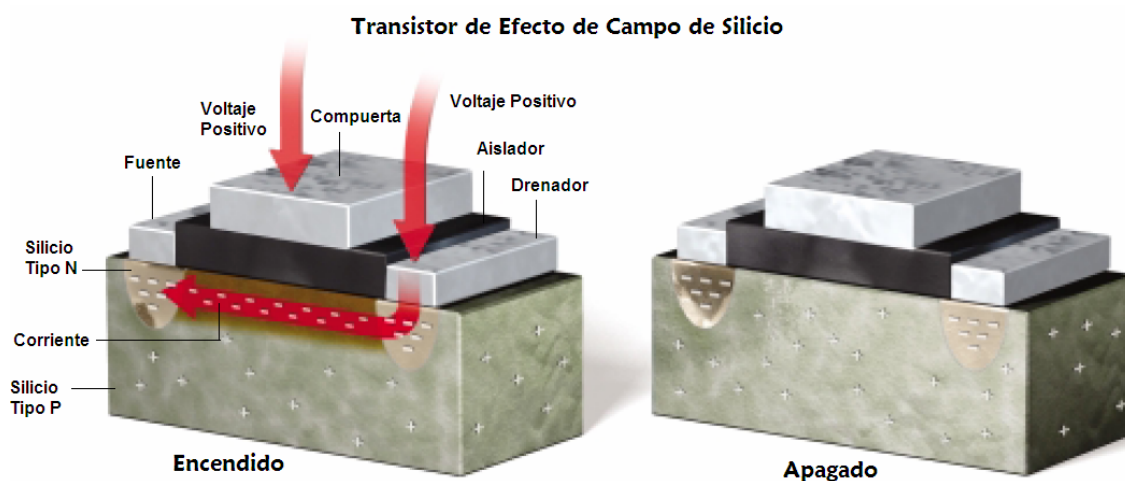


Figura 5 Modo de operación de un FET de Silicio.

Por otro lado, en el FET de GaN, el gas electrónico bidimensional ya existe naturalmente. Así que un voltaje positivo aplicado en el drenador genera inmediatamente una corriente de la fuente al drenador. Así, la cantidad de corriente varía al aplicarle un voltaje negativo a la compuerta, la cual restringe el número de electrones para fluir de la fuente al drenador. Un voltaje negativo lo suficientemente grande elimina totalmente el flujo de corriente. Así, en

contraste con el FET de silicio, el cual se encuentra normalmente apagado, el FET de GaN se encuentra normalmente encendido.

Esto nos lleva a otra característica única del FET de GaN: no requiere de impurezas no dopadas. El gas de portadores móviles puede ser creado en la mayoría de los otros semiconductores solamente al doparlos con impurezas para permitirles un exceso de electrones o huecos.

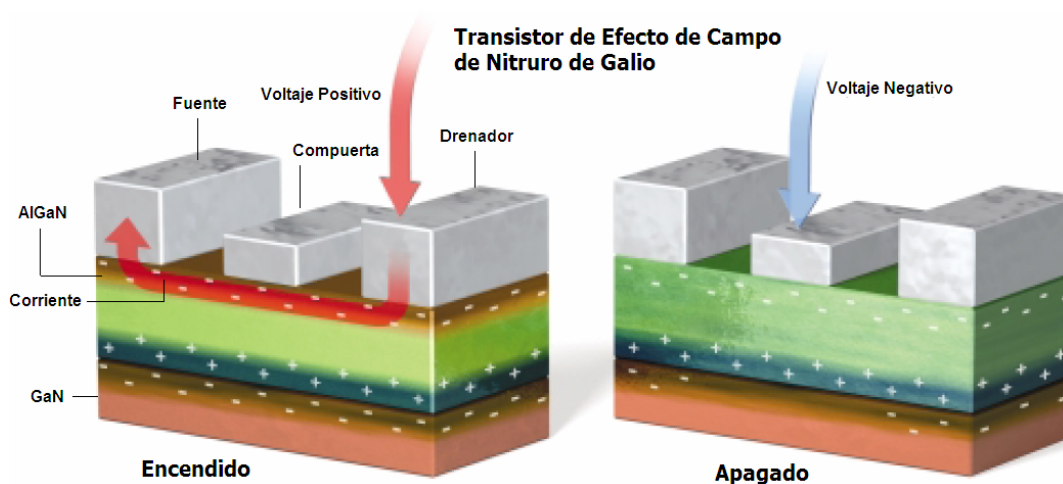


Figura 6 Modo de operación de un FET de GaN.

Se ha demostrado que los amplificadores de potencia de microondas fabricados con estos dispositivos ofrecen un comportamiento superior de potencia de salida de RF, particularmente a temperaturas elevadas, comparados con componentes fabricados de FETs (MESFETs) de metal semiconductor a base de GaAs o transistores de Si. Se espera que estos dispositivos encuentren aplicaciones en fuentes de RF y amplificadores de potencia para transmisores de las estaciones base empleadas en sistemas de telefonía celular, en

transmisores de satélite, en transmisores de HDTV, módulos de potencia para radares de selección de fase, radares de vigilancia y control de tráfico y otras aplicaciones. Los dispositivos son particularmente muy atractivos en aplicaciones donde se requiere una operación a altas temperaturas. Sin embargo, antes que el potencial de estos dispositivos esté disponible, se deben de resolver los problemas que esta tecnología presenta actualmente en RF.

## **II.8 Aplicaciones.**

Casi todas las primeras investigaciones en dispositivos de banda ancha (WBGS) fueron dirigidas hacia aplicaciones optoelectrónicas. Esto se debió al hecho de que el azul era el único color faltante en el mercado de los diodos emisores de luz (LED). Antes de que el GaN estuviera disponible, el SiC fue utilizado, pero su banda prohibida indirecta resultó en eficiencias pobres. Usando la aleación de nitruro de aluminio galio indio (InGaAlN) se pueden realizar LEDs altamente eficientes con longitudes de onda variando desde ultravioleta al azul/verde.

LEDs basados en GaN pueden ser utilizados, en conjunto con LEDs amarillos y naranjas fabricados utilizando el sistema de materiales de fosfuro de Indio, Galio y Aluminio (AlGaInP), para realizar pantallas de televisión a todo color empleando LEDs. Otras numerosas aplicaciones son posibles incluyendo semáforos, iluminación automotriz, y posiblemente iluminación en general. Los LEDs blancos se han realizado al aplicar una capa de fosfuro dentro de un LED ultravioleta. Como en la luz tubular, esto convertirá al fotón ultravioleta en luz visible.

Los dispositivos optoelectrónicos a base de GaN representan un mercado multimillonario pero aún existen varios problemas por resolver. Los más importantes están relacionados con el dopado del material tipo p y la obtención de espejos con cavidades de alta reflectividad. Este proceso es difícil porque los materiales dopantes, la mayoría de magnesio (Mg), tienen una alta energía de activación.

La mayor parte del desarrollo de WBGS para aplicaciones electrónicas está dirigido hacia dispositivos de alta potencia y frecuencia. Se ha demostrado una impresionante potencia del orden de 4-6 W/mm a 4 GHz para MESFETs de SiC y de 10-11 W/mm a 10 GHz para AlGaIn/GaN HEMTs (Jacobs Bart, 2004). Los HEMTs basados en GaN muestran usualmente una mejor operación a alta frecuencia debido a las altas movilidades que se pueden lograr en estas estructuras. Tanto el SiC como el GaN ofrecen la ventaja de una alta densidad de potencia y buenas propiedades térmicas, lo cual puede resultar en módulos más pequeños con menos requerimientos de enfriamiento. Además, si se usan voltajes de alimentación mayores, las impedancias de entrada y salida aumentan considerablemente, lo cual reduce la complejidad del acoplamiento de impedancias. Recientemente se han desarrollado HEMTs basados en GaN los cuales entregan 20 W. Estos dispositivos son diseñados para aplicaciones en sistemas universales de comunicaciones móviles (UMTS).

Una gran parte de las investigaciones para aplicaciones electrónicas en WBGS está relacionada con la industria militar. En Estados Unidos, la oficina de investigación naval (ONR) está activamente involucrada en la coordinación y financiamiento de programas de investigación llevados a cabo en varias universidades. Una de las aplicaciones que se le quiere dar a estos dispositivos es la creación de un amplificador de banda ancha para radares multifuncionales. Este sistema podría disminuir el área total de arreglos de radares

que podrían ser aprovechados por los adversarios y así eludir un posible conflicto electromagnético entre diferentes arreglos y reducir los costos totales. Otro ejemplo es un amplificador de bajo ruido (LNA), el cual es más robusto debido al alto campo de ruptura y a su buena conductividad térmica. Se han publicado dispositivos con figuras de ruido bajas del orden de 0.6 dB a 10 GHz y puntos de intersección de intermodulación de tercer orden 10 dB mayores que para aquellos amplificadores basados en GaAs.

Otra área de aplicación es la electrónica de alta temperatura. Usualmente, los sistemas electrónicos que controlan y monitorean dispositivos de alta temperatura, como el motor de un jet, están localizados en áreas de enfriamiento. Esto requiere alambrado entre el sistema electrónico y los sensores. Si estos sistemas pudieran ser instalados en el área de alta temperatura, la cantidad total de alambrado podría reducirse. La degradación del cableado ha sido la mayor causa de tragedias de la aviación. WBGS tiene que competir con las tecnologías de Si de baja potencia y de Si aislante (SoI), que son utilizadas actualmente para aplicaciones a temperaturas mayores a 300 °C. Por tanto, el valor agregado para los WBGS se encuentra en el rango de 300 – 600 °C. La razón para que estos dispositivos se introduzcan en este mercado está relacionada al hecho de que pueden soportar estas temperaturas y la oxidación asociada. Se espera que el mercado total para la electrónica de alta temperatura alcance los \$900 millones de dólares para el año 2008. Se ha estimado que el mercado total de dispositivos electrónicos de GaN alcance los \$500 millones de dólares a finales de esta década. Sin embargo, la economía de escala en el mercado de la optoelectrónica, así como las mejoras en el material y en el crecimiento del sustrato en esta área, podrían acelerar la industrialización de dispositivos electrónicos en base a GaN.

## Capítulo III.

---

### Modelado de Transistores

#### III.1 Importancia del Modelado de Transistores.

El modelo de circuito eléctrico equivalente en pequeña señal de los transistores de efecto de campo (FET) es muy importante en el diseño de circuitos de microondas. Estos modelos proporcionan una relación entre los parámetros S medidos y el proceso eléctrico ocurrido en el dispositivo. Cada uno de los elementos en el circuito eléctrico equivalente se aproxima a un elemento de tipo concentrado que se relaciona con algún aspecto físico del dispositivo, como se muestra en la Figura 7 (Loo Yau, 2006).

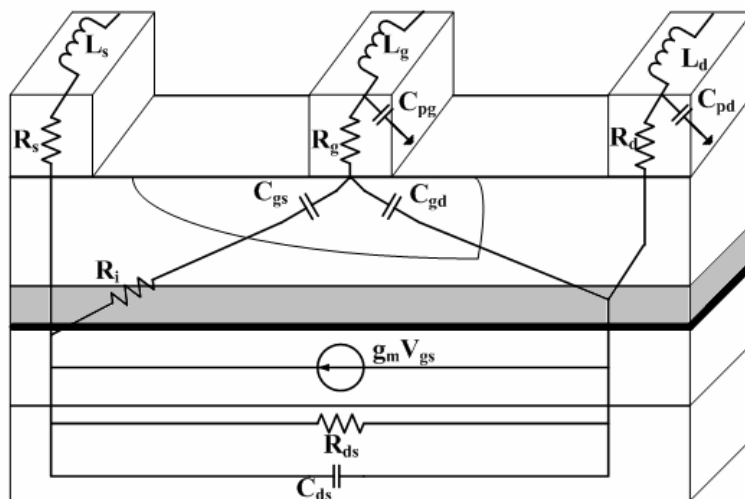


Figura 7. Ubicación de los elementos del circuito eléctrico equivalente para un transistor de efecto de campo.



Actualmente existen diferentes tecnologías que compiten por el mercado de los amplificadores de potencia altamente eficientes a base de transistores de efecto de campo como son los amplificadores clase E y clase F. Estas tecnologías son:

- a) Silicio FET-LDMOS
- b) Nitruro de Galio FET- GaN
- c) Carburo de Silicio FET- SiC

En los amplificadores de potencia altamente eficientes los elementos parásitos del transistor tienen un impacto negativo en la eficiencia debido a su contribución en la determinación de la impedancia de carga.

Para evaluar el rendimiento de los transistores de potencia se utilizan modelos del tipo de circuito eléctrico equivalente y mediciones de las características AM-AM y AM-PM en uno y dos tonos. El circuito eléctrico equivalente no lineal mostrado en la Figura 8 se puede dividir en dos partes: La primera parte está formada por los elementos parásitos o extrínsecos, los cuales son independientes de los voltajes de operación pero dependientes del empaquetado y de las dimensiones de los PADs. La otra parte está formada por los elementos intrínsecos, los cuales son dependientes del voltaje aplicado en las terminales del transistor y de la tecnología de fabricación (Loo Yau, 2006).

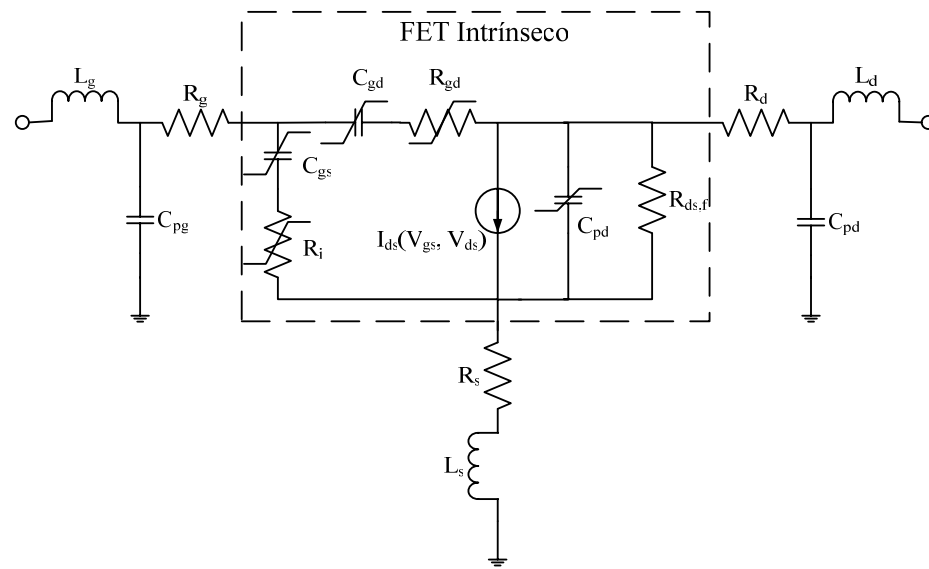


Figura 8. Modelo en gran señal del FET.

Se han desarrollado diferentes métodos para extraer los elementos parásitos de los transistores de efecto de campo en tecnología GaAs y también se han desarrollado métodos para mejorar los modelos no-lineales de los mismos. Recientemente, se ha iniciado el estudio de tecnologías emergentes de FETs de potencia a base de nitruro de galio (GaN). Una meta importante es estudiar los diferentes métodos desarrollados en la literatura para determinar por medio de mediciones de RF, los elementos parásitos introducidos por el encapsulado y los elementos parásitos propios de los FETs de GaN ( $R_s$ ,  $R_d$ ,  $R_g$ ,  $L_s$ ,  $L_d$ ,  $L_g$ ). Para la evaluación de los FET de GaN se requiere una topología del circuito eléctrico apropiada, con el fin de lograr un mejor circuito eléctrico equivalente (ya sea lineal o no lineal). Existen varias topologías, donde la diferencia principal entre estas, es la localización de las capacitancias parásitas, las cuales dependen de la geometría y del

empaquetado del transistor. En el proceso de modelado del transistor por medio de un circuito eléctrico equivalente, los elementos que se obtienen primero son los parásitos, y después de aplicar el proceso de de-embedding, mediante el cual se restan los elementos parásitos, se obtienen los elementos intrínsecos. Una buena extracción de los elementos extrínsecos del dispositivo junto con una topología adecuada conduce a valores verdaderos del transistor intrínseco y esto lleva a buenos modelos (Reynoso *et al.* 1997).

## **III.2 Métodos Para Determinar los Elementos Parásitos del Circuito Equivalente del FET de Pequeña Señal.**

### **III.2.1 Resistencias e Inductancias Parásitas.**

#### **III.2.1.1 Método en DC.**

Desde el punto de vista experimental, este método para el cálculo de las resistencias parásitas (Reynoso *et al.* 1996) consiste en la medición de las características de  $I_g(V_d)$  e  $I_g(V_g)$  en polarización directa ( $V_g > V_{bi} > 0$ ) con drenador o fuente flotante ( $I_g$  es igual a  $I_{gs}$  o  $I_{gd}$ ,  $V_d$  es igual a  $V_{ds}$  o  $V_{sd}$  y  $V_g$  es igual  $V_{gs}$  o  $V_{gd}$  con drenador o fuente flotante, respectivamente). El principio de medición se ilustra en la Figura 9. Desde un punto de vista teórico, la técnica  $R^{end}$  se utiliza junto a un modelo de diodo Schottky modificado. La teoría nos lleva a la solución de un sistema de ecuaciones simultáneas lineales donde  $R_s$ ,  $R_d$  y  $R_g$  son las incógnitas.

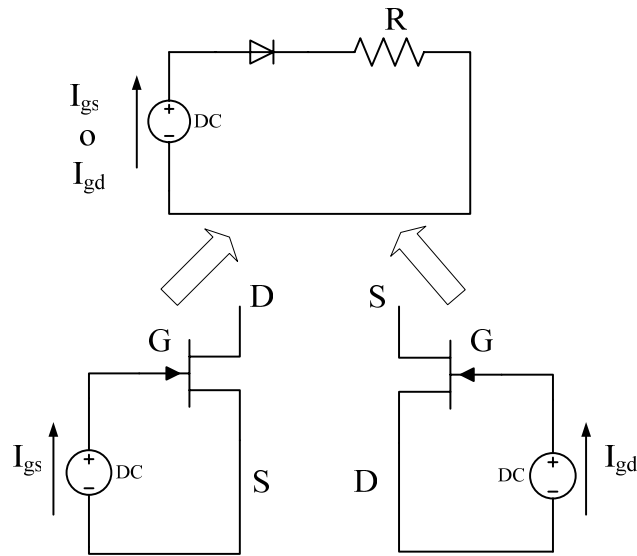


Figura 9. Modelo de diodo Schottky para transistores con drenador o fuente flotante.

### A. Técnica $R^{end}$

Del circuito mostrado en la Figura 9, el voltaje  $V_d$  causado por la corriente  $I_g$  puede calcularse como

$$V_d = I_g R^{end}, \quad (2)$$

donde  $R^{end}$  es la resistencia del circuito ( $R^{end} = R_s^{end}$  o  $R_d^{end}$  con drenador o fuente flotante respectivamente).

En principio, se esperaría que  $R^{end}$  tuviera un solo componente  $R^*$  ( $R^* = R_s$  o  $R_d$  con drenador o fuente flotante, respectivamente). Sin embargo, debido a la distribución de corriente de compuerta, una fracción del voltaje  $V_d$  cae en la resistencia de canal  $R_{ch}$ . Basado en esta suposición K.W. Lee *et al.* (1985) proponen que una resistencia suplementaria  $\alpha_t R_{ch}$  debe ser añadida a  $R^*$ . Con respecto al valor  $\alpha_t$ , se ha reportado

(Chaudhuri y Das, 1985, Lee *et al.*, 1985) que  $\alpha_t = 1/2$ . Bajo estas condiciones  $R^{end}$  está dada por

$$R^{end} = R_s^{end} = R_s + \frac{R_{ch}}{2} \text{ drenador flotante,} \quad (3)$$

$$R^{end} = R_d^{end} = R_d + \frac{R_{ch}}{2} \text{ fuente flotante,} \quad (4)$$

donde,  $R_s$ ,  $R_d$  y  $R_{ch}$  son las incógnitas. Estas expresiones constituyen a las dos primeras ecuaciones del sistema a resolver.

Por otro lado, de las mediciones  $I_g(V_d)$  y de acuerdo con (2), los valores de  $R^{end}$  se obtienen de la pendiente de  $V_d$  versus  $I_g$ :

$$R_s^{end} = \left( \frac{V_{ds}}{I_{gs}} \right)_{\text{drenador flotante}}, \quad (5)$$

$$R_d^{end} = \left( \frac{V_{sd}}{I_{gd}} \right)_{\text{fuente flotante}}. \quad (6)$$

### B. Modelo del Diodo Schottky Planar.

Hasta aquí, las ecuaciones con  $R_s$  y  $R_d$  se han establecido. Sin embargo, para un cálculo completo de las resistencias parásitas, se necesitan ecuaciones que contengan a la resistencia de compuerta  $R_g$ .

Bajo condiciones de drenador o fuente flotante, el transistor está formado por contactos compuerta-fuente o compuerta-drenador, respectivamente. Entonces, el transistor se modela por un diodo Schottky planar real mostrado en la Figura 9. Bajo condiciones de polarización en directa ( $V_g > V_{bi} > 0$ ), la corriente  $I_g$  que fluye a través del diodo se da por

$$I_g = I_s \exp\left(\frac{V}{nU_T}\right), \quad (7)$$

donde

$I_s$  corriente de saturación (A):  $I_s = (I_s)_s$  o  $(I_s)_d$  con drenador o fuente flotante;

$V$  voltaje a través del diodo Schottky ideal (V);

$n$  factor de idealidad del diodo Schottky real:  $n = n_s$  o  $n_d$  con drenador o fuente flotante;

$U_T$  potencial térmico (V):  $U_T = kT/q$ ;

$k$  constante de Boltzmann (J/K);

$T$  temperatura absoluta (K);

$q$  carga del electrón (C);

La corriente de saturación está dada por

$$I_s = S \cdot A^{**} \cdot T^2 \cdot \exp\left(\frac{-V_{bi}}{U_T}\right), \quad (8)$$

donde

$S$  superficie de compuerta ( $\text{cm}^2$ );

$A^{**}$  constante de Richardson ( $\text{A cm}^{-2}\text{K}^{-2}$ );

$V_{bi}$  altura de la barrera Schottky (V).

El voltaje  $V$  a través del diodo ideal puede escribirse en términos del voltaje positivo externo  $V_g$  y del voltaje sobre la resistencia en serie  $R$  asociada al diodo Schottky como

$$V = V_g - I_g R. \quad (9)$$

Sustituyendo (9) en (7) y garantizando que  $V_g > 3kT/q$ , (7) se convierte en

$$I_g = I_s \cdot \exp\left(\frac{V_g - I_g R}{nU_T}\right). \quad (10)$$

Entonces, después de una manipulación algebraica el voltaje  $V_g$  se expresa, utilizando (10) por

$$V_g = RI_g + nU_T \ln(I_g) - nU_T \ln(I_s). \quad (11)$$

Definiendo  $R^{(s)}$  y  $R^{(d)}$  como los valores de la resistencia en serie  $R$  con drenador o fuente flotante, respectivamente, en el caso del transistor se ha mostrado que  $R$  se puede escribir como

$$R^{(s)} = R_s + R_g + \alpha_i R_{ch}, \quad (12)$$

$$R^{(d)} = R_d + R_g + \alpha_i R_{ch}, \quad (13)$$

donde  $\alpha_i$ , es un factor igual a 1/3 (Chaudhuri y Das, 1985) y  $R_s$ ,  $R_d$ ,  $R_g$ , y  $R_{ch}$  son las incógnitas. Estas expresiones completan el sistema a ser resuelto.

En relación con los coeficientes  $R^{(s)}$  y  $R^{(d)}$ , sus valores se calculan a partir de mediciones  $I_g(V_g)$  siguiendo cualquiera de los siguientes métodos.

### *C. Primer método para el cálculo de la resistencia en serie del diodo Schottky.*

Este método, inspirado en el trabajo reportado por Bennet (1987), se basa en la optimización por mínimos cuadrados de la función analítica que predice las características  $I(V)$  de un diodo Schottky real (11). Esta función se escribe como

$$V_g = RI_g + a \ln(I_g) + b, \quad (14)$$

donde los coeficientes  $R$ ,  $a$  y  $b$  son las variables a optimizar. Las expresiones de  $a$  y  $b$  están dadas por

$$a = nU_T \quad (15)$$

y

$$b = -a \ln(I_s). \quad (16)$$

Con la ayuda de  $m$  mediciones de corriente  $I_g$  para  $m$  valores de voltaje  $V_g$  es posible definir la función de error  $X$  a ser minimizada:

$$X = \sum_{i=1}^m [RI_{gi} + a \ln(I_{gi}) + b - V_{gi}]^2. \quad (17)$$

El mínimo de  $X$  ocurre cuando las derivadas parciales con respecto a  $R$ ,  $a$  y  $b$  son iguales a cero. Estas condiciones conducen a un conjunto de tres ecuaciones lineales simultáneas donde  $R$ ,  $a$  y  $b$  son las incógnitas. Las ecuaciones resultantes pueden ser escritas de forma matricial como

$$\mathbf{E} \cdot \mathbf{Y} = \mathbf{F}, \quad (18)$$

donde

$$\mathbf{E} = \begin{bmatrix} \sum_{i=1}^m (I_{gi})^2 & \sum_{i=1}^m (I_{gi})(\ln I_{gi}) & \sum_{i=1}^m (I_{gi}) \\ \sum_{i=1}^m (I_{gi})(\ln I_{gi}) & \sum_{i=1}^m (\ln I_{gi})^2 & \sum_{i=1}^m (\ln I_{gi}) \\ \sum_{i=1}^m (I_{gi}) & \sum_{i=1}^m (\ln I_{gi}) & m \end{bmatrix}, \quad (19)$$

$$\mathbf{Y}^T = [R \quad a \quad b], \quad (20)$$

$$\mathbf{F}^T = \left[ \sum_{i=1}^m (I_{gi})(V_{gi}) \quad \sum_{i=1}^m (\ln I_{gi})(V_{gi}) \quad \sum_{i=1}^m (V_{gi}) \right]. \quad (21)$$

Después de resolver la ecuación (18) se pueden obtener todos los parámetros del diodo Schottky real: la resistencia en serie  $R$ , el factor de idealidad  $n$  ( $n = a/U_T$ ) y la corriente de saturación  $I_s$  [ $I_s = \exp(-b/a)$ ].



*D. Segundo método para el cálculo de la resistencia en serie del diodo Schottky.*

Este método, desarrollado mediante el procedimiento reportado por Cheung (1986), consiste en la optimización de la relación lineal entre las variables  $(\delta V_g / \delta \ln I_g)$  e  $I_g$  en la región positiva de las características  $I(V)$  del diodo Schottky. Calculando la derivada parcial de  $V_g$  (14) con respecto de  $\ln(I_g)$  se tiene

$$\frac{\partial V_g}{\partial \ln I_g} = R I_g + a. \quad (22)$$

La ecuación (22) caracteriza una línea recta con  $R$  como pendiente y  $a$  como intersección con las ordenadas. Tomando un conjunto de  $m$  mediciones de corriente  $I_g$  para  $m$  valores de voltaje  $V_g$ , es posible calcular  $(m - 1)$  valores medios de la derivada  $(\delta V_g / \delta \ln I_g)$

$$\left\{ \frac{\Delta V_{g1}}{\Delta \ln I_{g1}}, \frac{\Delta V_{g2}}{\Delta \ln I_{g1}}, \dots, \frac{\Delta V_{gi}}{\Delta \ln I_{gi}}, \dots, \frac{\Delta V_{g(m-1)}}{\Delta \ln I_{g(m-1)}} \right\},$$

donde

$$\frac{\Delta V_{g1}}{\Delta \ln I_{g1}} = \frac{V_{g(i+1)} - V_{gi}}{\ln I_{g(i+1)} - \ln I_{gi}}. \quad (23)$$

Utilizando los  $(m - 1)$  valores de  $(\delta V_g / \delta \ln I_g)$  calculados y los  $(m - 1)$  valores correspondientes de  $I_g$  medidos,  $R$  y  $a$ , se calculan mediante el método de optimización por mínimos cuadrados. Es importante notar que, a diferencia del primer método, el segundo método no permite una extracción completa de los parámetros físicos del diodo Schottky real.

*E. Extracción de las resistencias de parásitas.*

Para la estimación de las resistencias parásitas, las ecuaciones (5), (6), (12), y (13) se deben resolver simultáneamente. Se tiene un conjunto de cuatro ecuaciones lineales con cuatro incógnitas ( $R_s$ ,  $R_d$ ,  $R_g$  y  $R_{ch}$ ). Si los valores de  $R_s$  y  $R_d$  se obtienen de (5) y (6), y luego se sustituyen en (12) y (13) el sistema a ser resuelto se convierte en:

$$R_s + \frac{R_{ch}}{2} = R_s^{end}, \quad (24)$$

$$R_d + \frac{R_{ch}}{2} = R_d^{end}, \quad (25)$$

$$R_g - \frac{R_{ch}}{6} = R^{(s)} - R_s^{end}, \quad (26)$$

$$R_g - \frac{R_{ch}}{6} = R^{(d)} - R_d^{end}. \quad (27)$$

Se obtienen dos expresiones equivalentes para el término  $(R_g - R_{ch}/6)$  (26) y (27). Así, si las mediciones en DC con drenador y fuente flotante son consistentes una con la otra, se debe encontrar que

$$R^{(s)} - R_s^{end} = R^{(d)} - R_d^{end}. \quad (28)$$

Por otro lado, se espera que el valor de  $R_{ch}$  sea demasiado pequeño con respecto al valor de las resistencias parásitas. De tal manera que,  $R_s$ ,  $R_d$  y  $R_g$  se obtienen finalmente por

$$R_s = R_s^{end}, \quad (29)$$

$$R_d = R_d^{end}, \quad (30)$$

$$\begin{aligned} R_g &= [R^{(s)} - R_s^{end}] \\ &= [R^{(d)} - R_d^{end}]. \end{aligned} \quad (31)$$

### III.2.1.2 Métodos en RF (“cold FET”).

#### III.2.1.2.1 Método del “cold FET”.

Este método presentado por Dambrine *et al.* (1988) divide el circuito eléctrico equivalente del transistor (Figura 10) en dos partes:

1. Elementos intrínsecos  $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$ ,  $R_i$ ,  $R_{ds}$ ,  $g_m$  y  $\tau$ , los cuales son dependientes de la polarización.
2. Elementos extrínsecos  $L_g$ ,  $R_g$ ,  $C_{pg}$ ,  $L_s$ ,  $R_s$ ,  $L_d$ ,  $R_d$  y  $C_{pd}$ , los cuales son independientes de las condiciones de polarización.

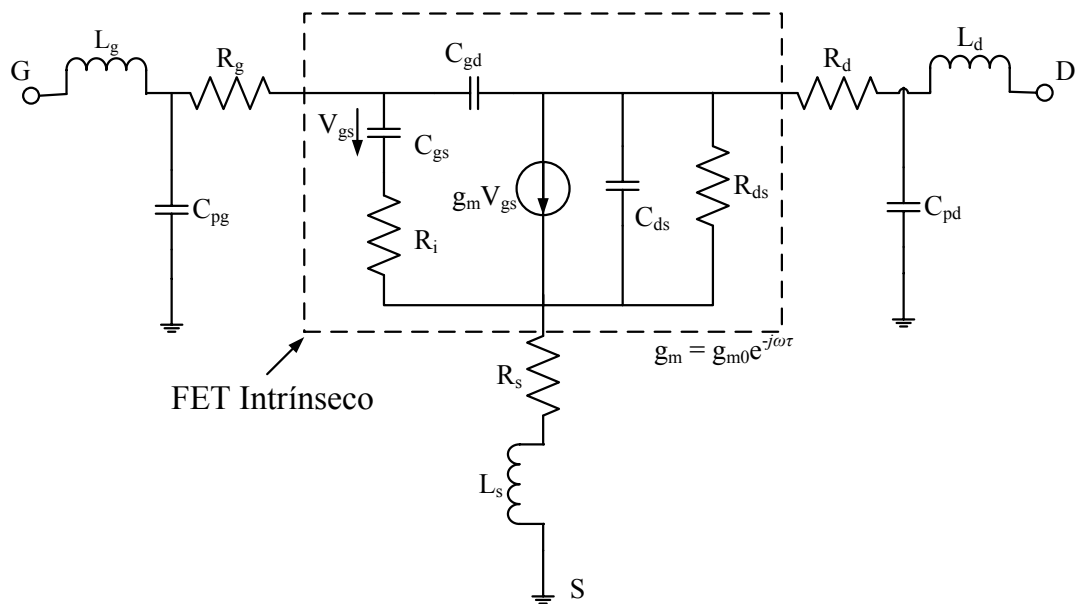


Figura 10. Modelo del circuito eléctrico equivalente del transistor propuesto por Dambrine.

El método de “cold FET” permite el cálculo de los elementos parásitos en una banda de baja frecuencia. De acuerdo a Diamant y Laviron (1982), los parámetros S medidos con una polarización de cero volts en el drenador pueden ser utilizados para la evaluación de los elementos parásitos debido a que el circuito equivalente es más simple.

La Figura 11 muestra la red RC distribuida que representa el canal de un FET bajo la compuerta con  $V_{ds} = 0$ .

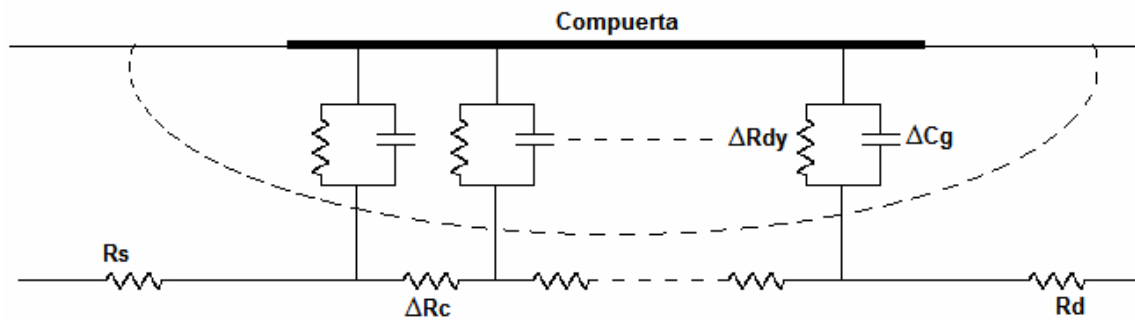


Figura 11. Descripción de la red RC distribuida bajo la compuerta.

Polarizando al transistor en directo ( $V_{gs} > V_T > 0$ ;  $V_{ds} = 0$ ) los parámetros de impedancia  $z_{ij}$  del circuito de la Figura 11 (sin considerar las resistencias  $R_s$  y  $R_d$ ) se pueden escribir como

$$z_{11} = \frac{R_{ch}}{3} + Z_{dy}, \quad (32)$$

$$z_{12} = z_{21} = \frac{R_{ch}}{2}, \quad (33)$$

$$z_{22} = R_{ch}, \quad (34)$$

donde  $R_{ch}$  es la resistencia del canal debajo la compuerta y  $Z_{dy}$  es la impedancia equivalente de la barrera Schottky.

$$Z_{dy} = \frac{R_{dy}}{1 + j\omega C_y R_{dy}}, \quad \text{donde} \quad R_{dy} = \frac{nkT}{qI_g}, \quad (35)$$

donde  $n$  es el factor de idealidad,  $k$  la constante de Boltzmann,  $T$  la temperatura,  $C_y$  la capacitancia de compuerta, e  $I_g$  la corriente DC de compuerta.

Al incrementar la corriente de polarización directa en la compuerta,  $R_{dy}$  disminuye y  $C_y$  se incrementa, pero el comportamiento exponencial de  $R_{dy}$  contra  $V_{gs}$  es un factor dominante. Como consecuencia, el término  $\omega R_{dy} C_y$  tiende a cero para densidades de corriente cercanas a  $5 \times 10^7 - 10^8$  A/m<sup>2</sup>. En ese caso se tiene que

$$Z_{dy} \approx R_{dy} = \frac{nkT}{qI_g}. \quad (36)$$

Para tales valores de corriente de compuerta, el efecto capacitivo de la compuerta desaparece y el parámetro  $z_{11}$  se convierte en real,

$$z_{11} \approx \frac{R_{ch}}{3} + \frac{nkT}{qI_g}. \quad (37)$$

Además, la influencia de las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$  es insignificante y como consecuencia los parámetros  $Z$  extrínsecos se determinan simplemente añadiendo las resistencias parásitas  $R_s$ ,  $R_g$ ,  $R_d$  y las inductancias  $L_g$ ,  $L_s$ ,  $L_d$  a los parámetros  $Z$  intrínsecos, es decir,

$$Z_{11} = R_s + R_g + \frac{R_{ch}}{3} + \frac{nkT}{qI_g} + j\omega(L_s + L_g), \quad (38)$$

$$Z_{12} = Z_{21} = R_s + \frac{R_{ch}}{2} + j\omega L_s, \quad (39)$$

$$Z_{22} = R_s + R_d + R_{ch} + j\omega(L_s + L_d). \quad (40)$$

En la Figura 12 se muestra como la parte imaginaria de los parámetros  $Z$  de un HEMT de AlGaAs/GaAs aumenta linealmente con la frecuencia, mientras que la parte real es independiente de la frecuencia. Además, de la ecuación (38) se debe notar que la parte real de  $Z_{11}$  es lineal en  $1/I_g$ .

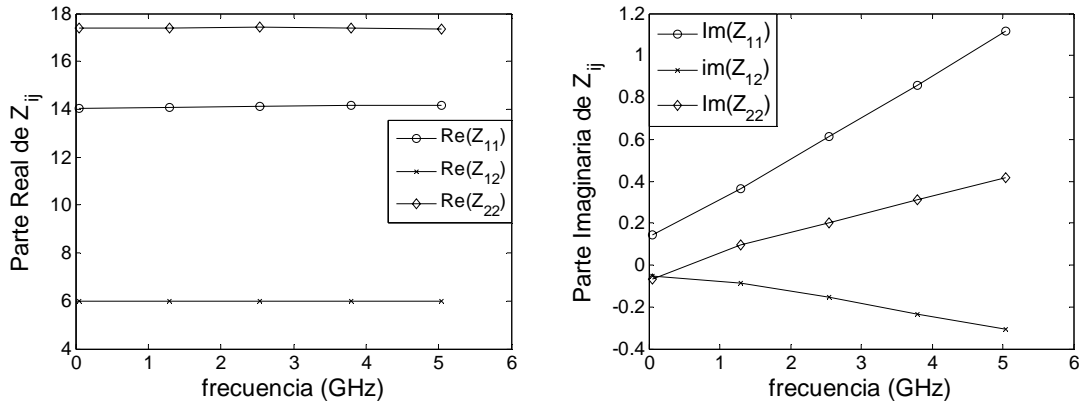


Figura 12. Evolución de la parte real e imaginaria de los parámetros  $Z$  de un HEMT de GaAs versus frecuencia bajo polarización directa en la compuerta y  $V_{ds} =$  abierto.

De las ecuaciones (38) - (40) se pueden calcular las inductancias parásitas de la siguiente manera:  $L_s$  de  $\text{Im}(Z_{12})$ ,  $L_g$  de  $\text{Im}(Z_{11})$ , y  $L_d$  de  $\text{Im}(Z_{22})$ . Las resistencias parásitas se determinan de la siguiente manera:  $R_s$  de  $\text{Re}(Z_{12})$  y  $R_d$  de  $\text{Re}(Z_{22})$ . Además, como se muestra en la Figura 13, la extrapolación lineal de la gráfica de  $\text{Re}(Z_{11})$  contra  $1/I_g$ , muestra que el punto en el que cruza el eje de las ordenadas da el valor de  $R_s + R_g + R_{ch}/3$ , y de ahí se puede obtener el valor de  $R_g$ .

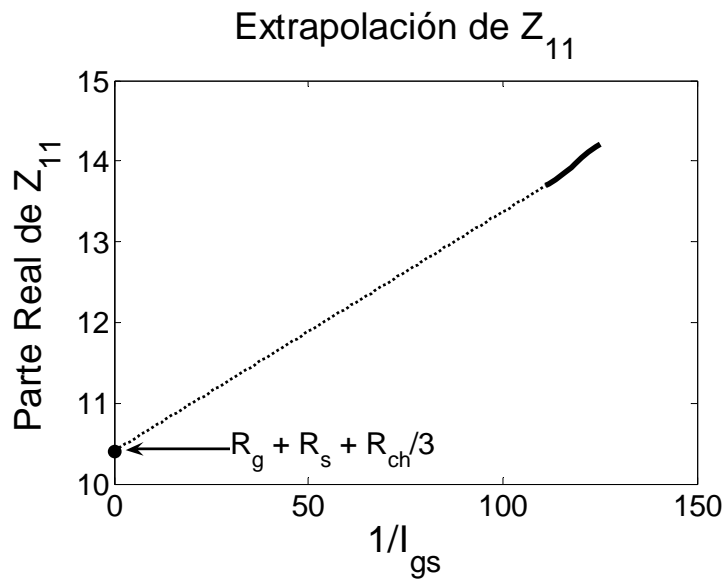


Figura 13. Evolución de la parte real de  $Z_{11}$  en función de  $1/I_g$ .

#### **III.2.1.2.2 Método de Chen et al.**

En el trabajo de Chen *et al.* (2006), se presenta un nuevo procedimiento para modelar transistores en base a GaN, el cual no requiere de altos voltajes de polarización en la compuerta para calcular la resistencia y la inductancia parásitas. Esto es adecuado porque en los HEMTs de AlGaIn/GaN al aplicarle altos valores de corriente en directo se puede destruir el diodo Schottky de compuerta.

En la Figura 14 se muestra el circuito eléctrico equivalente en pequeña señal del AlGaIn/GaN compuesto por elementos parásitos e intrínsecos propuesto por Chen, quien le agrega la capacitancia  $C_{pf}$  al modelo clásico.

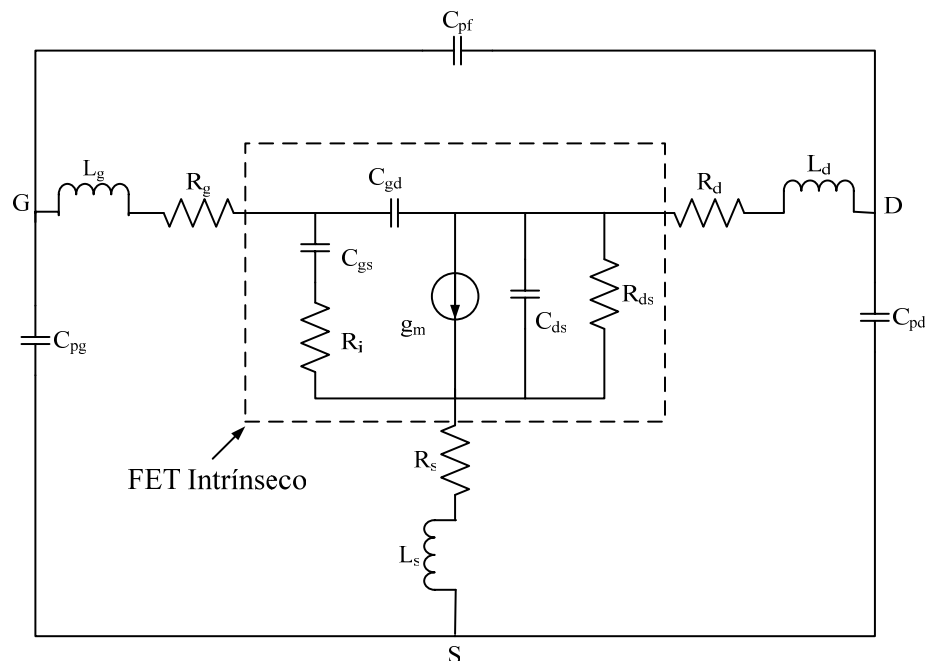


Figura 14. Circuito eléctrico equivalente en pequeña señal de HEMTs de AlGaIn/GaN propuesto por Chen.

El método tradicional (Dambrine *et al.*, 1988), determina las inductancias y resistencias parásitas aplicando un voltaje positivo a la compuerta del HEMT. Para evitar que un alto voltaje destruya la compuerta Schottky, el método de Chen utiliza un bajo voltaje de compuerta para extraer las resistencias e inductancias parásitas. A los parámetros S medidos bajo estas condiciones de polarización se les aplica un proceso de de-embedding para cancelar las capacitancias parásitas, mediante el método descrito por Anholt (1995).



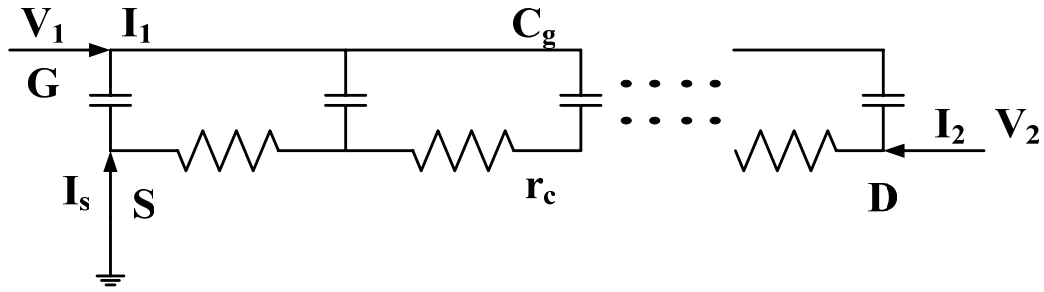


Figura 15. Circuito eléctrico equivalente del HEMT intrínseco de AlGaIn/GaN a voltajes de compuerta bajos y  $V_{ds} = 0$  V.

Modelando el transistor intrínseco por medio de una línea de transmisión, como se muestra en la Figura 15 donde  $r_c$  es la resistencia del canal por unidad de longitud y  $C_g$  es la capacitancia de compuerta por unidad de longitud. La matriz de impedancia del transistor intrínseco se expresa como

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} z \coth(\gamma l) & z \tanh\left(\frac{\gamma l}{2}\right) \\ z \tanh\left(\frac{\gamma l}{2}\right) & 2z \tanh\left(\frac{\gamma l}{2}\right) \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}, \quad (41)$$

donde  $z = \sqrt{(r_c / j\omega C_g)}$  y  $\gamma = \sqrt{r_c j\omega C_g}$ . Para longitudes de compuerta  $l < 1 \mu\text{m}$  y  $|\gamma l| \ll 1$ ,

la ecuación (41) puede ser simplificada como

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} \frac{1}{j\omega C_g} & \frac{R_c}{2} \\ \frac{R_c}{2} & R_c \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}, \quad (42)$$

donde  $R_c = lr_c$  es la resistencia de canal y  $C_g = lc_g$  es la capacitancia de compuerta.

Añadiendo las resistencias e inductancias parásitas a partir del método tradicional del “cold FET”, la matriz de impedancia se escribe como

$$Z_{11} = R_s + R_g + j \left( \omega L_s + \omega L_g - \frac{1}{\omega C_g} \right), \quad (43)$$

$$Z_{12} = R_s + \frac{R_c}{2} + j\omega L_s, \quad (44)$$

$$Z_{22} = R_s + R_d + R_c + j\omega(L_s + L_d). \quad (45)$$

De las partes imaginarias de  $Z_{12}$  y  $Z_{22}$ , se pueden calcular  $L_s$  y  $L_d$ , mientras que de la parte real de los parámetros  $Z$  se puede obtener los valores de  $R_g$ ,  $R_s$  y  $R_d$ .

Para extraer el valor de la inductancia parásita  $L_g$  se utiliza la parte imaginaria de  $Z_{11}$  dada en (43), la cual se expresa como

$$\omega^2(L_g + L_s) - \frac{1}{C_g} = \omega \text{Im}(Z_{11}). \quad (46)$$

Aplicando el método de mínimos cuadrados para ajustar los datos medidos se puede conocer el valor de  $L_g + L_s$ . Para determinar las cuatro incógnitas en la parte real de la matriz de impedancia se necesita una expresión más. La suma de las resistencias parásitas  $R_s$  y  $R_d$  puede ser determinada por interpolación lineal de la parte real de  $Z_{22}$  versus  $1/(V_{gs} - V_{th})$ . De esta manera se pueden calcular todas las resistencias e inductancias parásitas.

### ***III.2.1.2.3 Método de Giovanni Crupi et al.***

El trabajo de Crupi *et al* (2006) se enfoca en la determinación y análisis de un circuito equivalente en pequeña señal adecuado para HEMTs de GaN bajo diferentes condiciones de polarización.

En la Figura 16, se muestra la topología adoptada para modelar el circuito equivalente del HEMT. Este circuito equivalente está dividido en una sección intrínseca ( $g_m$ ,  $\tau$ ,  $g_{ds}$ ,  $C_{ds}$ ,  $C_{gs}$ ,

$C_{gd}$ ,  $R_{gs}$ ,  $R_{gd}$ ) y en una sección extrínseca ( $C_{pg}$ ,  $C_{pgs}$ ,  $C_{pd}$ ,  $C_{pds}$ ,  $R_{pgs}$ ,  $R_{pds}$ ,  $R_d$ ,  $R_s$ ,  $R_g$ ,  $L_d$ ,  $L_s$ ,  $L_g$ ).

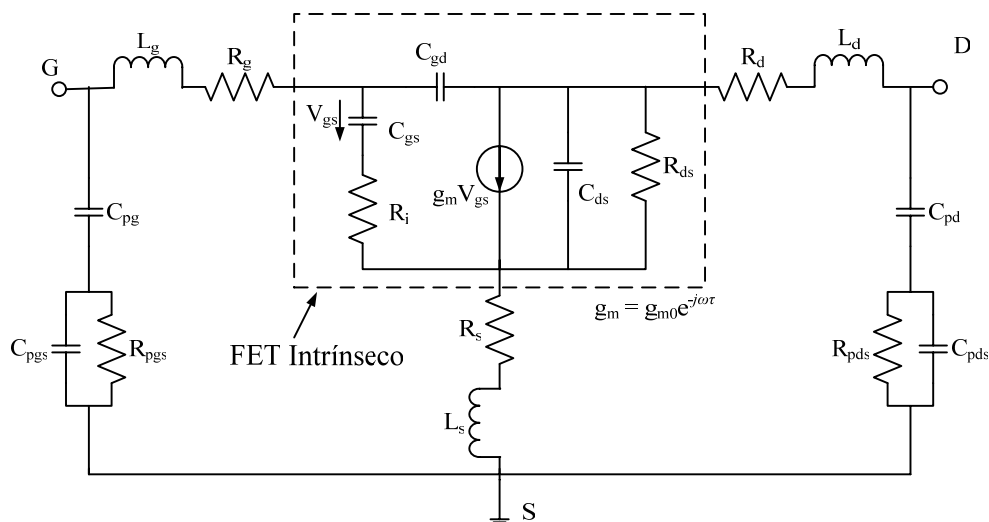


Figura 16. Circuito equivalente del dispositivo.

Crupi explica que la condición de voltaje de drenador – fuente igual a cero, es caracterizada por una temperatura equivalente de la región 2DEG, representando la energía cinética promedio del electrón, la cual es fría con respecto a las condiciones típicas de operación. Tales condiciones de polarización simplifican considerablemente al circuito. Con la ausencia de un campo eléctrico externo entre el drenador y la fuente, no hay portadores que viajen por el canal. Como consecuencia, la fuente de corriente controlada por voltaje puede ser eliminada. Así, tenemos dos ecuaciones ( $S_{12} = S_{21}$ ) y dos incógnitas ( $g_m$ ,  $\tau$ ) menos. Además, si las asimetrías de la estructura del dispositivo intrínseco son lo suficientemente pequeñas, los circuitos intrínsecos de compuerta – fuente y compuerta – drenador del “cold FET” se pueden considerar como iguales.

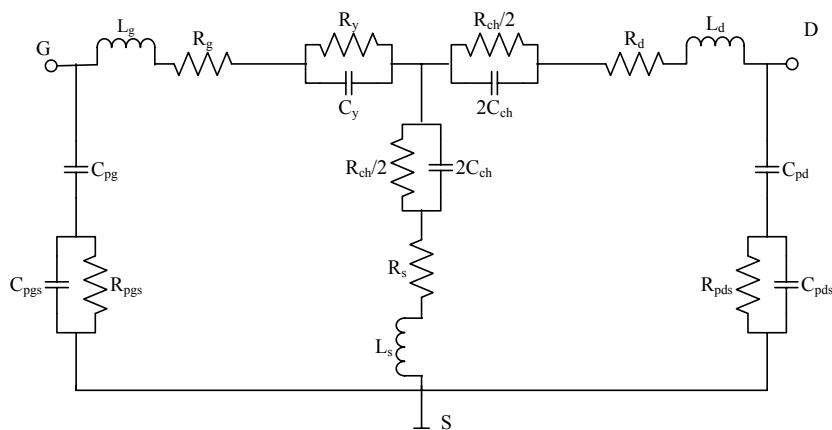


Figura 17. Circuito equivalente del HEMT de GaN en “frío”.

Los elementos extrínsecos se determinan de los parámetros de admitancia ( $Y$ ) de una estructura abierta adicional (dummy FET) y de la medición de los parámetros S realizados al “cold FET”.

El primer paso es obtener  $C_{pg}$ ,  $R_{pgs}$ ,  $C_{pgs}$  y  $C_{pd}$ ,  $R_{pds}$ ,  $C_{pds}$  de  $Y_{in} = Y_{11} + Y_{12}$  y  $Y_{out} = Y_{22} + Y_{12}$  empleando una estructura abierta “dummy”. Estos dos parámetros de admitancia representan el acoplamiento entre las interconexiones del metal y el sustrato y entre la compuerta – fuente y drenador – fuente, respectivamente. Crupi añade en serie con  $C_{pg}$  y  $C_{pd}$  las redes RC en paralelo a la entrada y la salida del circuito para tomar en cuenta las partes reales de  $Y_{in}$  y  $Y_{out}$ , las cuales observó que no son despreciables. Como sólo se tienen cuatro ecuaciones representando la parte real e imaginaria de  $Y_{in}$  y  $Y_{out}$ , definida en términos de los seis elementos parásitos, se determinan esos seis parámetros del circuito equivalente con un proceso de optimización al usar valores iniciales estimados a partir del análisis de la estructura física y el diseño del circuito.

El segundo paso es determinar las resistencias e inductancias parásitas partiendo de los parámetros S medidos del “cold FET” en polarización directa. En la Figura 17, se muestra una red-T compuesta por elementos concentrados que representan el HEMT de GaN en polarizandolo como “cold FET”. El circuito intrínseco está constituido por una red RC en paralelo ( $R_y$ ,  $C_y$ ) modelando el diodo Schottky de compuerta y dos redes RC idénticas en paralelo ( $R_{ch}/2$ ,  $2C_{ch}$ ) que modelan el canal activo. Este modelo permite determinar directamente los parámetros de impedancia Z como sigue:

$$Z_{11} = R_g + R_s + 0.5 \frac{R_{ch}}{1 + \omega^2 C_{ch}^2 R_{ch}^2} + \frac{R_y}{1 + \omega^2 C_y^2 R_y^2} + j \left[ \omega(L_s + L_g) - 0.5 \frac{\omega C_{ch} R_{ch}^2}{1 + \omega^2 C_{ch}^2 R_{ch}^2} - \frac{\omega C_y R_y^2}{1 + \omega^2 C_y^2 R_y^2} \right], \quad (47)$$

$$Z_{12} = Z_{21} = R_s + 0.5 \frac{R_{ch}}{1 + \omega^2 C_{ch}^2 R_{ch}^2} + j \left[ \omega L_s - 0.5 \frac{\omega C_{ch} R_{ch}^2}{1 + \omega^2 C_{ch}^2 R_{ch}^2} \right], \quad (48)$$

$$Z_{22} = R_d + R_s + \frac{R_{ch}}{1 + \omega^2 C_{ch}^2 R_{ch}^2} + j \left[ \omega(L_d + L_s) - \frac{\omega C_{ch} R_{ch}^2}{1 + \omega^2 C_{ch}^2 R_{ch}^2} \right]. \quad (49)$$

A frecuencias lo suficientemente altas como para despreciar las resistencias intrínsecas  $R_y$  y  $R_{ch}/2$  con respecto a las impedancias asociadas a las capacitancias intrínsecas  $C_y$  y  $2C_{ch}$ , las ecuaciones (47) – (49) se pueden simplificar como se muestra a continuación:

$$Z_{11} = R_g + R_s + j \left[ \omega(L_s + L_g) - 0.5 \frac{1}{\omega C_{ch}} - \frac{1}{\omega C_y} \right], \quad (50)$$

$$Z_{12} = Z_{21} = R_s + j \left[ \omega L_s - 0.5 \frac{1}{\omega C_{ch}} \right], \quad (51)$$

$$Z_{22} = R_d + R_s + j \left[ \omega(L_d + L_s) - \frac{1}{\omega C_{ch}} \right]. \quad (52)$$

Por lo tanto, las resistencias parásitas  $R_d$ ,  $R_s$  y  $R_g$  pueden ser calculadas al promediar la parte real de los parámetros  $Z$  sobre la frecuencia. Por otro lado, las inductancias parásitas  $L_d$ ,  $L_s$ ,  $L_g$  pueden ser evaluadas de la pendiente de las líneas rectas interpolando los datos experimentales de la parte imaginaria de los parámetros  $Z$  multiplicados por la frecuencia angular  $\omega$  versus  $\omega^2$ . Esta interpolación se realiza por medio del método de mínimos cuadrados.

Finalmente, los elementos intrínsecos se obtienen analíticamente de los parámetros  $S$  medidos al aplicar diferentes polarizaciones a la compuerta y drenador (“hot FET”) al usar las ecuaciones reportadas por Khalaf (2000).

### III.2.2 Capacitancias Parásitas (cold FET en pinchoff. $V_{gs} < V_p$ ; $V_{ds} = 0$ )

#### III.2.2.1 Método de Dambrine.

Dambrine *et al.* (1988) modelan la zona de deserción debajo de la compuerta cuando el transistor está polarizado con  $V_{gs} < V_p < 0$  y  $V_{ds} = 0$ , empleando dos capacitancias iguales, como se muestra en la Figura 18.

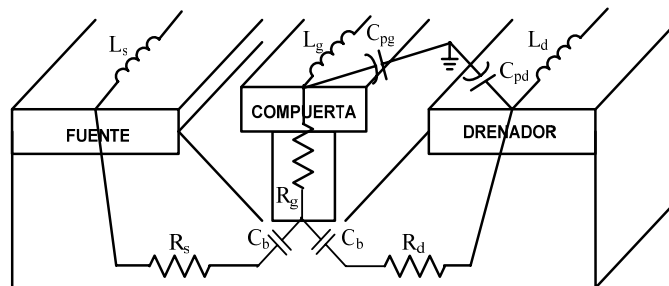


Figura 18. Modelo de Dambrine de la zona de deserción debajo de la compuerta para el “cold FET” en pinchoff.

Las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$  se miden al suprimir la conductividad del canal por la acción de la polarización inversa en la compuerta. De hecho, para un voltaje igual a cero volts en el drenador y para un voltaje por debajo del voltaje de pinchoff  $V_p$ , la capacitancia intrínseca de compuerta se cancela, así como la conductancia del canal. Bajo estas condiciones de polarización el circuito eléctrico equivalente se muestra en la Figura 19. En esta figura  $C_b$  representa la capacitancia del borde debido a la capa de deserción extendida a cada lado de la compuerta.

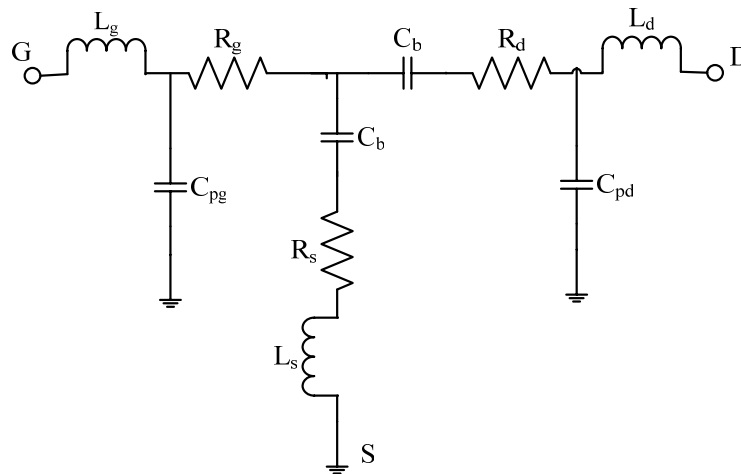


Figura 19. Circuito equivalente del “cold FET” en pinchoff según Dambrine.

Para frecuencias por arriba de unos cuantos Gigahertz, las resistencias e inductancias no tienen influencia en la parte imaginaria de los parámetros  $Y$ , los cuales se expresan como

$$\text{Im}(Y_{11}) = \omega(C_{pg} + 2C_b), \quad (53)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -\omega C_b, \quad (54)$$

$$\text{Im}(Y_{22}) = \omega(C_b + C_{pd}). \quad (55)$$

Así, las tres incógnitas  $C_b$ ,  $C_{pg}$  y  $C_{pd}$  pueden ser calculadas empleando las ecuaciones (53) – (55) de la siguiente manera:

$$C_b = \frac{-\text{Im}(Y_{12})}{\omega}, \quad (56)$$

$$C_{pg} = \frac{\text{Im}(Y_{11}) + \text{Im}(Y_{12})}{\omega}, \quad (57)$$

$$C_{pd} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega}. \quad (58)$$

### III.2.2.2 Método de White.

El método de White (1993), a diferencia del de Dambrine (1988), modela la zona de deserción debajo de la compuerta del transistor con tres capacitancias iguales, como se muestra en la Figura 20.

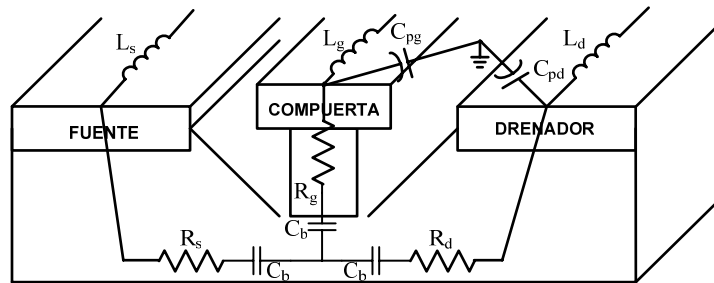


Figura 20. Modelo de la zona de deserción debajo de la compuerta propuesto por White.

A bajas frecuencias, e ignorando el efecto de las resistencias e inductancias parásitas el circuito equivalente del transistor para estas condiciones de polarización queda como el mostrado en la Figura 21.



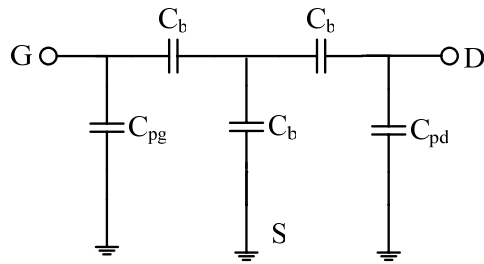


Figura 21. Circuito equivalente de pequeña señal de un “cold FET” en pinchoff según White.

A partir de la parte imaginaria de los parámetros Y del circuito de la Figura 21 se puede calcular las capacitancias parásitas como se muestra a continuación:

$$C_b = \frac{-3 \operatorname{Im}(Y_{12})}{\omega}, \quad (59)$$

$$C_{pg} = \frac{\operatorname{Im}(Y_{11}) + 2 \operatorname{Im}(Y_{12})}{\omega}, \quad (60)$$

$$C_{pd} = \frac{\operatorname{Im}(Y_{22}) + 2 \operatorname{Im}(Y_{12})}{\omega}. \quad (61)$$

### III.2.2.3 Método de Chen *et al.*

De acuerdo al trabajo propuesto por Chen *et al.* (2006), para calcular las capacitancias parásitas  $C_{pg}$ ,  $C_{pd}$  y  $C_{pf}$  se utiliza un dispositivo HEMT pasivo (“dummy”). Este dispositivo fue fabricado en la misma oblea y diseño que el transistor, pero sin la estructura de la compuerta.

La Figura 22 muestra el circuito equivalente de dicha estructura. Debido a que no existe una conexión entre la fuente, el drenador y la compuerta, la influencia de las resistencias e inductancias parásitas es despreciable.

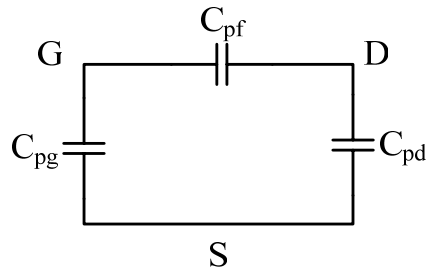


Figura 22. Circuito eléctrico equivalente del dispositivo sin estructura de compuerta.

Los parámetros Y del circuito de la Figura 22 se expresan como

$$\text{Im}(Y_{11}) = \omega(C_{pg} + C_{pf}), \quad (62)$$

$$\text{Im}(Y_{22}) = \omega(C_{pd} + C_{pf}), \quad (63)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -\omega C_{pf}. \quad (64)$$

Los valores de las capacitancias parásitas  $C_{pg}$ ,  $C_{pd}$  y  $C_{pf}$  se pueden calcular a utilizando las ecuaciones (62) a (64).

Después de extraer y cancelar los elementos parásitos mediante el proceso de de-embedding, los componentes intrínsecos se calculan mediante los métodos publicados por Berroth y Bosh (1990) y Chigaeva y Walthes (2000) bajo diferentes condiciones de polarización.

### III.2.3 Método de Jarndal y Kompa para calcular los elementos parásitos en dispositivos de GaN.

El método de Jarndal y Kompa (2005) para modelar transistores de GaN se basa en dos pasos, los cuales son: 1) utilizando mediciones de parámetros S en frío, se calculan los

valores iniciales de los parámetros extrínsecos; esto situará a la extracción cerca del mínimo global de la función objetivo para el modelo del circuito eléctrico equivalente, y 2) los valores óptimos del modelo se buscan mediante un proceso de optimización utilizando los valores iniciales previamente calculados. El procedimiento de extracción de los elementos intrínsecos independientes de la frecuencia se mejora para su extracción óptima.

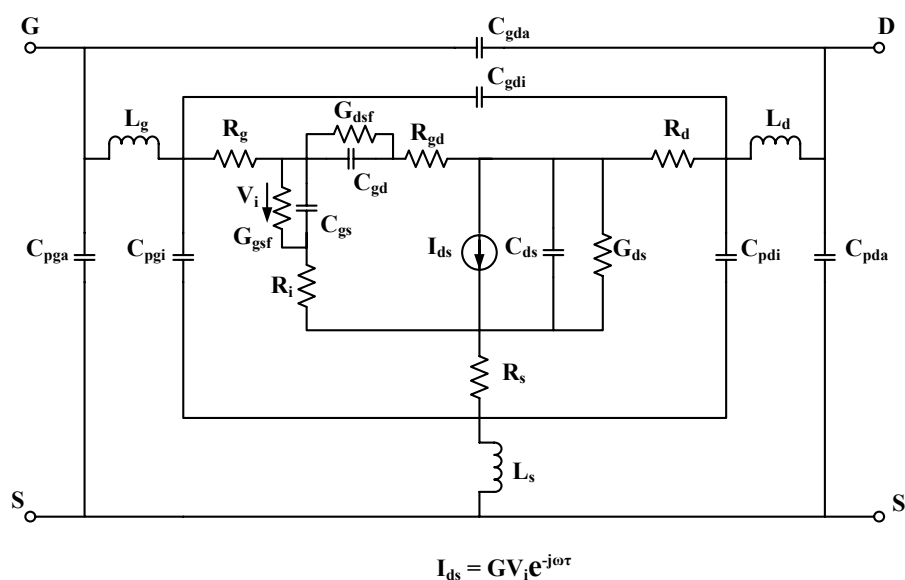


Figura 23. Modelo del HEMT de GaN activo de 22 elementos.

En la Figura 23. se muestra el circuito eléctrico equivalente (CEE) utilizado para modelar en pequeña señal el HEMT de GaN. Las ventajas de este modelo son:

- Toma en cuenta todos los elementos parásitos del dispositivo.
- Refleja la estructura física del dispositivo sobre un amplio rango de polarización y frecuencia.

En este modelo,  $C_{pgi}$ ,  $C_{pdi}$ , y  $C_{gdi}$  son las capacitancias del interelectrodo y de cruce (debido a las conexiones) entre la compuerta, fuente y drenador, mientras que  $C_{pga}$ ,  $C_{pda}$ , y  $C_{gda}$  son los elementos parásitos debido a las conexiones del transistor (“Pads”), equipo de medición, pruebas y transiciones de contacto.

#### A. Generación de los Valores Iniciales de los Parámetros del Modelo en Pequeña Señal.

El procedimiento para calcular los valores iniciales se ilustra en el diagrama de flujo de la Figura 26. Como se muestra en este diagrama de flujo, los valores iniciales de las capacitancias e inductancias extrínsecas se generan utilizando mediciones en pinchoff, mientras que las resistencias extrínsecas se calculan a partir de mediciones en directo. El procedimiento para encontrar los valores iniciales se explica a continuación.

Paso 1) Cuando  $V_{gs} < -V_p$  y  $V_{ds} = 0.0$  V, el circuito de la Figura 23 se reduce a una red capacitiva, la cual se muestra en la Figura 24. Los parámetros Y de este circuito equivalente se pueden escribir como

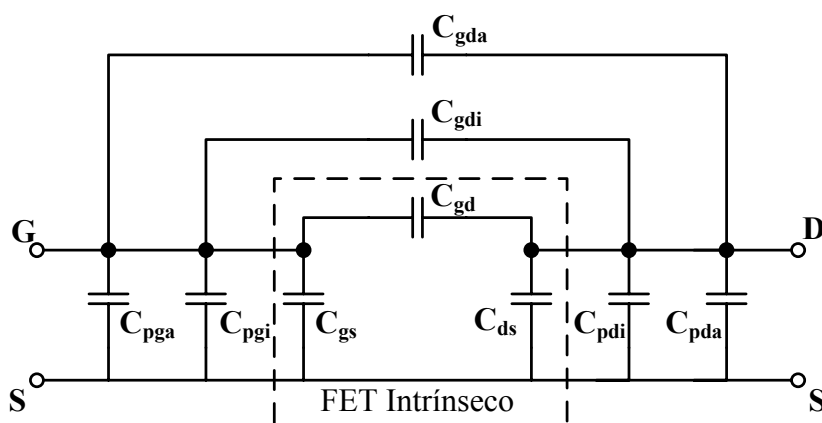


Figura 24. Modelo del “cold FET” de GaN en pinchoff a baja frecuencia.

$$Y_{11} = j\omega(C_{gso} + C_{gdo}), \quad (65)$$

$$Y_{22} = j\omega(C_{dso} + C_{gdo}), \quad (66)$$

$$Y_{12} = Y_{21} = j\omega C_{gdo}, \quad (67)$$

donde

$$C_{gdo} = C_{gda} + C_{gdi} + C_{gd}, \quad (68)$$

$$C_{gso} = C_{pga} + C_{pgi} + C_{gs}, \quad (69)$$

$$C_{dso} = C_{pda} + C_{pdi} + C_{ds}. \quad (70)$$

Las capacitancias totales de las ramas fuente – compuerta, compuerta – drenador, y drenador – fuente se determinan de las mediciones de los parámetros S en pinchoff a baja frecuencia, los cuales son convertidos a parámetros Y.

Paso 2) El siguiente paso es buscar la distribución óptima de las capacitancias totales, la cual proporciona el error mínimo entre los parámetros S medidos y los simulados. Esto se logra al variar los valores de  $C_{pga}$ ,  $C_{pda}$ , y  $C_{gda}$  dentro de rangos específicos.  $C_{pga}$  y  $C_{pda}$  se varían de

0 a  $0.5C_{dso}$ , mientras que  $C_{gda}$  varía de 0 a  $0.5C_{gdo}$ . Durante el proceso de variación, se supone que  $C_{pga}$  es igual a  $C_{pda}$ ,

$$C_{pga} \cong C_{pda}. \quad (71)$$

Se supone que la capacitancia de compuerta – drenador  $C_{gdi}$  es el doble de la capacitancia del pad  $C_{gda}$ ,

$$C_{gdi} \cong 2C_{gda}. \quad (72)$$

Por el espaciado simétrico entre la compuerta – fuente y la compuerta – drenador, la región de deserción será uniforme bajo condiciones de pinchoff, así que

$$C_{gs} \cong C_{gd} = C_{gdo} - C_{gdi} - C_{gda}. \quad (73)$$

El valor de  $C_{pgi}$  se calcula utilizando

$$C_{pgi} = C_{gso} - C_{gd} - C_{pga}. \quad (74)$$

Para el GaN,  $C_{pdi}$  es una parte significativa de la capacitancia total de drenador - fuente.

Por tanto, se encontró que la suposición

$$C_{pdi} \cong 3C_{pda} \quad (75)$$

minimiza el error entre los parámetros S medidos y simulados. Para rangos de frecuencia bajos y medianos, el transistor intrínseco del modelo en pinchoff se representa por una red T, como se muestra en la Figura 25, donde las capacitancias del electrodo ( $C_{pgi}$ ,  $C_{pdi}$  y  $C_{gdi}$ ) han sido absorbidas en las capacitancias intrínsecas ( $C_{gs}$ ,  $C_{ds}$  y  $C_{gd}$ ). Se hace un de-embedding de los valores de  $C_{pga}$ ,  $C_{pda}$  y  $C_{gda}$  a los parámetros Y medidos y después se convierte a parámetros Z, los cuales se escriben como

$$Z_{11} = R_g + R_s + j\omega(L_g + L_s) + \frac{1}{j\omega} \left( \frac{1}{C_g} + \frac{1}{C_s} \right), \quad (76)$$

$$Z_{22} = R_d + R_s + j\omega(L_d + L_s) + \frac{1}{j\omega} \left( \frac{1}{C_d} + \frac{1}{C_s} \right), \quad (77)$$

$$Z_{22} = R_d + R_s + j\omega(L_d + L_s) + \frac{1}{j\omega} \left( \frac{1}{C_d} + \frac{1}{C_s} \right). \quad (78)$$

En la Figura 25, los elementos con  $\delta$  representan términos de corrección relacionados a los parámetros intrínsecos del modelo. Ignorando estos términos, multiplicando los parámetros Z por  $\omega$  y tomando la parte imaginaria se tiene que

$$\text{Im}[\omega Z_{11}] = \omega^2 (L_g + L_s) - \left( \frac{1}{C_g} + \frac{1}{C_s} \right), \quad (79)$$

$$\text{Im}[\omega Z_{22}] = \omega^2 (L_d + L_s) - \left( \frac{1}{C_d} + \frac{1}{C_s} \right), \quad (80)$$

$$\text{Im}[\omega Z_{12}] = \omega^2 L_s - \frac{1}{C_s}. \quad (81)$$

Así, los valores de  $L_g$ ,  $L_s$  y  $L_d$  se pueden extraer de la pendiente de  $\text{Im}[Z_{ij}]$  versus  $\omega^2$ . Se hace un de-embedding de los valores de inductancias y de las capacitancias del electrodo ( $C_{pgi}$ ,  $C_{pdi}$  y  $C_{gdi}$ ). Por regresión lineal se obtienen las resistencias parásitas al multiplicar la parte real de los parámetros  $Z$  por  $\omega^2$ ,

$$\omega^2 \text{Re}(Z_{11}) = \omega^2 (R_g + R_s), \quad (82)$$

$$\omega^2 \text{Re}(Z_{22}) = \omega^2 (R_d + R_s), \quad (83)$$

$$\omega^2 \text{Re}(Z_{12}) = \omega^2 R_s. \quad (84)$$

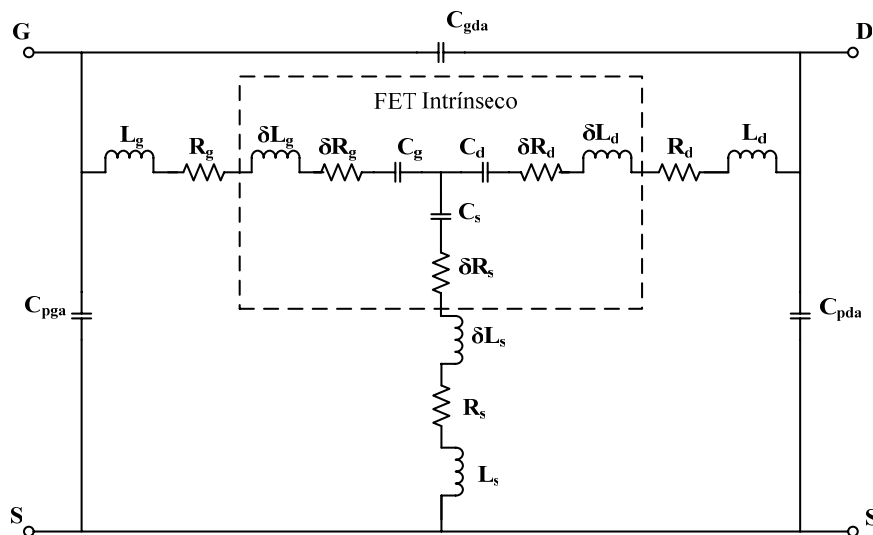


Figura 25. Representa la red-T del circuito equivalente del “cold FET” en pinchoff.

Entonces, los parámetros estimados resultantes se utilizan para simular los parámetros  $S$  del dispositivo, los cuales se comparan con los medidos para calcular el error residual de ajuste ( $\epsilon$ ). Las capacitancias externas ( $C_{pga}$ ,  $C_{pda}$  y  $C_{gda}$ ) se incrementan, y el procedimiento se repite hasta que  $C_{pga}$  ( $C_{pda}$ ) es igual a  $0.5C_{dso}$  y  $C_{gda}$  es igual a  $0.5C_{gdo}$ . El vector de parámetros del modelo  $P(\epsilon_{min})$ , correspondiente al menor error  $\epsilon_{min}$ , se toma como el valor inicial apropiado.

Paso 3) Debido a la alta incertidumbre en las mediciones del “cold FET” en pinchoff, la determinación de las resistencias extrínsecas se hace partiendo de la medición de parámetros  $S$  en directo bajo condiciones de voltajes de compuerta altos. Los valores de las capacitancias e inductancias determinados en el paso 2 son removidos de las mediciones del “cold FET” en polarización directa.

### *B. Optimización de los Parámetros del Modelo.*

En este algoritmo, en cada iteración del proceso de optimización, se les asignan valores adecuados a los parámetros extrínsecos y después son removidos de los datos medidos, para determinar los parámetros  $Y$  intrínsecos. Después, los parámetros intrínsecos del modelo son estimados por medio de un ajuste de datos a partir de las mediciones. Entonces, todos los parámetros del modelo estimados se utilizan para ajustar los parámetros  $S$  medidos. Este proceso continúa hasta encontrar los parámetros óptimos del modelo. En este caso se tiene un problema de optimización multidimensional y no lineal, cuya función objetivo es probable que tenga varios mínimos locales. Además, las mediciones del “cold FET” en pinchoff tienen cierta incertidumbre. Estos dos factores aumentan la probabilidad de quedarse atrapado en un mínimo local. Esto requiere que se formule cuidadosamente la



función objetivo para evitar el problema del mínimo local. La magnitud del error entre los parámetros  $S$  medidos y los simulados se puede expresar como

$$\varepsilon_{ij} = \frac{|\operatorname{Re}(\delta S_{ij,n})| + |\operatorname{Im}(\delta S_{ij,n})|}{W_{ij}}, \quad i, j = 1, 2; \quad (85)$$

$$n = 1, 2, \dots, N$$

donde

$$W_{ij} = \max[|S_{ij}|], \quad i, j = 1, 2; \quad i \neq j \quad (86)$$

$$W_{ii} = 1 + |S_{ii}|, \quad i = 1, 2 \quad (87)$$

$N$  es el número total de datos,  $\delta S$  es la diferencia entre los coeficientes de los parámetros  $S$  medidos y los simulados, y  $W$  es el factor de peso, el cual disminuye la incertidumbre de la medición. Por otra parte, el error escalar es expresado como

$$\varepsilon_s = \frac{1}{N} \sum_{n=1}^N \left\| \varepsilon^*(f_n) \right\|_1, \quad (88)$$

donde:

$$\varepsilon^*(f_n) = \begin{bmatrix} \varepsilon_{11}(f_n) & \varepsilon_{12}(f_n) \\ \varepsilon_{21}(f_n) & \varepsilon_{22}(f_n) \end{bmatrix}, \quad (89)$$

está definido a cada frecuencia  $f_n$ , sin embargo, la función objetivo se basa solamente en los parámetros  $S$  y al minimizar se pueden obtener valores que no son físicamente relevantes para los parámetros del modelo. Para mejorar la función objetivo se considera otra cantidad, la cual depende de la aplicación final. La principal aplicación de los HEMTs de GaN es en diseño de amplificadores de potencia. Para los amplificadores, las impedancias de entrada y salida, la ganancia del dispositivo y el factor de estabilidad son importantes en el diseño de las redes de acoplamiento. Estos factores pueden expresarse como una función

de los parámetros S y son ajustados durante la optimización. El factor de estabilidad definido en el plano de salida del dispositivo a cada frecuencia se puede expresar como

$$K = \frac{1 - |S_{22}|^2}{|S_{22} - S_{11}^* \Delta_s| + |S_{12} S_{21}|}, \quad (90)$$

donde el superíndice ‘\*’ indica el complejo conjugado y  $\Delta_s$  es el determinante de la matriz de parámetros S a cada frecuencia. El error de ajuste del factor de estabilidad está dado por

$$\varepsilon_K = \frac{1}{N} \sum_{k=1}^N |K_{meas} - K_{sim}|, \quad (91)$$

donde  $K_{meas}$  y  $K_{sim}$  son los factores de estabilidad de los parámetros S medidos y simulados, respectivamente. Respecto a la ganancia del dispositivo, la máxima ganancia efectiva es la más conveniente, ya que se mantiene finita incluso para dispositivos inestables. Esta ganancia está definida para cada frecuencia como

$$G = \frac{|S_{21}|^2 - 1}{\ln |S_{21}|^2}. \quad (92)$$

El error en la ganancia se expresa como

$$\varepsilon_G = \frac{1}{N} \sum_{m=1}^N |G_{meas} - G_{sim}|, \quad (93)$$

donde  $G_{meas}$  y  $G_{sim}$  son la ganancia calculada de los parámetros S medidos y los simulados, respectivamente. El error de ajuste puede ser definido en términos de las tres componentes de error como

$$\varepsilon = \sqrt{\frac{1}{3} (\varepsilon_s^2 + \varepsilon_K^2 + \varepsilon_G^2)}. \quad (94)$$

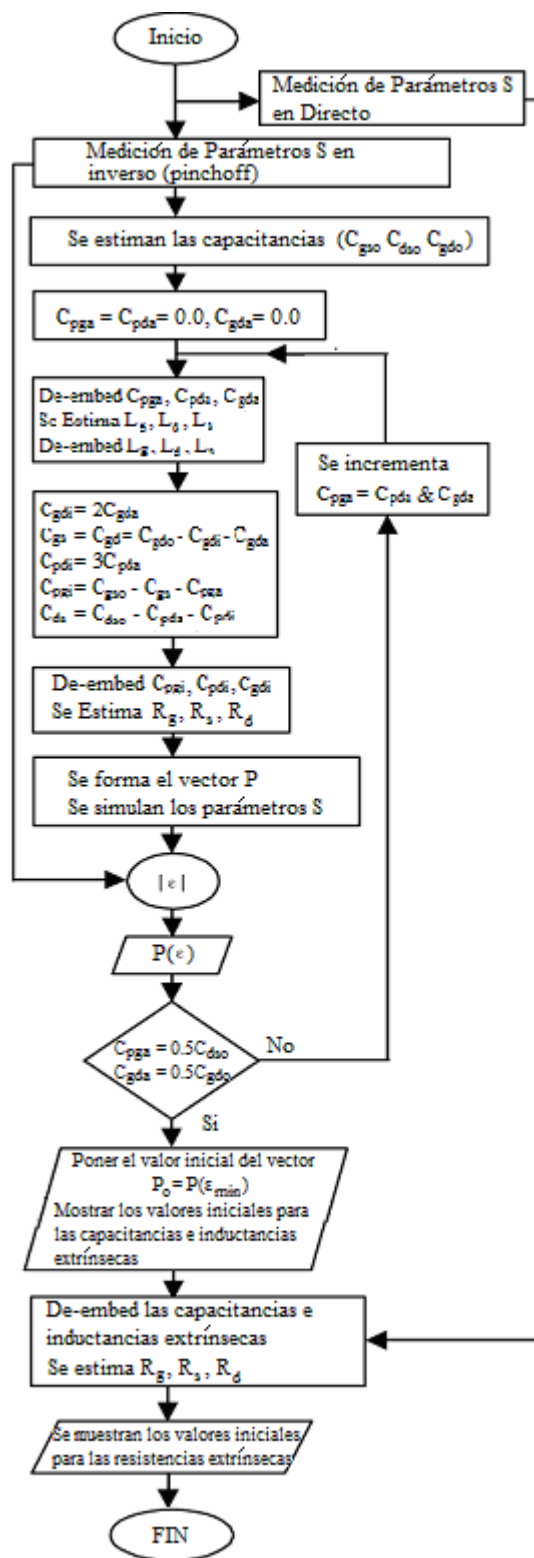


Figura 26. Diagrama de flujo del algoritmo para el cálculo de los valores iniciales de los parámetros extrínsecos del modelo.

### **III.2.4 Desventajas de los Métodos Existentes.**

#### **III.2.4.1 Desventajas del Método de Dambrine *et al.***

Este método está bien establecido para dispositivos MESFETs y HEMTs de GaAs tradicionales. Sin embargo, este método no se puede aplicar directamente a HEMTs de AlGa<sub>N</sub>/Ga<sub>N</sub> debido a su alta resistencia diferencial de compuerta. Un modelo adecuado de pequeña señal debe incluir la capacitancia en un modelo de línea de transmisión debido a la larga resistencia de contacto. La resistencia diferencial de compuerta de los HEMTs de AlGa<sub>N</sub>/Ga<sub>N</sub> es un problema para el modelado en pequeña señal. Chigaeva y Walther (2000) sugirieron que para voltajes de polarización muy altos se puede suprimir la resistencia diferencial de compuerta. Sin embargo, hacer esto puede destruir fácilmente el diodo Schottky de compuerta o al menos cambiar sus propiedades permanentemente.

Además, para calcular la resistencia de compuerta  $R_g$ , el método requiere de varias mediciones a altos valores de corriente de compuerta  $I_g$  con polarización en directo, lo que hace que el método sea tardado a la hora de hacer las mediciones.

En este trabajo de tesis se hicieron pruebas en un HEMT de AlGa<sub>N</sub>/Ga<sub>N</sub> aplicándole fuertes valores de corriente en la compuerta de tal manera que se suprimiera el efecto de la resistencia diferencial. Sin embargo, a valores de corriente muy altos el transistor se dañó y no se pudo suprimir este efecto.

### III.2.4.2 Desventajas del Método de Chen *et al.*

1. El método requiere la medición del HEMT pasivo (estructura “dummy”), el cual no se encuentra en la mayoría de los transistores en oblea.
2. Para el cálculo de las inductancias y resistencias parásitas, el método se basa en el análisis del dispositivo de acuerdo a la teoría de líneas de transmisión. La ecuación (41) descrita en el trabajo de Chen *et al.* (2006) no concuerda con el desarrollo descrito por Reynoso (2006), el cual fue repetido en esta tesis como se describe a continuación:

La matriz de impedancia de un circuito de dos puertos es:

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} z \coth(\gamma l) & z \left( \frac{\cosh(\gamma l) - 1}{\sinh(\gamma l)} \right) \\ z \left( \frac{\cosh(\gamma l) - 1}{\sinh(\gamma l)} \right) & 2z \left( \frac{\cosh(\gamma l) - 1}{\sinh(\gamma l)} \right) \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}, \quad (95)$$

donde  $z = \sqrt{r_{ch} / (G_0 + j\omega C_0)}$  y  $\gamma = \sqrt{r_{ch} G_0 + j\omega r_{ch} C_0}$ . Para longitudes de compuerta de  $l$

$< 1\mu\text{m}$  y  $|\gamma l| \ll 1$ , la ecuación (95) se simplifica a

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} \frac{R_0}{1 + j\omega C_0 R_0} + \frac{R_{CH}}{3} & \frac{R_{CH}}{2} \\ \frac{R_{CH}}{2} & R_{CH} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}, \quad (96)$$

sabiendo que  $R_{CH} = r_{ch}l$  es la resistencia del canal,  $R_0 = 1/G_0$  es la admitancia y  $C_0 = lC_g$  es la capacitancia de compuerta.

### III.2.4.3 Desventajas del Método de Crupi *et al.*

1. Este método, al igual que el de Chen *et al.* (2006), necesita de la medición de una estructura pasiva para el cálculo de las capacitancias parásitas.
2. Se tienen 20 incógnitas y sólo ocho ecuaciones para poder encontrarlas.
3. En el cálculo de las capacitancias se requiere aplicar un método de optimización.
4. El método desprecia el valor de la resistencia  $R_y$  del circuito RC que modela al diodo Schottky. Esta resistencia es importante para poder conocer el valor apropiado de  $R_g$ .

### III.2.4.4 Desventajas del Método de Jarndal y Kompa.

#### Desventajas del Método

1. El modelo es complejo. Consta de 22 elementos y sólo se cuenta con las ecuaciones de parámetros  $Y$  para extraer el valor de estos parámetros.
2. El algoritmo para encontrar los valores iniciales de los elementos extrínsecos es largo y complejo.
3. Se basa en métodos de optimización para encontrar los valores óptimos de los elementos.

En el capítulo IV se propone un nuevo método para calcular los elementos parásitos que no presenta estos problemas y permite la extracción de los elementos parásitos de una manera sencilla y precisa.

### III.3 Métodos Para Determinar los Elementos Intrínsecos del Circuito Equivalente del FET de Pequeña Señal (FET caliente).

#### III.3.1 Método de Dambrine.

Dambrine *et al.* (1988) proponen el circuito equivalente del transistor intrínseco mostrado en la Figura 27.

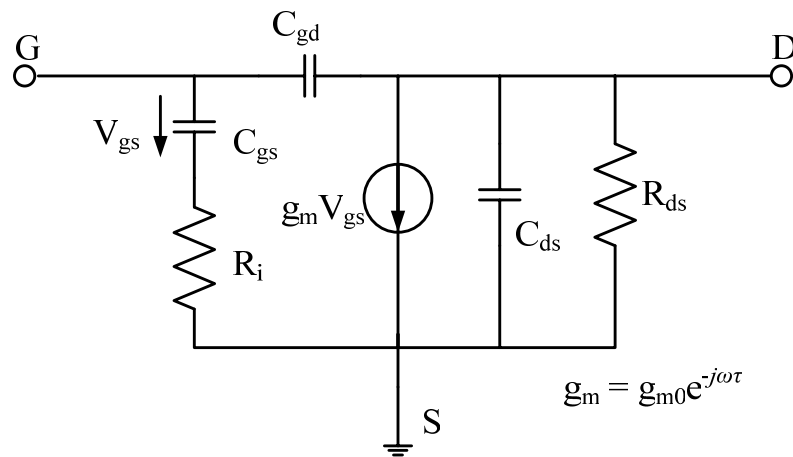


Figura 27. Circuito eléctrico equivalente del transistor intrínseco propuesto por Dambrine.

Debido a que el dispositivo intrínseco exhibe una topología tipo PI, es conveniente utilizar los parámetros de admitancia ( $Y$ ) para caracterizar sus propiedades eléctricas. Estos parámetros son:

$$Y_{11} = \frac{R_i C_{gs}^2 \omega^2}{D} + j\omega \left( \frac{C_{gs}}{D} + C_{gd} \right), \quad (97)$$

$$Y_{12} = -j\omega C_{gd}, \quad (98)$$

$$Y_{21} = \frac{g_{m0} e^{-j\omega\tau}}{1 + jR_i C_{gs} \omega} - j\omega C_{gd}, \quad (99)$$

$$Y_{22} = g_{ds} + j\omega(C_{ds} + C_{gd}), \quad (100)$$

donde  $D = 1 + \omega^2 C_{gs}^2 R_i^2$ .

Para un dispositivo típico de bajo ruido, el término  $\omega^2 C_{gs}^2 R_i^2$  es menor a 0.01 a frecuencias bajas ( $f < 5\text{GHz}$ ) y  $D = 1$  constituye una buena aproximación. Además, suponiendo que  $\omega\tau \ll 1$ , se tiene:

$$Y_{11} = R_i C_{gs}^2 \omega^2 + j\omega(C_{gs} + C_{gd}), \quad (101)$$

$$Y_{12} = -j\omega C_{gd}, \quad (102)$$

$$Y_{21} = g_{m0} - j\omega(C_{gd} + g_{m0}(R_i C_{gs} + \tau)), \quad (103)$$

$$Y_{22} = g_{ds} + j\omega(C_{ds} + C_{gd}). \quad (104)$$

Las expresiones (101) – (104) muestran que los elementos de pequeña señal intrínsecos pueden ser deducidos de los parámetros  $Y$  como sigue:  $C_{gd}$  de  $Y_{12}$ ,  $C_{gs}$  y  $R_i$  de  $Y_{11}$ ,  $g_{m0}$  y  $\tau$  de  $Y_{21}$ , y finalmente,  $g_{ds}$  y  $C_{ds}$  de  $Y_{22}$ . Por lo tanto, el problema es determinar la matriz de parámetros  $Y$  del dispositivo intrínseco a partir de datos experimentales obtenidos de las mediciones.



### III.3.2 Método de Beroth y R. Bosh.

Bertho y Bosh (1990) proponen un circuito eléctrico equivalente similar al presentado por Dambrine, con la diferencia que añaden una resistencia entre la compuerta y el drenador. El circuito equivalente del transistor intrínseco se muestra en la Figura 28.

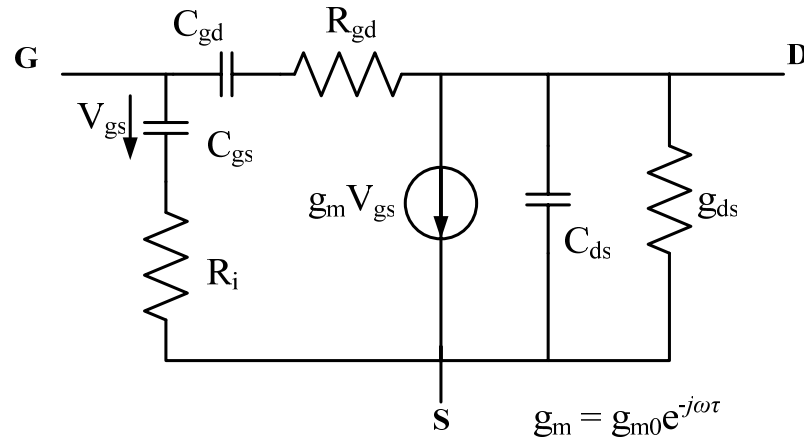


Figura 28. Circuito eléctrico equivalente del transistor intrínseco propuesto por M. Bertho y R. Bosh.

Los parámetros Y correspondientes al circuito de la Figura 28 se definen de la siguiente manera:

$$[Y_T] = \begin{bmatrix} \omega^2 \left( \frac{R_i C_{gs}^2}{1 + \omega^2 C_{gs}^2 R_i^2} + \frac{R_{gd} C_{gd}^2}{1 + \omega^2 C_{gd}^2 R_{gd}^2} \right) + j\omega \left( \frac{C_{gs}}{1 + \omega^2 C_{gs}^2 R_i^2} + \frac{C_{gd}}{1 + \omega^2 C_{gd}^2 R_{gd}^2} \right) & -\frac{\omega^2 C_{gd}^2 R_{gd}}{1 + \omega^2 C_{gd}^2 R_{gd}^2} - j\omega \frac{C_{gd}}{1 + \omega^2 C_{gd}^2 R_{gd}^2} \\ \frac{g_m}{1 + \omega^2 C_{gs}^2 R_i^2} - \frac{\omega^2 C_{gd}^2 R_{gd}}{1 + \omega^2 C_{gd}^2 R_{gd}^2} - j\omega \left( \frac{g_m C_{gs} R_i}{1 + \omega^2 C_{gs}^2 R_i^2} + \frac{C_{gd}}{1 + \omega^2 C_{gd}^2 R_{gd}^2} \right) & g_{ds} + \frac{\omega^2 C_{gd}^2 R_{gd}}{1 + \omega^2 C_{gd}^2 R_{gd}^2} + j\omega \left( C_{ds} + \frac{C_{gd}}{1 + \omega^2 C_{gd}^2 R_{gd}^2} \right) \end{bmatrix}. \quad (105)$$

A partir de los parámetros Y de la red se puede calcular el valor de cada uno de los elementos del transistor intrínseco como se muestra a continuación.

$$g_{ds} = \text{Re}(Y_{22}) + \text{Re}(Y_{12}), \quad (106)$$

$$C_{ds} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega}, \quad (107)$$

$$C_{gs} = \frac{[\text{Im}(Y_{11}) + \text{Im}(Y_{12})]^2 + [\text{Re}(Y_{11}) + \text{Re}(Y_{12})]^2}{\omega[\text{Im}(Y_{11}) + \text{Im}(Y_{12})]}, \quad (108)$$

$$R_i = \frac{\text{Re}(Y_{11}) + \text{Re}(Y_{12})}{[\text{Im}(Y_{11}) + \text{Im}(Y_{12})]^2 + [\text{Re}(Y_{11}) + \text{Re}(Y_{12})]^2}, \quad (109)$$

$$C_{gd} = -\frac{\text{Im}(Y_{12})}{\omega} \left[ 1 + \frac{\text{Re}(Y_{12})^2}{\text{Im}(Y_{12})^2} \right], \quad (110)$$

$$R_{gd} = -\frac{\text{Re}(Y_{12})}{\text{Im}(Y_{12})^2 + \text{Re}(Y_{12})^2}, \quad (111)$$

$$g_{m0} = \sqrt{[\text{Re}(Y_{21}) - \text{Re}(Y_{12})]^2 + [\text{Im}(Y_{21}) - \text{Im}(Y_{12})]^2} \left( 1 + \omega^2 R_i^2 C_{gs}^2 \right), \quad (112)$$

$$\tau = -\frac{1}{\omega} \arctan \left[ \frac{Y + \omega X R_i C_{gs}}{X - \omega Y R_i C_{gs}} \right], \quad (113)$$

donde

$$X = \text{Re}(Y_{21}) - \text{Re}(Y_{12}), \quad (114)$$

$$Y = \text{Im}(Y_{21}) - \text{Im}(Y_{12}). \quad (115)$$

### III.3.3 Jarndal y Kompa.

Jarndal y Kompa (2005) explican cómo después de hacer el de-embedding de los parámetros extrínsecos, se pueden obtener los parámetros intrínsecos. Sin embargo, el efecto en los elementos intrínsecos dependiente en frecuencia no puede ser ignorado, especialmente para condiciones de polarización en la región lineal. Este efecto hace que la extracción óptima de los parámetros intrínsecos sea más difícil. Para tomar en cuenta este efecto, se desarrolla una técnica eficiente para la extracción del valor óptimo de los elementos intrínsecos. En esta técnica, los parámetros  $Y$  intrínsecos están definidos de tal forma que el valor de los elementos intrínsecos pueden ser extraídos utilizando un simple ajuste lineal de datos. La admitancia para la rama intrínseca compuerta – fuente  $Y_{gs}$  está dada por

$$Y_{gs} = Y_{i,11} + Y_{i,12} = \frac{G_{gsf} + j\omega C_{gs}}{1 + R_i G_{gsf} + j\omega R_i C_{gs}}. \quad (116)$$

Definiendo una nueva variable  $D$  como

$$D = \frac{|Y_{gs}|^2}{\text{Im}[Y_{gs}]} = \frac{G_{gsf}^2}{\omega C_{gs}} + \omega C_{gs}, \quad (117)$$

$C_{gs}$  se puede determinar de la pendiente de la curva de  $\omega D$  versus  $\omega^2$  por regresión lineal.

Redefiniendo  $D$  como

$$D = \frac{|Y_{gs}|}{\text{Im}[Y_{gs}]} = \frac{G_{gsf}(1 + R_i G_{gsf})}{\omega C_{gs}} + \omega R_i C_{gs} - j, \quad (118)$$

$R_i$  se puede determinar de la gráfica de la parte real de  $\omega D$  versus  $\omega^2$  por regresión lineal.

$G_{gsf}$  se puede determinar de la parte real de  $Y_{gs}$  a bajas frecuencias (en el rango de MHz).

La admitancia para la rama compuerta – drenador  $Y_{gd}$  está dada por

$$Y_{gd} = -Y_{i,12} = \frac{G_{gdf} + j\omega C_{gd}}{1 + R_{gd}G_{gdf} + j\omega R_{gd}C_{gd}}. \quad (119)$$

El mismo procedimiento dado en (118) y (119) puede ser utilizado para extraer  $C_{gd}$ ,  $R_{gd}$  y  $G_{gdf}$ . La admitancia de la rama de la transconductancia intrínseca  $Y_{gm}$  puede ser expresada como

$$Y_{gm} = Y_{i,21} - Y_{i,12} = \frac{G_m e^{-j\omega\tau}}{1 + R_i G_{gsf} + j\omega C_{gs}}. \quad (120)$$

Al redefinir  $D$  como

$$D = \left| \frac{Y_{gs}}{Y_{gm}} \right|^2 = \left( \frac{G_{gsf}}{G_m} \right)^2 + \left( \frac{C_{gs}}{G_m} \right)^2 \omega^2, \quad (121)$$

$G_m$  puede determinarse a partir de la pendiente de la curva de  $D$  versus  $\omega^2$  por ajuste lineal.

Por otro lado, al redefinir  $D$  como

$$D = \left( G_{gsf} + j\omega C_{gs} \right) \frac{Y_{gm}}{Y_{gs}} = G_m e^{-j\omega\tau}, \quad (122)$$

$\tau$  puede determinarse de la gráfica de fase de  $D$  versus  $\omega$  por regresión lineal. La admitancia de la rama drenador – fuente  $Y_{ds}$  se puede expresar como

$$Y_{ds} = Y_{i,22} + Y_{i,12} = G_{ds} + j\omega C_{ds}. \quad (123)$$

$C_{ds}$  se puede extraer de la gráfica de la parte imaginaria de  $Y_{ds}$  versus  $\omega$  por ajuste lineal.

Debido a la dependencia en frecuencia en la conductancia de salida,  $G_{ds}$  se determina de la curva de  $\omega \text{Re}[Y_{ds}]$  versus  $\omega$  por ajuste lineal.

### III.4 Proceso de De-embedding.

Dambrine et al. (1988) explican que una vez que los elementos parásitos son extraídos, se realiza un proceso de de-embedding a los parámetros S medidos a diferentes polarizaciones para así conocer los elementos intrínsecos ( $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$ ,  $R_i$ ,  $R_{ds}$ ,  $g_{m0}$  y  $\tau$ ). El proceso de de-embedding se muestra en la Figura 29, mediante el cual se pueden conocer los parámetros Y del transistor intrínseco.

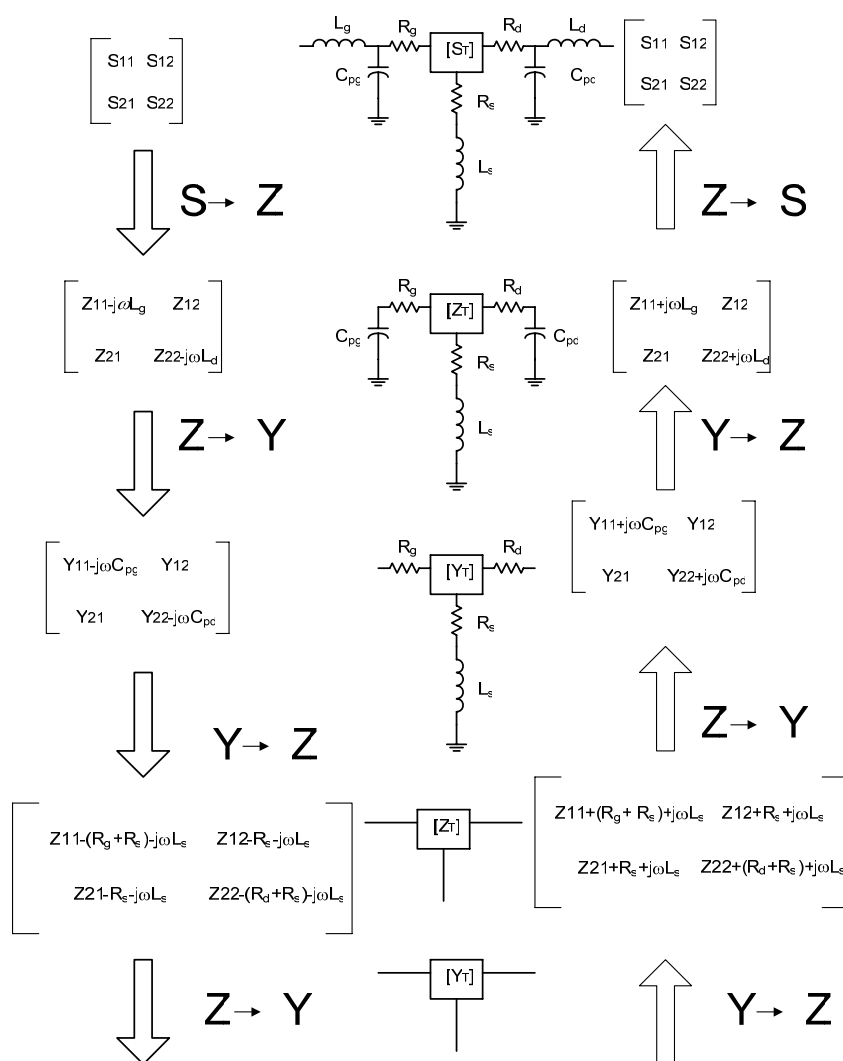


Figura 29. Proceso de de-embedding para el cálculo de los parámetros Y del transistor intrínseco.

## Capítulo IV.

---



---

# Nuevo Método para Extraer los Elementos Parásitos de Transistores a Base de GaN en Oblea

### IV.1 Introducción.

**E**n este capítulo se propone un nuevo método para extraer los elementos parásitos de los HEMTs de AlGaIn/GaN a bajas corrientes de compuerta con drenador flotante [Zárate de-Landa *et al.* (2007)]. La originalidad de este método reside en que para calcular  $R_g$  y  $L_g$  sólo se utiliza una medición de los parámetros S del transistor a bajo una corriente DC en directo aplicada en la compuerta. Se explica cómo al linealizar la parte real de  $Z_{22}$  de la medición en directo del “cold FET” se puede calcular el valor de la resistencia de drenador  $R_d$ . Además, se utiliza el capacitor del diodo Schottky para el modelado de la zona de deserción por debajo de la compuerta cuando el transistor se encuentra en pinchoff. En la Figura 30 se muestra el circuito eléctrico equivalente para el transistor en base a AlGaIn/GaN. Este circuito está compuesto por elementos parásitos y por elementos intrínsecos, los cuales ya han sido discutidos en el capítulo anterior.

Los elementos parásitos se obtienen a partir de dos mediciones:

- 1) Medición en Directo (“cold FET”) para calcular las resistencias e inductancias parásitas ( $V_{gs} > V_{bi} > 0$ ;  $V_{ds} = \text{flotante}$ ).
- 2) Medición en Inverso para calcular las capacitancias parásitas ( $V_{gs} \ll V_p$ ;  $V_{ds} = 0$ ).

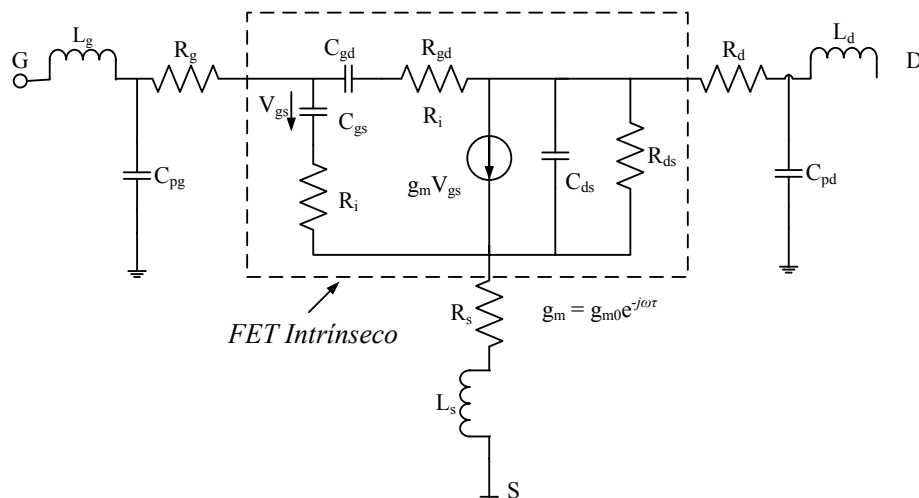


Figura 30. Circuito eléctrico equivalente utilizado para modelar el HEMT en oblea.

## IV.2 Cálculo de las Resistencias e Inductancias Parásitas (“Cold FET” con Polarización en Directo, $V_{gs} > V_{bi} > 0$ ; $V_{ds} = \text{flotante}$ ).

El circuito eléctrico equivalente del “cold FET” cuando está polarizado en directo se muestra en la Figura 31.

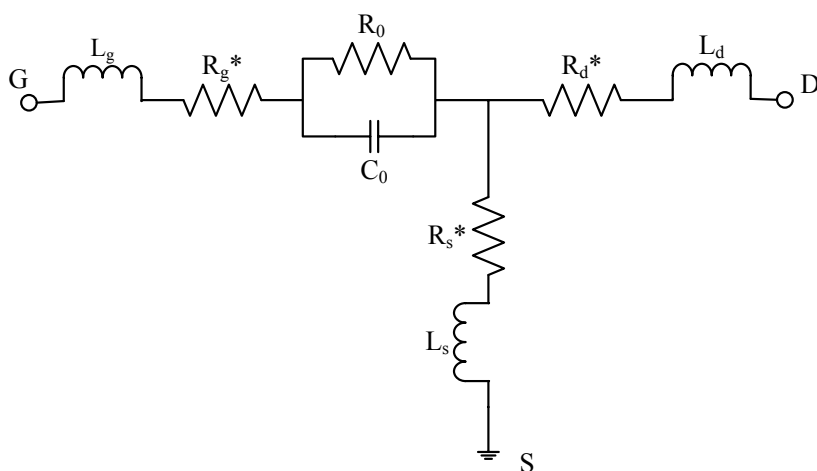


Figura 31. Circuito equivalente del HEMT de GaN con corriente DC baja en directa en la compuerta y drenador flotante.

En la Figura 31,  $R_0$  y  $C_0$  son la resistencia y capacitancia del diodo y

$$R_g^* = R_g - \frac{R_{ch}}{6}; \quad R_s^* = R_s + \frac{R_{ch}}{2}; \quad R_d^* = R_d + \frac{R_{ch}}{2}$$

donde  $R_{ch}$  es la resistencia del canal.

Los parámetros  $Z$  de la red de la Figura 31 se expresan como

$$Z_{11} = R_g^* + R_s^* + \frac{R_0}{1 + \omega^2 C_0^2 R_0^2} + j\omega \left[ L_g + L_s - \frac{C_0 R_0^2}{1 + \omega^2 C_0^2 R_0^2} \right], \quad (124)$$

$$Z_{12} = Z_{21} = R_s^* + j\omega L_s, \quad (125)$$

$$Z_{22} = R_d^* + R_s^* + j\omega(L_d + L_s). \quad (126)$$

#### IV.2.1 Cálculo de las Inductancias Parásitas y la Capacitancia del Diodo

##### Schottky $C_0$ .

Utilizando la parte imaginaria de (125) y de (126) se extraen  $L_s$  y  $L_d$  directamente de la siguiente manera:

$$L_s = \frac{\text{Im}(Z_{12})}{\omega}, \quad (127)$$

$$L_d = \frac{\text{Im}(Z_{22}) - \text{Im}(Z_{12})}{\omega}. \quad (128)$$

Utilizando la parte imaginaria de  $Z_{11}$  se puede calcular  $L_g$ :

$$\text{Im}[Z_{11}] = \omega(L_g + L_s) - \frac{\omega}{C_0} \frac{1}{\omega_0^2 + \omega^2}, \quad (129)$$

donde

$$\omega_0 = \frac{1}{R_0 C_0}. \quad (130)$$



Se puede observar en la Figura 32 que la parte imaginaria de  $Z_{11}$ , tomada de los datos medidos de un HEMT de AlGaIn/GaN de 100  $\mu\text{m}$ , presenta una resonancia. Entonces, a frecuencias mayores a la frecuencia de resonancia  $\omega_R$ ,  $\omega \gg \omega_0$ . Por lo tanto, tomando en cuenta esta condición, y multiplicando la parte imaginaria de  $Z_{11}$  por  $\omega$ , la ecuación (129) se puede escribir como

$$\omega \text{Im}[Z_{11}] = \omega^2(L_g + L_s) - \frac{1}{C_0}. \quad (131)$$

Esta expresión es muy importante, ya que se puede obtener  $(L_g + L_s)$  de la pendiente de la recta de  $\omega \text{Im}[Z_{11}]$  versus  $\omega^2$ , así como  $C_0$  por regresión lineal, como se muestra en la Figura 33.

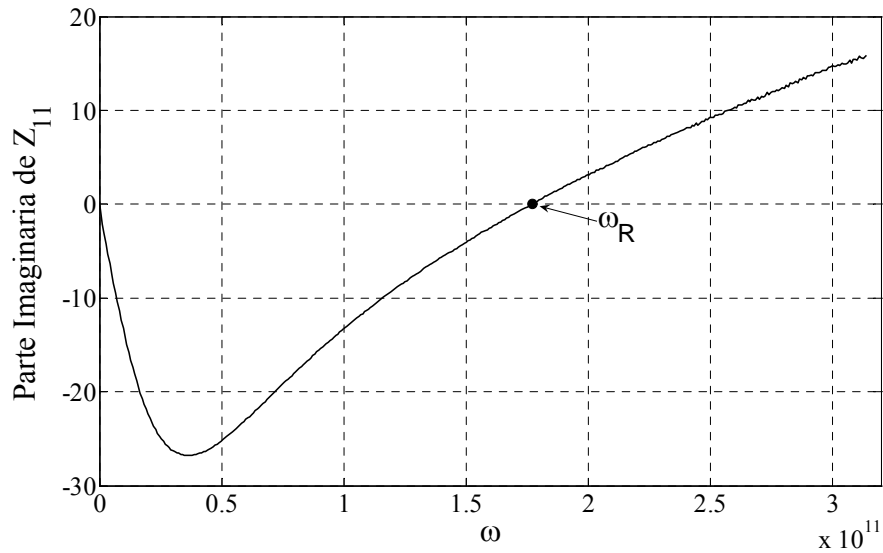


Figura 32. Gráfica de la parte imaginaria de  $Z_{11}$  donde se muestra la frecuencia de resonancia  $\omega_R$ .

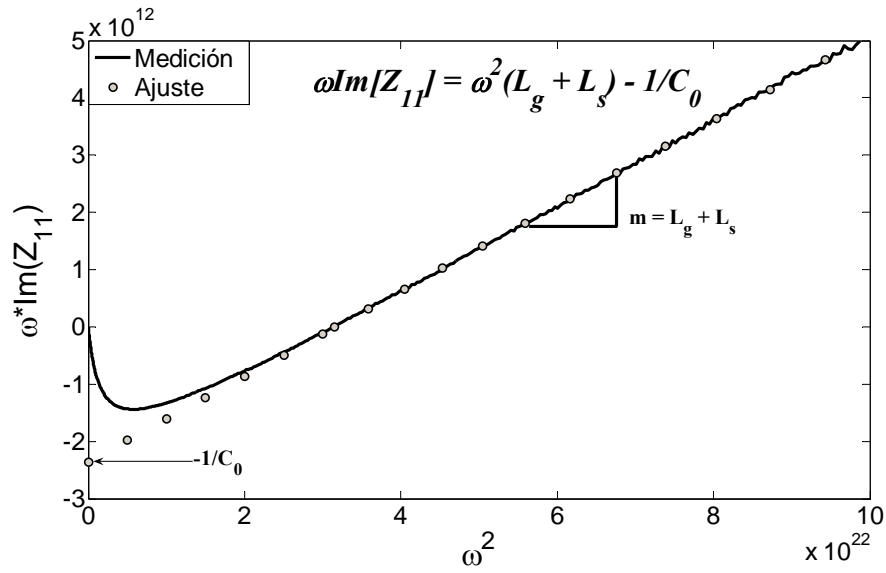


Figura 33. Gráfica de  $\omega \text{Im}[Z_{11}]$  versus  $\omega^2$  utilizada para calcular  $(L_g + L_s)$  y  $C_0$ .

Otra manera de calcular  $C_0$  es utilizando la ecuación (131) y evaluándola en la frecuencia de resonancia  $\omega_R$ , que se obtiene cuando la parte imaginaria de  $Z_{11}$  es igual a cero. Por lo que la ecuación (131) se puede escribir ahora como

$$(L_g + L_s)C_0 = \frac{1}{\omega_R^2}. \quad (132)$$

De esta manera se conoce el producto  $(L_g + L_s)C_0$ , y de la linealización de la parte imaginaria de  $Z_{11}$  se conoce el término  $m = (L_g + L_s)$ . Entonces  $L_g$  y  $C_0$  se pueden calcular de la siguiente manera:

$$L_g = m - L_s, \quad (133)$$

$$C_0 = \frac{1}{m\omega_R^2}. \quad (134)$$

#### IV.2.2 Cálculo de las Resistencias Parásitas.

Despreciando el valor de la resistencia de canal  $R_{ch}$ ,  $R_s$  se puede calcular fácilmente partiendo de la parte real de  $Z_{12}$ :

$$R_s = \text{Re}[Z_{12}]. \quad (135)$$

En la Figura 34 se puede observar que  $\text{Re}[Z_{22}]$  es ligeramente dependiente de la frecuencia, lo que complica la extracción de  $R_d$ . Este efecto se explica mediante las ecuaciones extendidas de Dambrine *et al.* (1988), reportadas por Reynoso-Hernández *et al.* (1996).

$$\text{Re}[Z_{22}] = (R_2 + R_3) + \omega^2 C_{pd} (R_2 + R_3) (L_s - C_{pg} R_3^2), \quad (136)$$

donde

$$R_2 = R_d + \frac{R_{ch}}{2} \quad \text{y} \quad R_3 = R_s + \frac{R_{ch}}{2}.$$

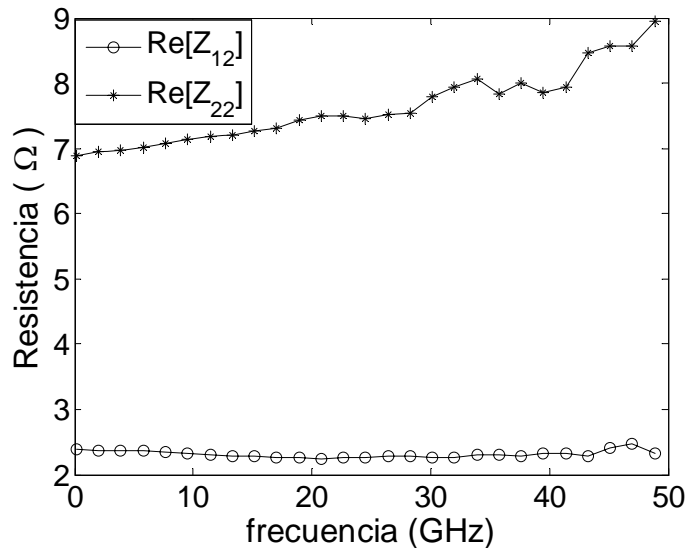


Figura 34. Gráfica de la parte real de  $Z_{12}$  y  $Z_{22}$  versus frecuencia de un HEMT de AlGaIn/GaN de 300  $\mu\text{m}$ .

Utilizando la ecuación (136) se puede calcular  $R_2 + R_3$  fácilmente por regresión lineal, como se muestra en la Figura 35.

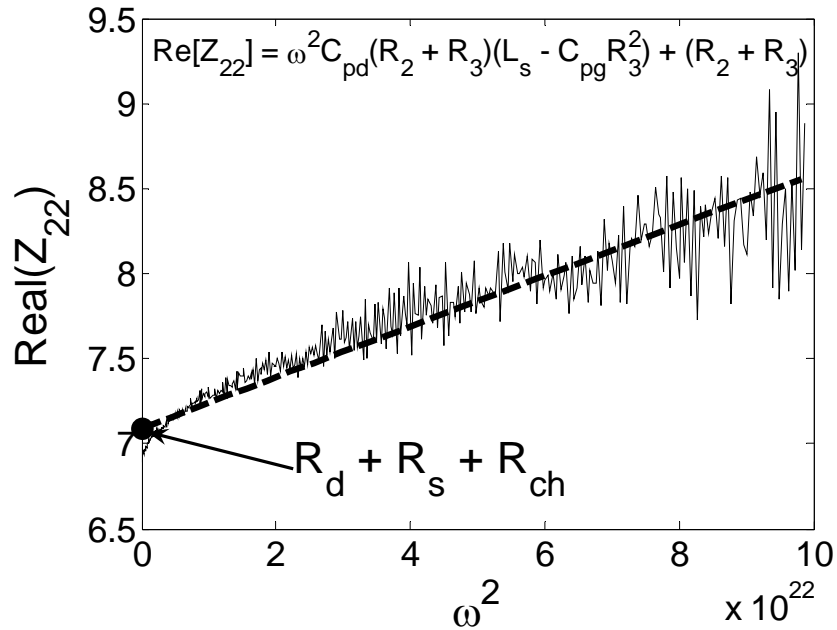


Figura 35. Gráfica de  $\text{Re}(Z_{22})$  versus  $\omega^2$  utilizada para extraer el valor de  $R_d$  del transistor de AlGaIn/GaN de  $300 \mu\text{m}$ .

Tomando el punto donde la regresión lineal cruza con el eje de las ordenadas y con el previo conocimiento de  $R_s$ , se puede calcular  $R_d$ , despreciando el valor de  $R_{ch}$ .

Una vez calculados  $L$  y  $C_0$  como se mostró en la sección IV.2.1, se calcula  $R_0$  utilizando la parte imaginaria de  $Z_{11}$  de la siguiente manera:

$$R_0 = \sqrt{\frac{\omega L - \text{Im}(Z_{11})}{\omega C_0 - [\omega L - \text{Im}(Z_{11})] \omega^2 C_0^2}} \quad \forall \omega < \omega_x, \quad (137)$$

donde  $L = L_g + L_s$ .

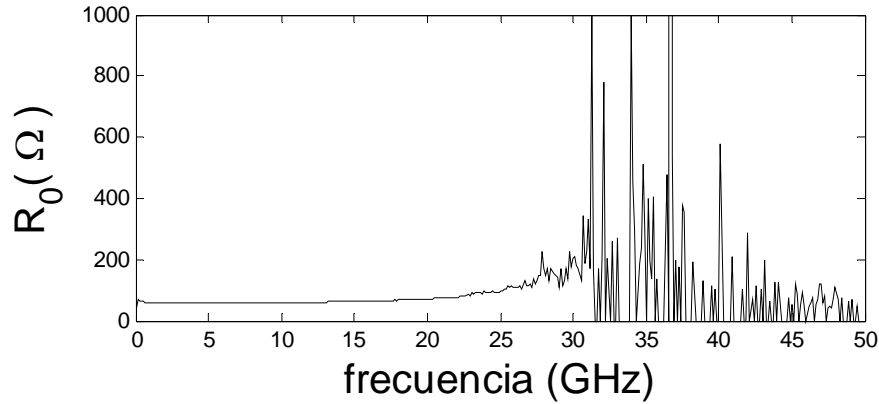


Figura 36. Gráfica de  $R_0$  versus frecuencia para un HEMT de GaN de  $100\mu\text{m}$ .

En la Figura 36 se observa como el valor de  $R_0$  sólo es válido para frecuencias menores a la frecuencia de resonancia (en este caso 28 GHz).

Para el cálculo de  $R_g$ , primeramente se utiliza la parte imaginaria de  $Z_{11}$  cuando esta es igual con cero, y de la ecuación (124) se tiene que

$$\frac{R_0}{1 + \omega_R^2 C_0^2 R_0^2} = \frac{L}{C_0 R_0} \quad (138)$$

Resolviendo para  $\omega^2$ :

$$\omega_R^2 = \frac{1}{LC_0} - \frac{1}{R_0^2 C_0^2} \quad (139)$$

La ecuación (139) también se puede escribir como

$$\omega_R^2 = \omega_x^2 - \omega_0^2, \quad (140)$$

donde  $\omega_x^2 = \frac{1}{LC_0}$  y  $\omega_0^2 = \frac{1}{R_0^2 C_0^2}$ .

Esta ecuación es muy importante, ya que se ha encontrado que para valores de corriente bajos,  $\omega_x \gg \omega_0$ . Por lo tanto,  $\omega_R = \omega_x$  validando la ecuación (132).

Sustituyendo (138) en la parte real de  $Z_{11}$ , y despreciando el valor de la resistencia de canal, se calcula el valor de  $R_g$  mediante la siguiente expresión:

$$R_g = \operatorname{Re}[Z_{11}]|_{\omega_R} - R_s - \frac{L}{R_0 C_0}. \quad (141)$$

Escribiendo la ecuación (141) en términos de  $\omega_0$  y  $\omega_x$  resulta finalmente:

$$R_g = \operatorname{Re}[Z_{11}]|_{\omega_R} - R_s - R_0 \frac{\omega_0^2}{\omega_x^2}. \quad (142)$$

### IV.3 Cálculo de las Capacitancias Parásitas (Mediciones en Inverso).

Las capacitancias parásitas se determinan a partir de la medición de parámetros S con  $V_{gs} \ll V_p$  y  $V_{ds} = 0$ . El circuito eléctrico equivalente del transistor bajo estas condiciones de polarización se muestra en la Figura 37.

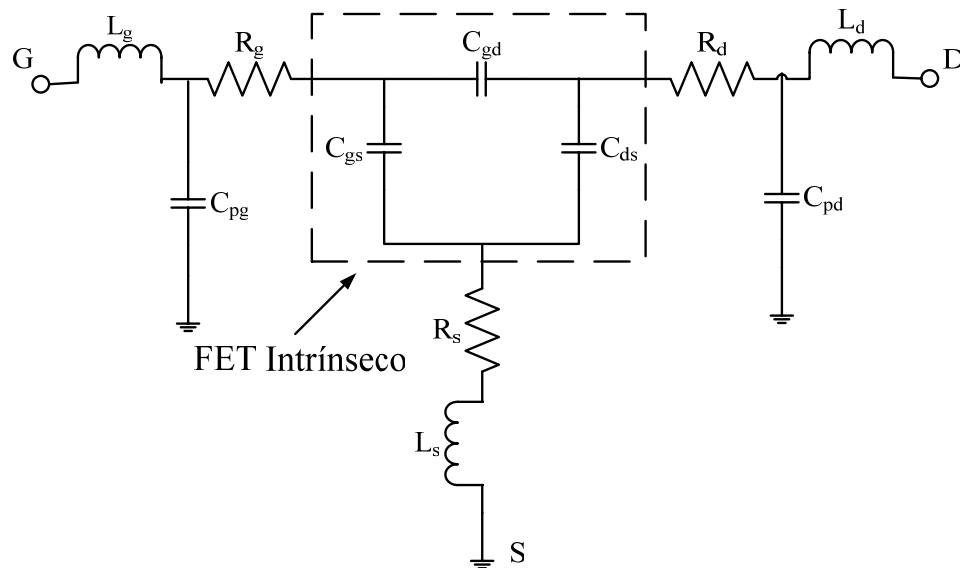


Figura 37. Circuito equivalente del transistor polarizado en Inverso con  $V_{gs} \ll V_p$  y  $V_{ds} = 0$ .

Para simplificar el cálculo de los parámetros Y de la red se hace una transformación del circuito con topología  $\pi$  a la topología T (Caddemi *et al.*, 2006 y Ooi y Ma, 2003), como se muestra en la Figura 38.

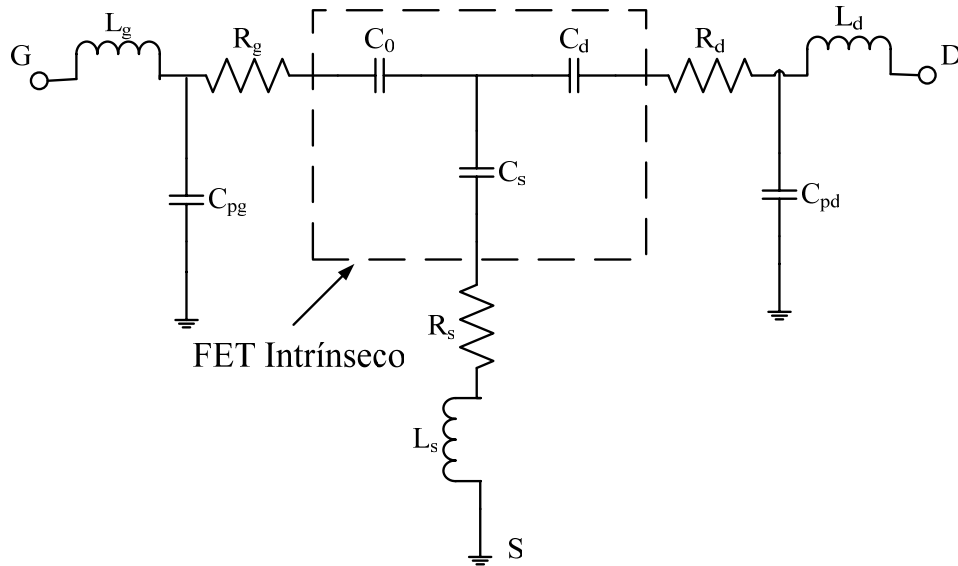


Figura 38. Circuito equivalente del transistor polarizado en Inverso transformado a topología en T.

donde

$$C_0 = C_{gd} + C_{gs} + \frac{C_{gs} C_{gd}}{C_{ds}}, \quad (143)$$

$$C_d = C_{gd} + C_{ds} + \frac{C_{gd} C_{ds}}{C_{gs}}, \quad (144)$$

$$C_s = C_{gs} + C_{ds} + \frac{C_{ds} C_{gs}}{C_{gd}}. \quad (145)$$

Si se considera que  $C_{gs} = C_{gd}$ , entonces las capacitancias  $C_d$  y  $C_s$  son iguales ( $C_s = C_d = C_b$ ) y el circuito queda como se muestra en la Figura 39.

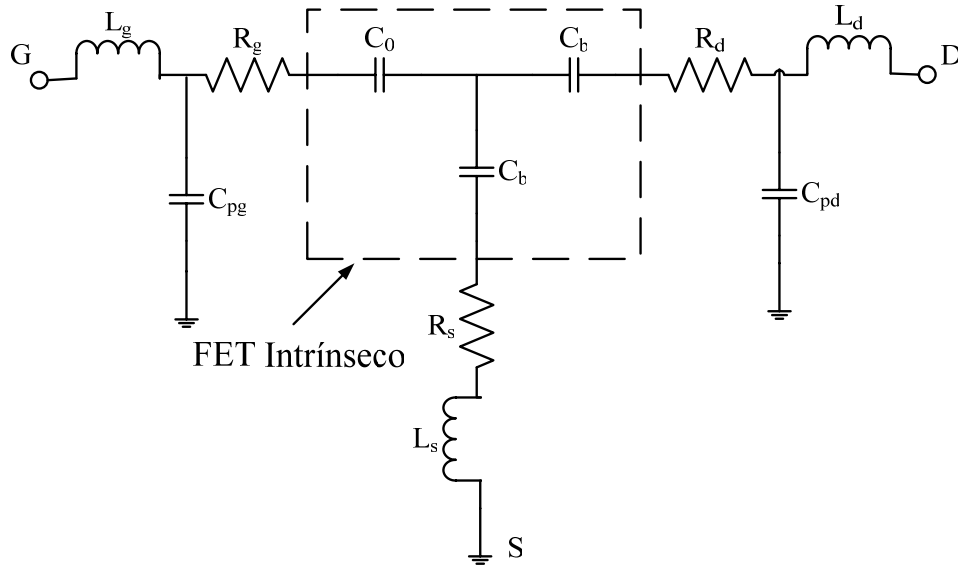


Figura 39. Circuito equivalente del transistor polarizado en Inverso definiendo la capacitancia  $C_b = C_s = C_d$ .

En este trabajo de tesis se propone una nueva manera de calcular las capacitancias parásitas en la que se toma en cuenta el efecto de la capacitancia del diodo Schottky. Para hacer el cálculo de las capacitancias, primero se hace el de-embedding de las inductancias a los parámetros Y de la red de la Figura 39. Una vez realizado el de-embedding se desprecia el efecto de las resistencias en el circuito y se analiza para obtener la matriz de parámetros Y de la red:

$$[Y] = \begin{bmatrix} j\omega \left( C_{pg} + C_0 - \frac{C_0^2}{C_0 + 2C_b} \right) & -j\omega \frac{C_0 C_b}{C_0 + 2C_b} \\ -j\omega \frac{C_0 C_b}{C_0 + 2C_b} & j\omega \left( C_{pd} + C_b - \frac{C_b^2}{C_0 + 2C_b} \right) \end{bmatrix}. \quad (146)$$



Entonces se pueden calcular los valores de  $C_{pg}$ , y  $C_{pd}$  de la siguiente manera:

$$C_{pg} = \frac{\text{Im}[Y_{11}]}{\omega} + \frac{C_0^2}{C_0 + 2C_b} - C_0, \quad (147)$$

$$C_{pd} = \frac{\text{Im}[Y_{22}]}{\omega} + \frac{C_b^2}{C_0 + 2C_b} - C_b, \quad (148)$$

donde

$$C_b = \frac{-C_0 \text{Im}[Y_{12}]}{\omega C_0 + 2 \text{Im}[Y_{12}]} . \quad (149)$$

Desarrollando las ecuaciones (136) y (137) y dejándolas en términos de los parámetros Y de la red se tiene que

$$C_{pg} = \frac{\text{Im}(Y_{11}) + 2 \text{Im}(Y_{12})}{\omega}, \quad (150)$$

$$C_{pd} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega} + \frac{C_b}{C_0} \frac{\text{Im}(Y_{12})}{\omega}. \quad (151)$$

Se puede observar de las ecuaciones (150) y (151) que  $C_{pg}$  se calcula de la misma manera que en el método de Dambrine. Sin embargo, en el cálculo de  $C_{pd}$  el término  $\frac{C_b}{C_0}$  es muy importante, ya que para  $C_b \ll C_0$ , se tiene que  $C_{pd}$  es el mismo que el de Dambrine *et al.* (1988), mientras que para  $C_b = C_0$  entonces el  $C_{pd}$  calculado sería el mismo que el propuesto por White y Healy (1993). Sin embargo, se ha encontrado que en los transistores de GaN el término  $\frac{C_b}{C_0}$  es distinto tanto de cero como de uno, por lo que el  $C_{pd}$  calculado es totalmente diferente al calculado por los métodos de Dambrine o White.

## IV.4 Cálculo de la Inductancia de Fuente $L_s$ Cuando es Menor a Cero.

De acuerdo con Reynoso *et al.* (1997), en el caso de los transistores coplanares se puede presentar el caso que  $L_s$  sea negativa (debido a que  $L_s$  es muy pequeña) y por lo tanto, se debe tomar en cuenta la influencia de las resistencias y capacitancias parásitas en la parte imaginaria de los parámetros  $Z$  de la medición en directo, por lo que las inductancias parásitas se calculan de la siguiente manera:

$$L_g = \frac{\text{Im}(Z_{11}) - \text{Im}(Z_{12})}{\omega} + A_g, \quad (152)$$

$$L_s = \frac{\text{Im}(Z_{12})}{\omega} + A_s, \quad (153)$$

$$L_d = \frac{\text{Im}(Z_{22}) - \text{Im}(Z_{12})}{\omega} + A_d, \quad (154)$$

donde

$$A_s = R_s [C_{pd}(R_d + R_s) + C_{pg}(R_g + R_s)], \quad (155)$$

$$A_d = C_{pd}R_d(R_d + R_s) - C_{pg}R_gR_s, \quad (156)$$

$$A_g = C_{pg}R_g(R_g + R_s) - C_{pd}R_dR_s. \quad (157)$$

Para hacer el de-embedding y calcular las capacitancias parásitas, es necesario el conocimiento previo de las inductancias, y de la misma manera se deben conocer las capacitancias para calcular las inductancias. Esto se realiza utilizando el algoritmo mostrado en la Figura 40.

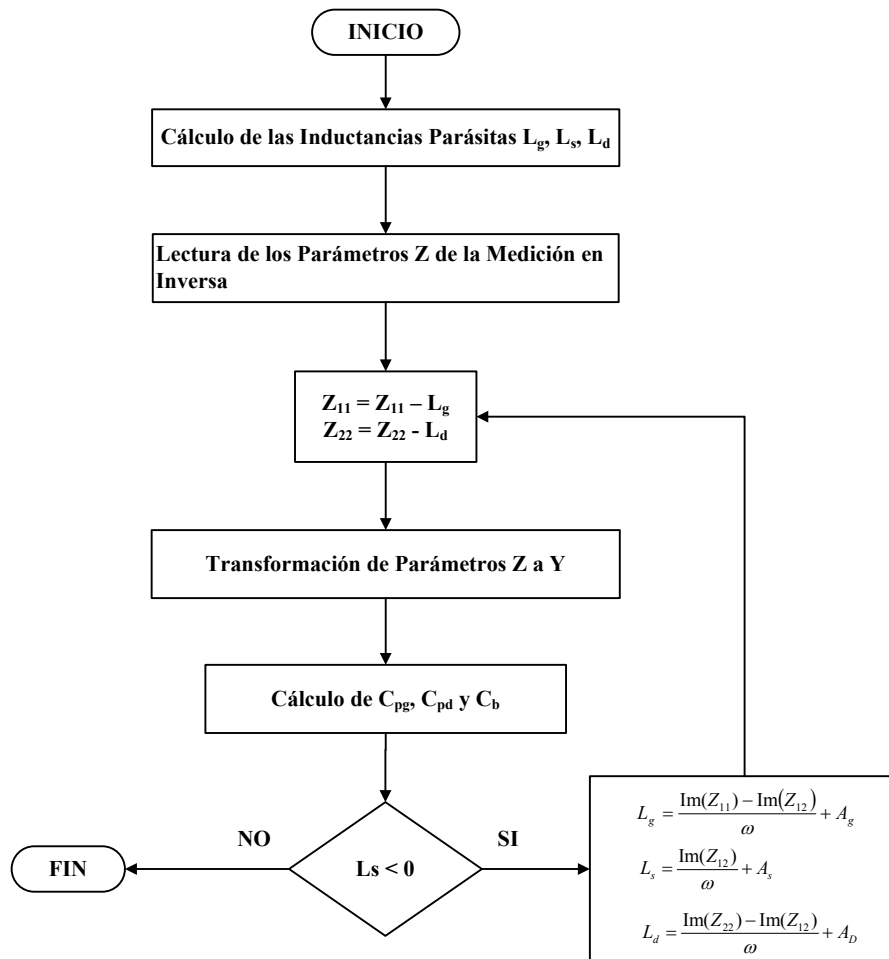


Figura 40. Algoritmo para encontrar los valores óptimos de capacitancias e inductancias parásitas.

El algoritmo para calcular las inductancias es similar al reportado por Lenk y Doerner (2000), y se explica a continuación:

1. Se calculan las inductancias de acuerdo al apartado IV.2.1.
2. Se realiza el de-embedding y se calculan las capacitancias (apartado IV.3).
3. Si  $L_s$  es negativo se calculan las inductancias nuevamente, pero ahora de acuerdo con el apartado IV.4.
4. Con los nuevos valores de inductancias se calculan las capacitancias.

## **Capítulo V.**

---

---

### **Resultados**

#### **V.1 Introducción.**

En este capítulo se muestran los resultados obtenidos en este trabajo de tesis en el que se utilizaron transistores de AlGa<sub>N</sub>/Ga<sub>N</sub> fabricados en un substrato de Si, suministrados por Nitronex Corporation. Previo a las mediciones en RF en el rango de 0.045 – 50 GHz, el analizador de redes HP8510 se calibró utilizando la técnica de calibración LRM mejorada (Reynoso-Hernández, 2004), empleando estándares de calibración de las industrias GGB modelo CS-5 y puntas de prueba modelo 50A-GSG-150P. Para ello, se utilizó la máquina de puntas SUMMIT 9000 adecuada para estructuras coplanares.

A continuación se muestran los resultados obtenidos para los transistores en oblea modelados.

#### **V.2 Extracción de los Elementos Parásitos.**

Los elementos parásitos fueron calculados empleando el método descrito en el capítulo IV. En la Tabla II se muestran los resultados de la extracción correspondiente a tres transistores HEMT de AlGa<sub>N</sub>/Ga<sub>N</sub> de diferentes dimensiones: 100 $\mu$ m (2 dedos de 50  $\mu$ m), 300 $\mu$ m (2 dedos de 150  $\mu$ m) y 2mm (10 dedos de 200  $\mu$ m). Los elementos parásitos fueron extraídos a una corriente de compuerta de 4 mA para los tres transistores.

Tabla II. Elementos parásitos extraídos para transistores de AlGaIn/GaN de diferentes longitudes de compuerta.

<b>Elemento</b>	<b>100<math>\mu</math>m HEMT</b>	<b>300<math>\mu</math>m HEMT</b>	<b>2mm HEMT</b>
<b>R<sub>g</sub> (<math>\Omega</math>)</b>	<b>0.57</b>	<b>1.96</b>	<b>0.69</b>
<b>R<sub>s</sub> (<math>\Omega</math>)</b>	<b>7.26</b>	<b>2.30</b>	<b>0.42</b>
<b>R<sub>d</sub> (<math>\Omega</math>)</b>	<b>13.46</b>	<b>4.79</b>	<b>0.75</b>
<b>R<sub>0</sub> (<math>\Omega</math>)</b>	<b>59.31</b>	<b>50.81</b>	<b>41.21</b>
<b>L<sub>g</sub> (pH)</b>	<b>68.28</b>	<b>71.90</b>	<b>46.36</b>
<b>L<sub>s</sub> (pH)</b>	<b>6.23</b>	<b>0.09</b>	<b>1.86</b>
<b>L<sub>d</sub> (pH)</b>	<b>64.87</b>	<b>78.55</b>	<b>92.29</b>
<b>C<sub>0</sub> (pF)</b>	<b>0.43</b>	<b>1.21</b>	<b>7.69</b>
<b>C<sub>pg</sub> (fF)</b>	<b>7.72</b>	<b>7.63</b>	<b>42.33</b>
<b>C<sub>pd</sub> (fF)</b>	<b>15.62</b>	<b>34.11</b>	<b>205.09</b>

En la Tabla II se puede observar que las resistencias  $R_s$ ,  $R_d$  y  $R_0$  disminuyen conforme la dimensión del transistor aumenta, mientras que el valor de las capacitancias y de la inductancia de drenador  $L_d$  son directamente proporcionales a la dimensión del transistor. Estas condiciones no se cumplen para la resistencia e inductancia de compuerta  $R_g$  y  $L_g$  ya que estos elementos dependen del número de dedos del transistor.

### V.2.1 Resistencias e Inductancias Parásitas.

Para comprobar la validez del método para calcular la resistencia de compuerta, en las Figuras 41 y 42 se muestra la independencia de  $R_g$  con respecto a la corriente de compuerta  $I_{gs}$ , lo cual satisface la teoría.

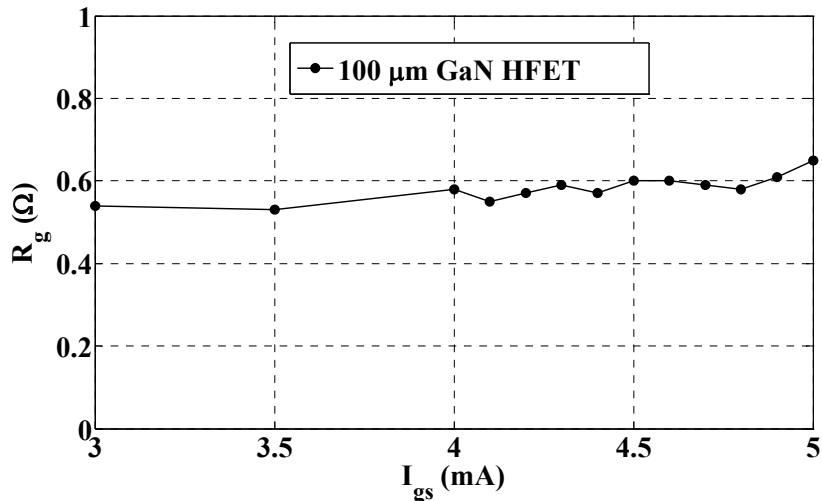


Figura 41. Comportamiento de  $R_g$  independiente de la polarización para el HEMT de GaN de 100  $\mu\text{m}$ .

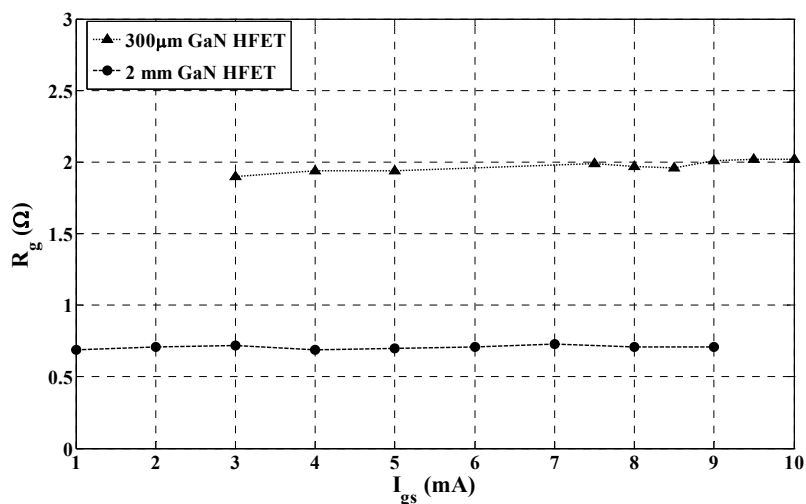


Figura 42. Independencia con respecto a la polarización de  $R_g$  para los HEMTs de GaN de 300  $\mu\text{m}$  y 2mm.

Con los resultados obtenidos del circuito equivalente para el “cold FET” polarizado en directa ( $I_{gs} = 4\text{mA}$ ), se simularon las partes real e imaginaria de  $Z_{11}$  y se compararon con los datos experimentales como se muestra en las Figuras 43 a 48.

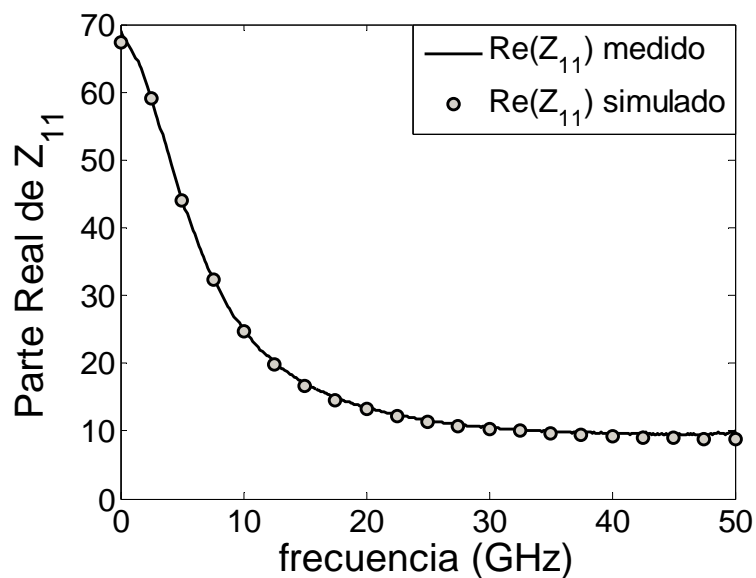


Figura 43. Simulación de la parte real de  $Z_{11}$  del HEMT de GaN de  $100\mu\text{m}$ .

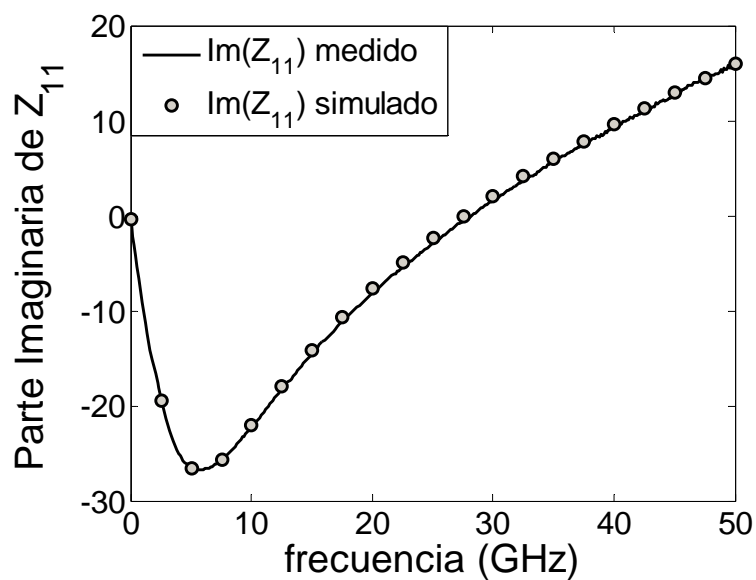


Figura 44. Simulación de la parte imaginaria de  $Z_{11}$  del HEMT de GaN de  $100\mu\text{m}$ .

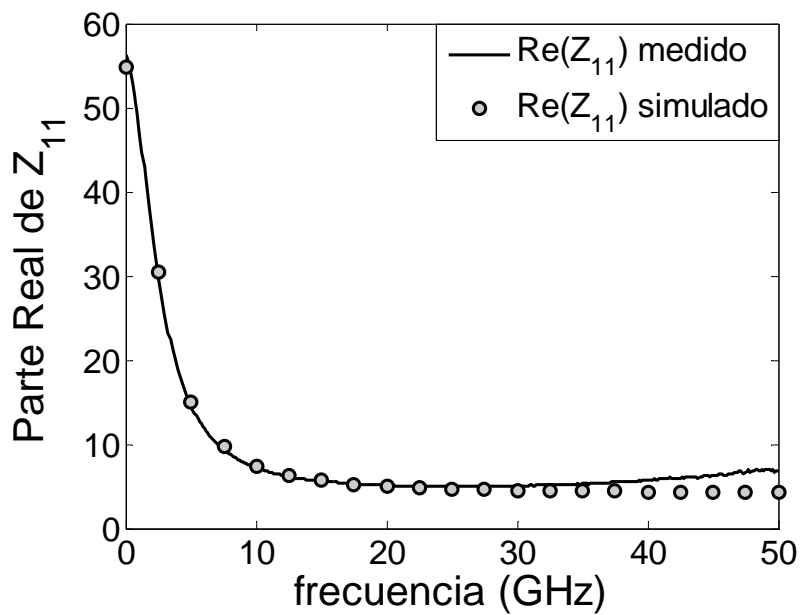


Figura 45. Simulación de la parte real de  $Z_{11}$  del HEMT de GaN de  $300\mu\text{m}$ .

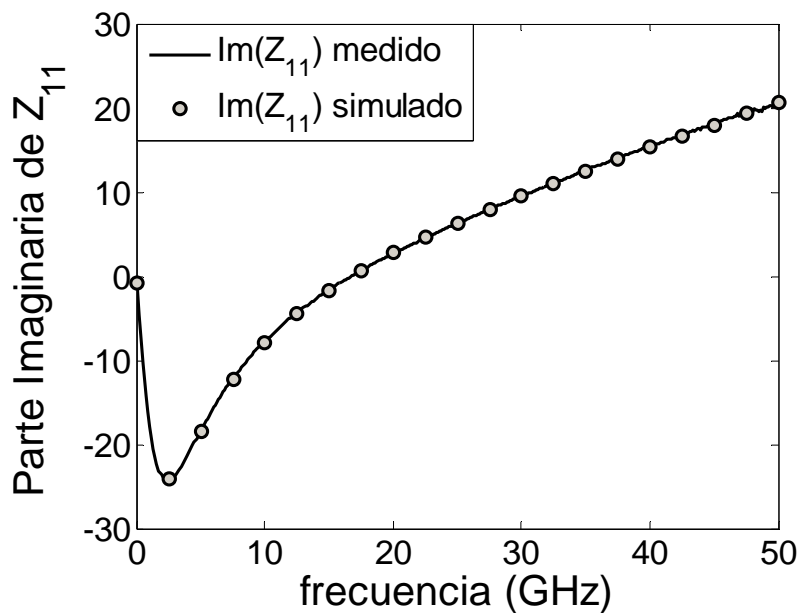


Figura 46. Simulación de la parte imaginaria de  $Z_{11}$  del HEMT de GaN de  $300\mu\text{m}$ .



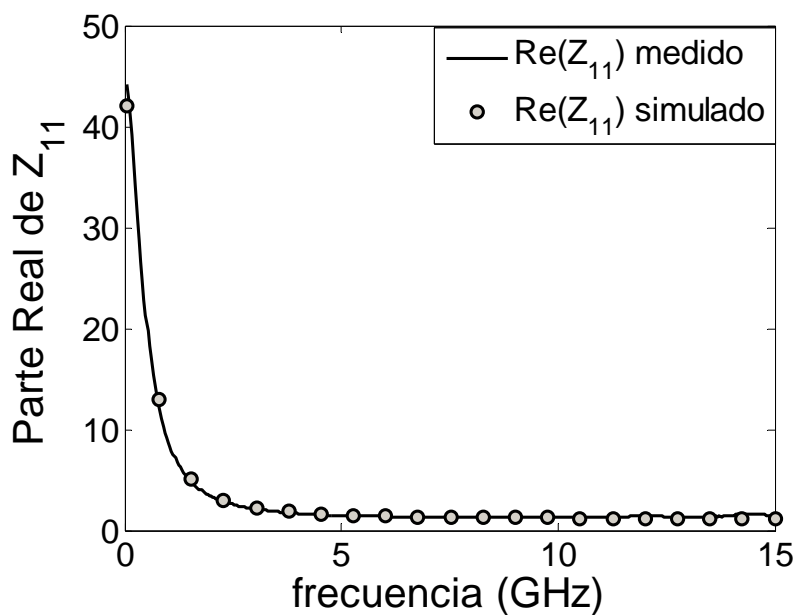


Figura 47. Simulación de la parte real de  $Z_{11}$  del HEMT de GaN de 2mm.

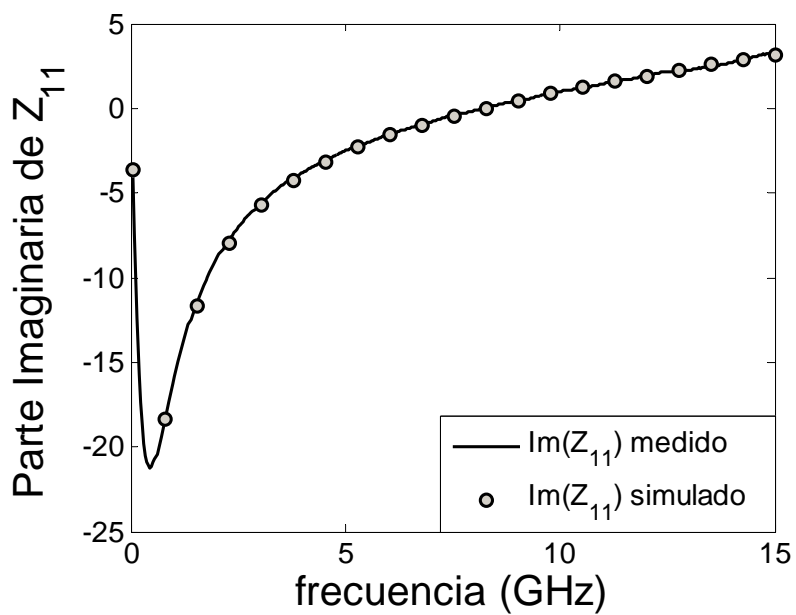


Figura 48. Simulación de la parte imaginaria de  $Z_{11}$  del HEMT de GaN de 2mm.

## V.2.2 Capacitancias Parásitas.

En las Figuras 49, 50 y 51 se muestra el comportamiento en función de la frecuencia de las capacitancias parásitas calculadas a partir de las mediciones en inverso, empleando el método propuesto y explicado en la sección IV.3.

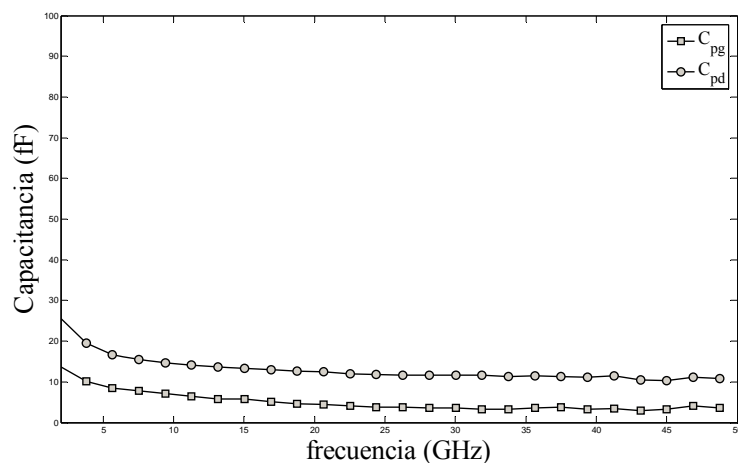


Figura 49. Comportamiento en frecuencia de las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$  para el transistor de 100µm.

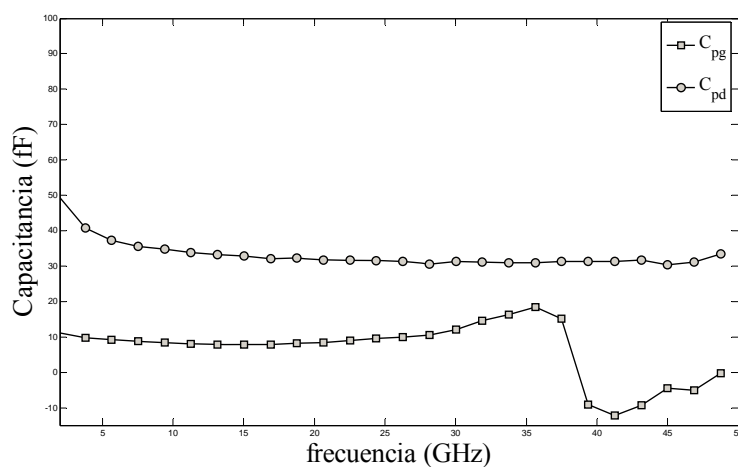


Figura 50. Comportamiento en frecuencia de las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$  para el transistor de 300µm.

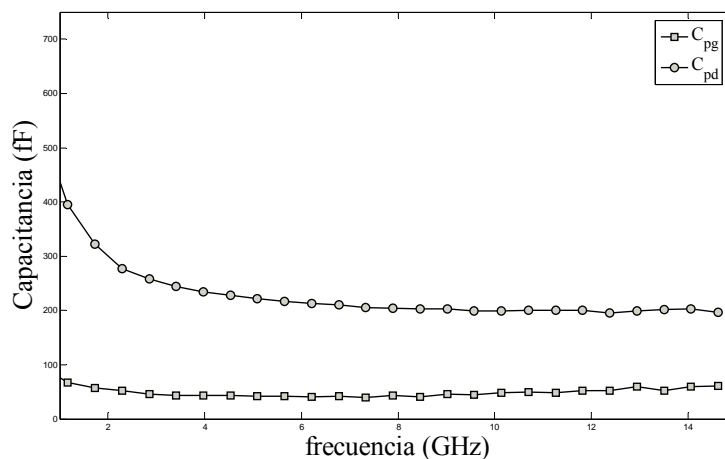


Figura 51. Comportamiento en frecuencia de las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$  para el transistor de 2mm.

Con la finalidad de comparar el método propuesto (Zárate-de Landa *et al.*, 2007) con los métodos publicados por Dambrine *et al.*, (1988) y por White y Healy, (1993,) se calculó el valor de las capacitancias parásitas aplicando los tres métodos estudiados en esta tesis. Los resultados se muestran en la Tabla III.

Tabla III. Comparación de las capacitancias parásitas calculadas para los transistores de AlGaIn/GaN.

<i>FET 100 <math>\mu</math>m</i>			
Capacitancia	Dambrine	White	Nuevo Método
<b>C<sub>pg</sub> (fF)</b>	7.72	7.72	7.72
<b>C<sub>pd</sub> (fF)</b>	20.72	-21.15	15.62
<i>FET 300 <math>\mu</math>m</i>			
Capacitancia	Dambrine	White	Nuevo Método
<b>C<sub>pg</sub> (fF)</b>	7.63	7.63	7.63
<b>C<sub>pd</sub> (fF)</b>	47.13	-66.22	34.11
<i>FET 2 mm</i>			
Capacitancia	Dambrine	White	Nuevo Método
<b>C<sub>pg</sub> (fF)</b>	42.33	42.33	42.33
<b>C<sub>pd</sub> (fF)</b>	287.58	-430.62	205.09

Se simularon los parámetros Y del “cold FET” en pinchoff utilizando los resultados de los valores del circuito equivalente para esta configuración y se compararon con datos medidos ( $V_{gs} = -7\text{ V}$ ;  $V_{ds} = 0$ ) como se muestra en las Figuras 52, 53 y 54.

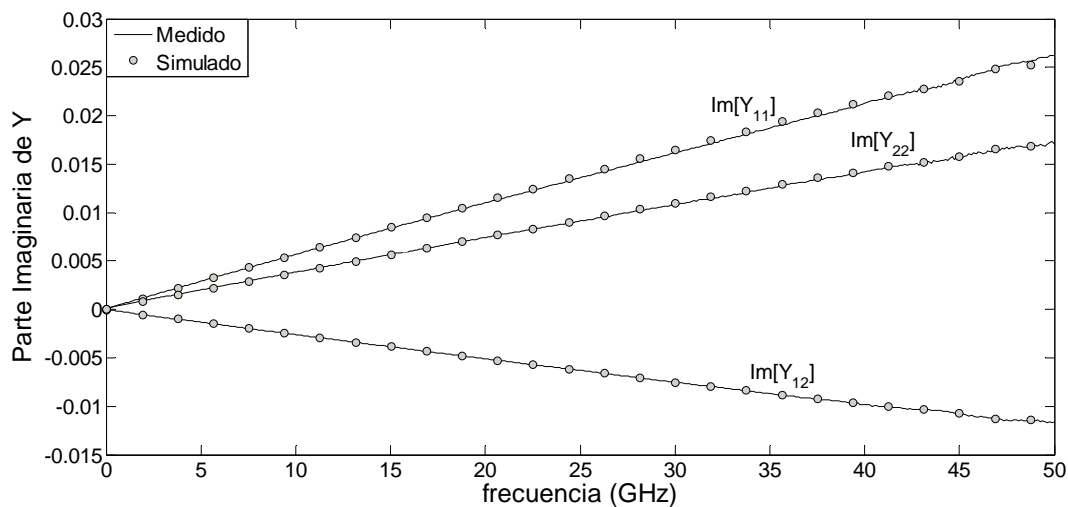


Figura 52. Parámetros Y simulados a partir de las mediciones en inverso del HEMT de GaN de 100 $\mu\text{m}$ .

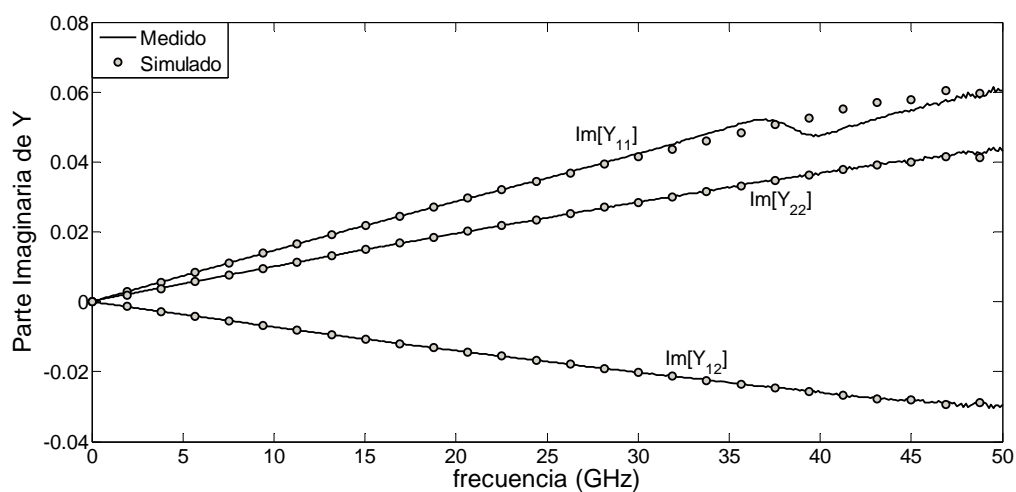


Figura 53. Parámetros Y simulados a partir de las mediciones en inverso del HEMT de GaN de 300 $\mu\text{m}$ .

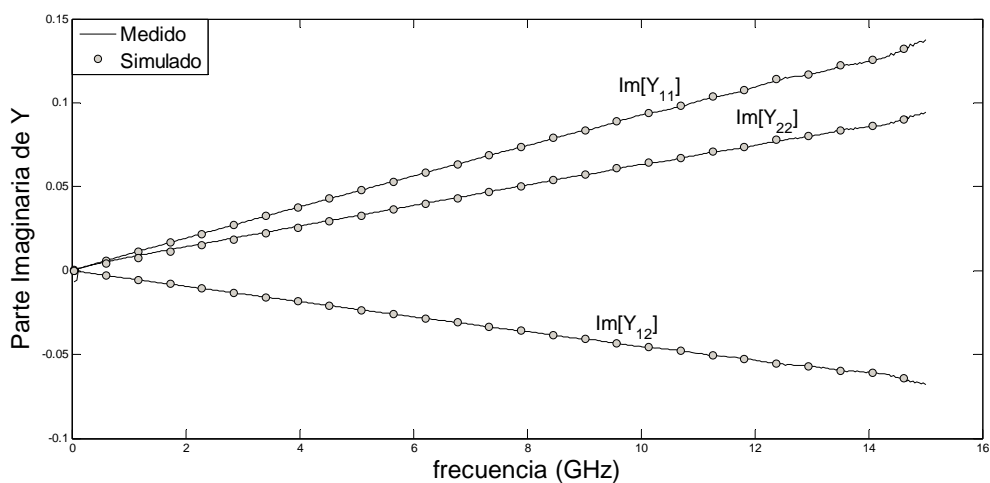


Figura 54. Parámetros Y simulados a partir de las mediciones en inverso del HEMT de GaN de 2mm.

### V.2.3 Conclusiones de la Extracción de los Elementos Parásitos.

En esta sección se mostraron los resultados obtenidos al extraer los elementos parásitos de los tres transistores de AlGaIn/GaN con los que se trabajó en esta tesis. Los resultados muestran que los datos simulados coinciden con los datos medidos del “cold FET” en toda la banda de frecuencias, tanto bajo polarización en directa como en pinchoff. Además se muestra como la resistencia de compuerta  $R_g$  es independiente de la corriente de compuerta, lo cual indica que la extracción es correcta porque los elementos parásitos deben ser independientes de la polarización.

En la Tabla III se puede observar como los tres métodos predicen valores iguales de la capacitancia de compuerta  $C_{pg}$ , sin embargo, difieren en la capacitancia de drenador  $C_{pd}$ , donde el método de White da un valor negativo lo que indica un cálculo erróneo de este elemento. Mientras que el método de Dambrine calcula un valor mayor de  $C_{pd}$  al del

método presentado en esta tesis debido a que no toma en cuenta el efecto de la capacitancia del diodo Schottky.

### **V.3 Extracción de los Elementos Intrínsecos.**

Una vez estimados los valores de los elementos parásitos se hace un proceso de de-embedding y se calculan los elementos intrínsecos. En este trabajo de tesis se muestran los resultados de la simulación al calcular los elementos intrínsecos utilizando la metodología explicada por Berroth y Bosh (1990), bajo diferentes polarizaciones y en el rango de frecuencias de 0.045 – 50GHz. Estas polarizaciones se seleccionaron de las curvas I(V) del transistor (Figuras 55, 62, 69). Para la selección de los puntos de polarización se tomó en consideración el punto de reposo de los amplificadores lineales de alta potencia y alta eficiencia.

En las Figuras 56, 57, 58, 63, 64, 65, 70 y 71 se muestran los parámetros S medidos y simulados de los tres transistores de AlGaIn/GaN estudiados en esta tesis. Se debe notar el excelente ajuste entre los datos medidos y simulados, lo cual valida la correcta extracción de los elementos parásitos.

Para demostrar la correcta extracción de los elementos intrínsecos, en la Figuras 59, 66 y 72 se muestra la independencia en frecuencia de estos elementos. De igual manera, se calcularon los elementos intrínsecos para cada uno de los puntos de polarización. Los resultados se muestran en las Figuras 60, 67 y 73.

### V.3.1 Transistor de 100µm.

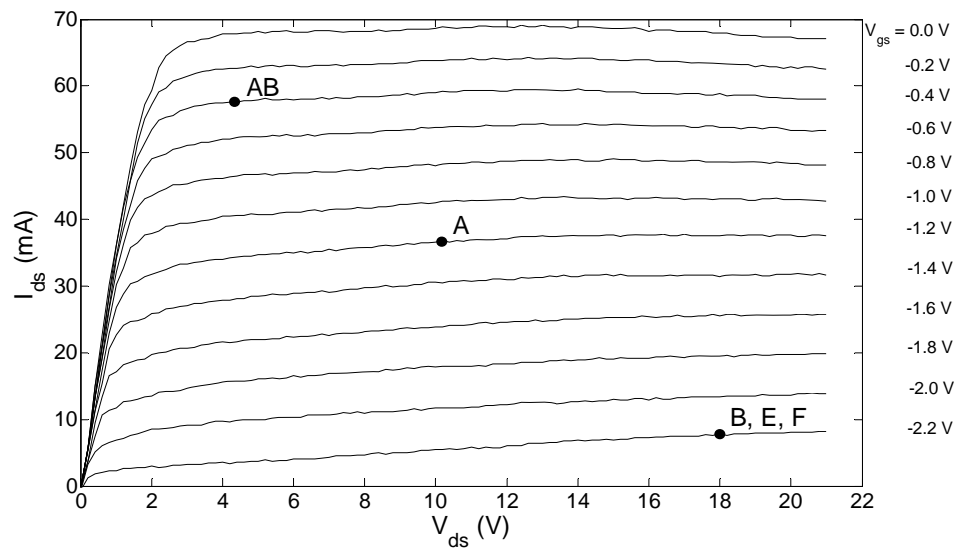


Figura 55. Gráfica I(V) del HEMT de GaN de 100 µm y la ubicación de las diferentes polarizaciones para el diseño de amplificadores clase A, AB, B, E y F.

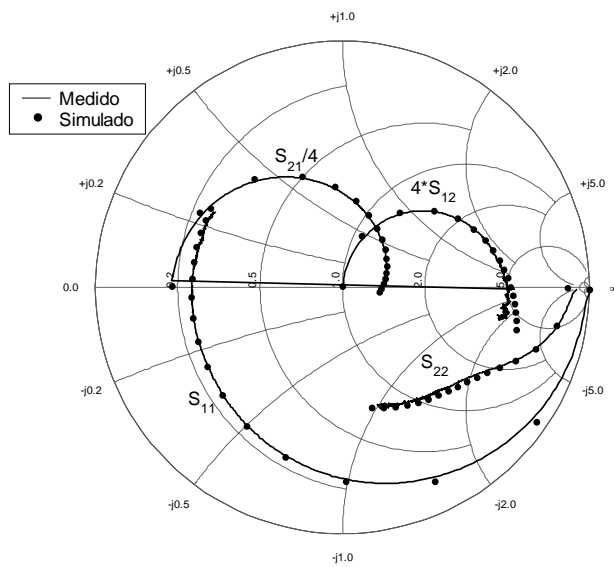


Figura 56. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase A ( $V_{gs} = -1.2$  V;  $V_{ds} = 10.0$  V;  $I_{ds} = 36.6$  mA).

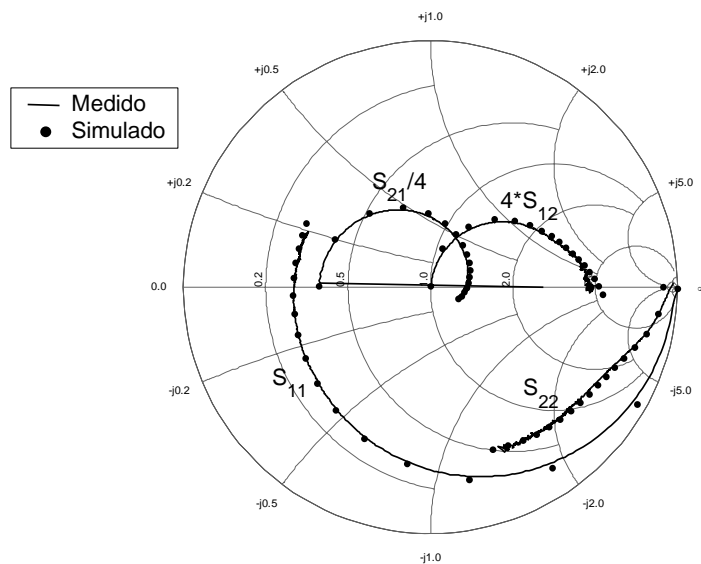


Figura 57. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase B, E o F ( $V_{gs} = -2.2$  V;  $V_{ds} = 18.0$  V;  $I_{ds} = 4.2$  mA).

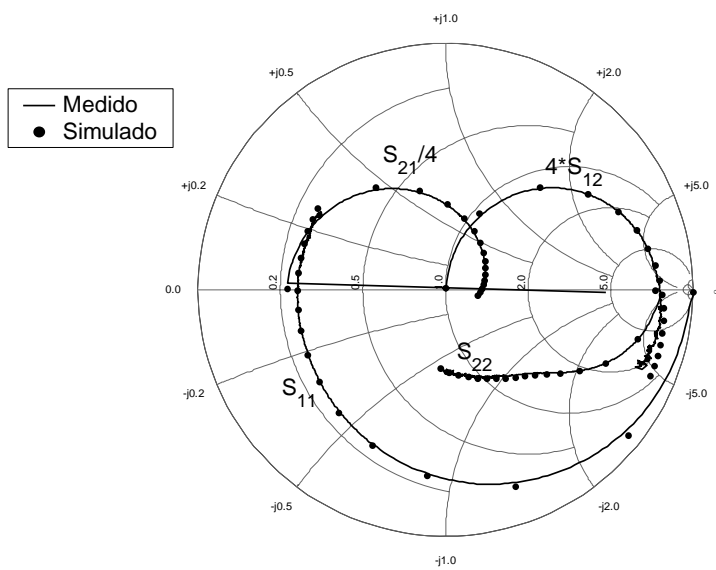


Figura 58. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase AB ( $V_{gs} = -0.4$  V;  $V_{ds} = 4.0$  V;  $I_{ds} = 57.48$  mA).



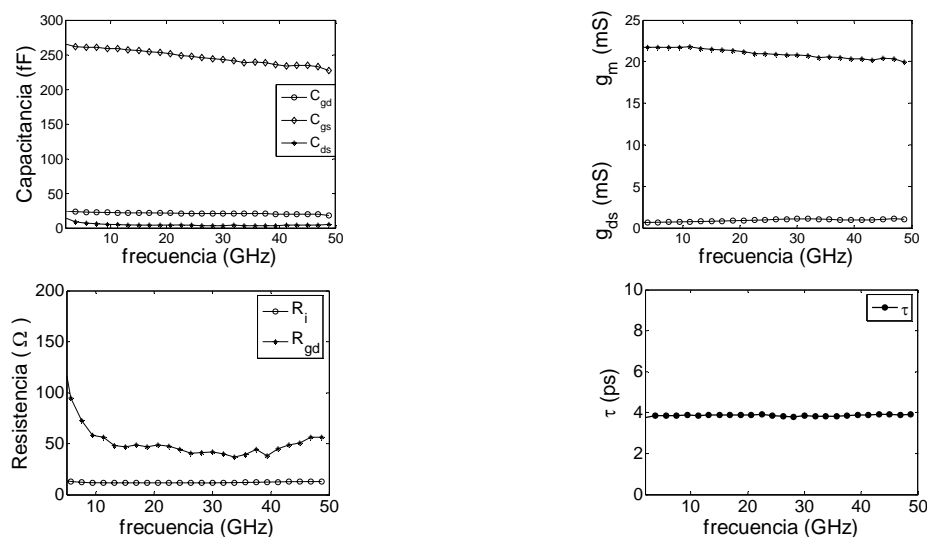


Figura 59. Elementos intrínsecos calculados polarizando al transistor de  $100\mu\text{m}$  para el diseño de un amplificador altamente eficiente clase E o F.

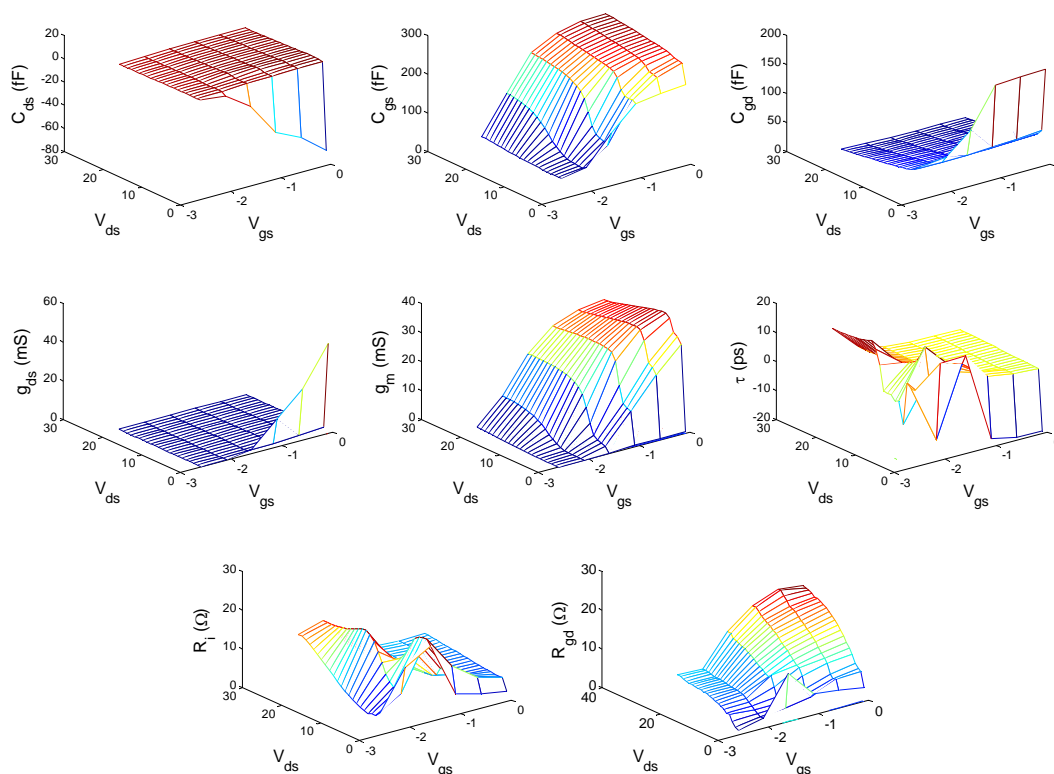


Figura 60. Gráfica tridimensional de los elementos intrínsecos versus los voltajes de compuerta y drenador del HEMT de GaN de  $100\mu\text{m}$ .

Otra manera de comprobar que los parámetros del modelo de circuito equivalente fueron extraídos correctamente, es mediante el cálculo del aislamiento y la ganancia del transistor, que son dos parámetros importantes en la caracterización del dispositivo. En las Figuras 61, 68 y 74 se muestra la comparación entre de datos medidos y los simulados de dichos parámetros.

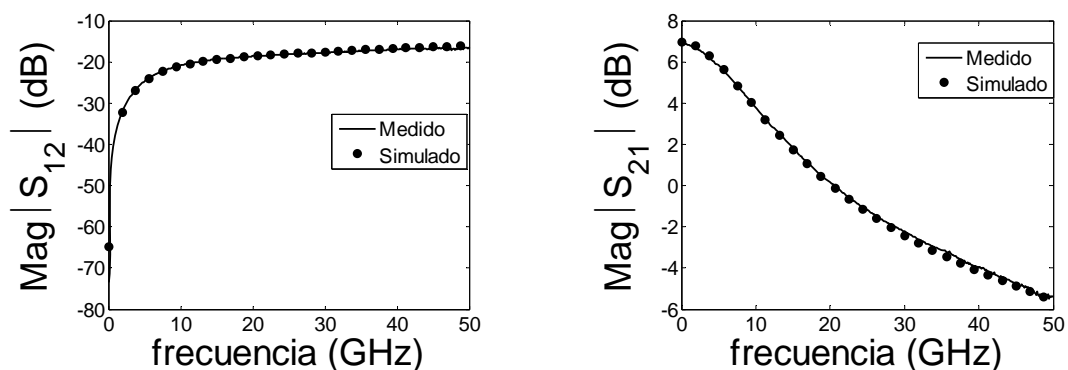


Figura 61. Comparación entre los datos medidos y los simulados del aislamiento (a) y la ganancia (b) del HEMT de GaN de  $100\mu\text{m}$  polarizado a ( $V_{gs} = 0\text{ V}$ ;  $V_{ds} = 20.0\text{ V}$ ;  $I_{ds} = 44.62\text{ mA}$ ).

### V.3.2 Transistor de $300\mu\text{m}$ .

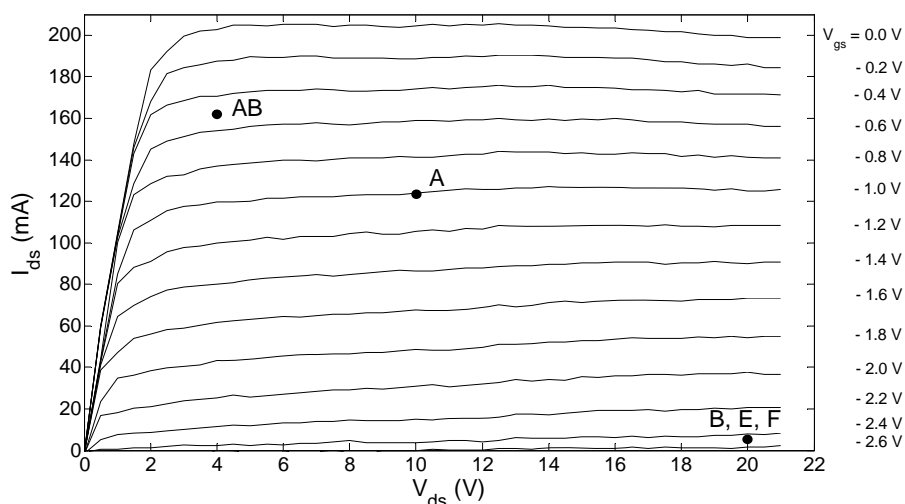


Figura 62. Gráfica I(V) del HEMT de GaN de  $300\mu\text{m}$  y la ubicación de las diferentes polarizaciones para el diseño de amplificadores clase A, B AB, E y F.

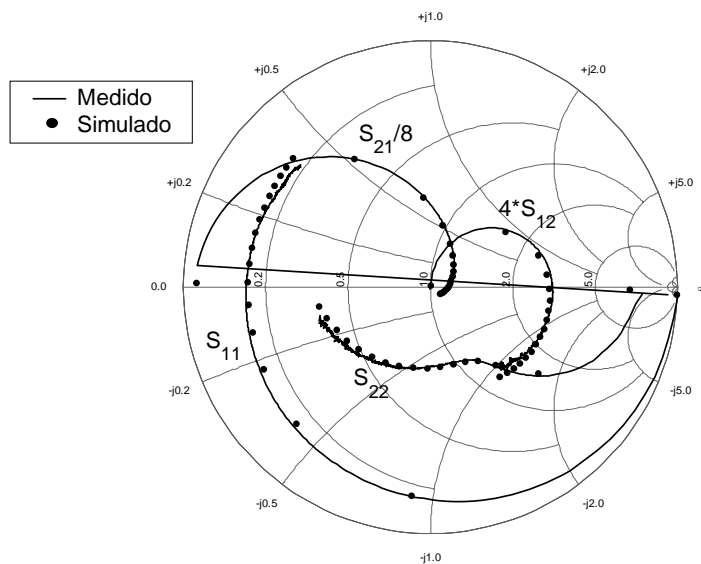


Figura 63. Comparación de los parámetros S medidos y simulados para el diseño de un amplificador clase A ( $V_{gs} = -1.0$  V;  $V_{ds} = 10.0$  V;  $I_{ds} = 123.9$  mA).

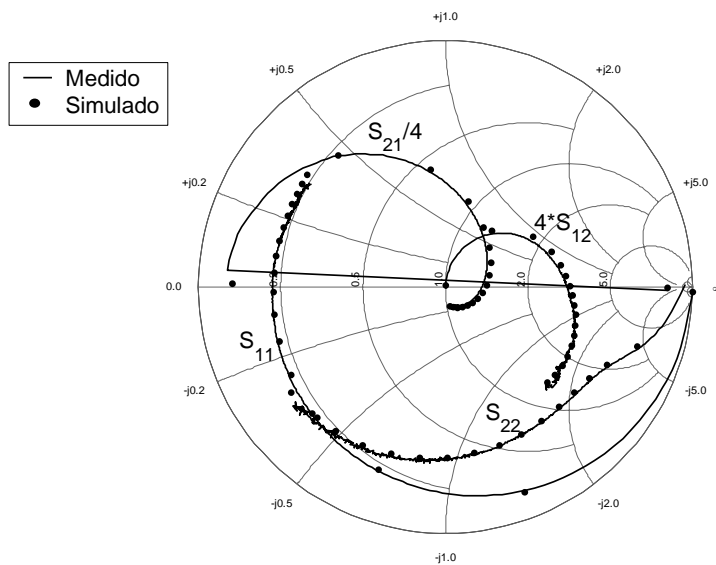


Figura 64. Comparación de los parámetros S medidos y simulados para el diseño de un amplificador clase B, E o F ( $V_{gs} = -2.5$  V;  $V_{ds} = 20.0$  V;  $I_{ds} = 19.6$  mA).

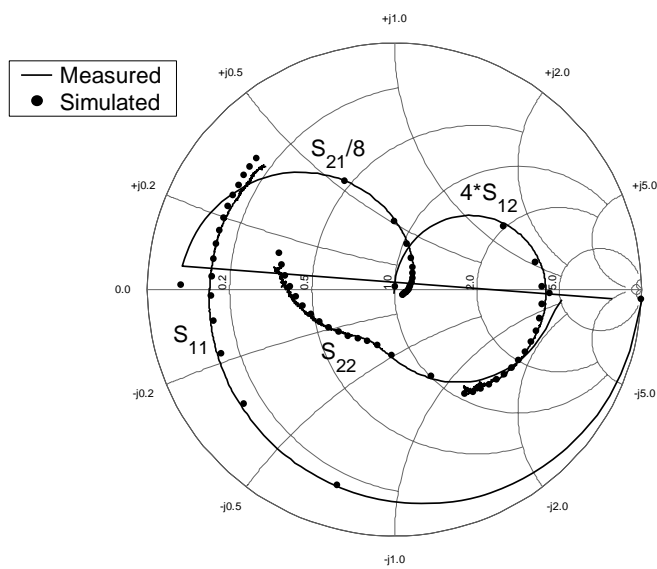


Figura 65. Comparación de los parámetros S medidos y simulados para el diseño de un amplificador clase AB ( $V_{gs} = -0.5$  V;  $V_{ds} = 4.0$  V;  $I_{ds} = 162.3$  mA).

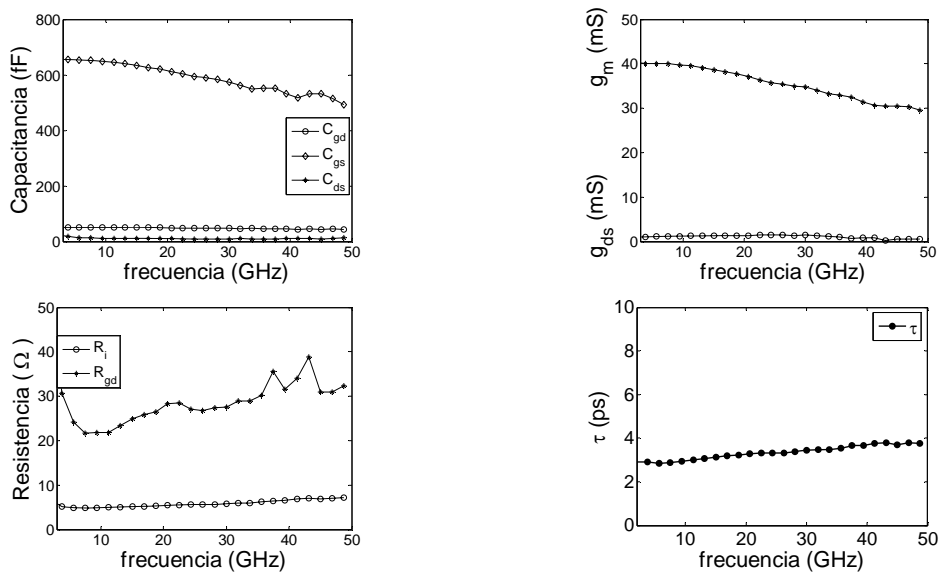


Figura 66. Elementos intrínsecos calculados polarizando al transistor de  $300\mu\text{m}$  para el diseño de un amplificador altamente eficiente clase E o F.

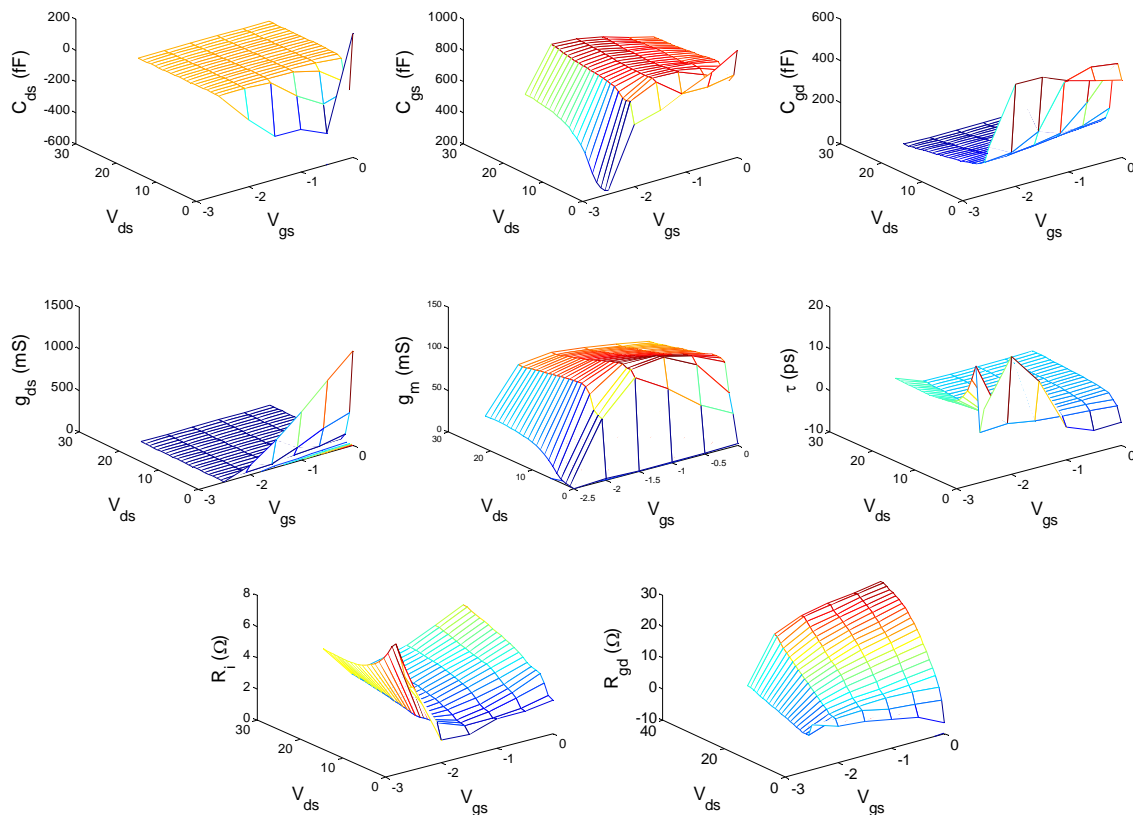


Figura 67. Gráfica tridimensional de los elementos intrínsecos versus los voltajes de compuerta y drenador del HEMT de GaN de 300  $\mu\text{m}$ .

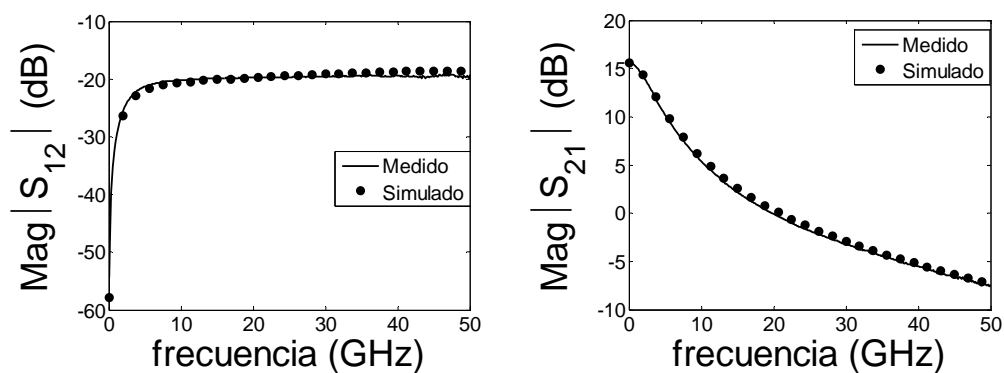


Figura 68. Comparación entre los datos medidos y los simulados del aislamiento (a) y ganancia (b) del HEMT de GaN de 300 $\mu\text{m}$  polarizado a ( $V_{gs} = 0$  V;  $V_{ds} = 21.0$  V;  $I_{ds} = 191.30$  mA).

### V.3.3 Transistor de 2mm.

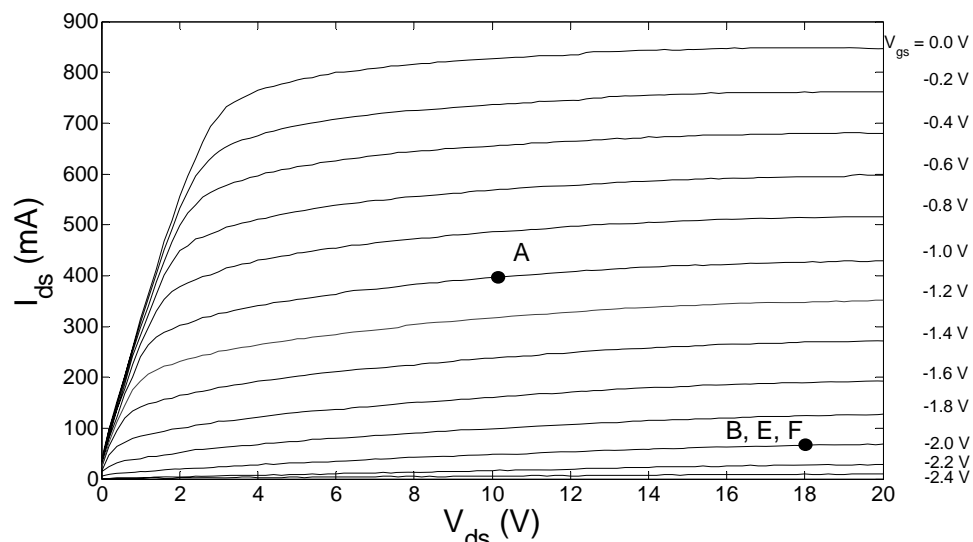


Figura 69. Gráfica I(V) del HEMT de GaN de 2 mm y la ubicación de las diferentes polarizaciones para el diseño de amplificadores clase A, B, E o F.

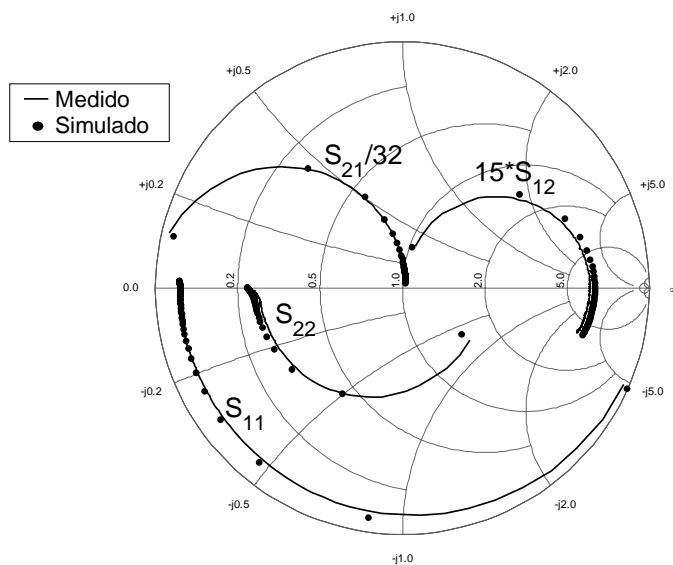


Figura 70. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase A ( $V_{gs} = -1.0$  V;  $V_{ds} = 10.0$  V;  $I_{ds} = 396.5$  mA).

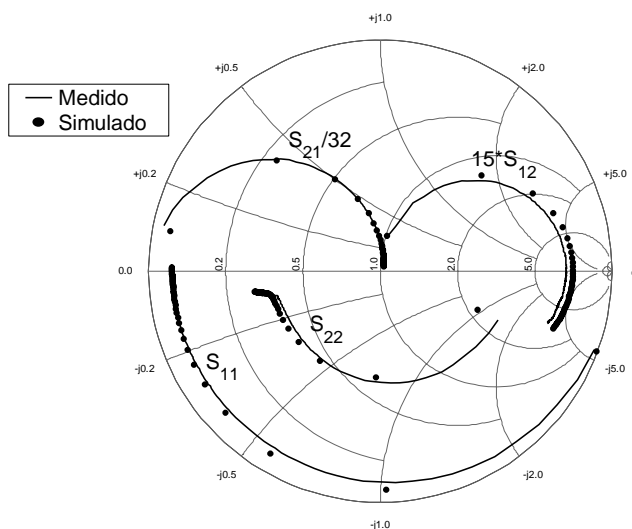


Figura 71. Comparación de los parámetros S medidos y simulados a una polarización para el diseño de un amplificador clase B, E o F ( $V_{gs} = -2.0$  V;  $V_{ds} = 18.0$  V;  $I_{ds} = 65.31$  mA).

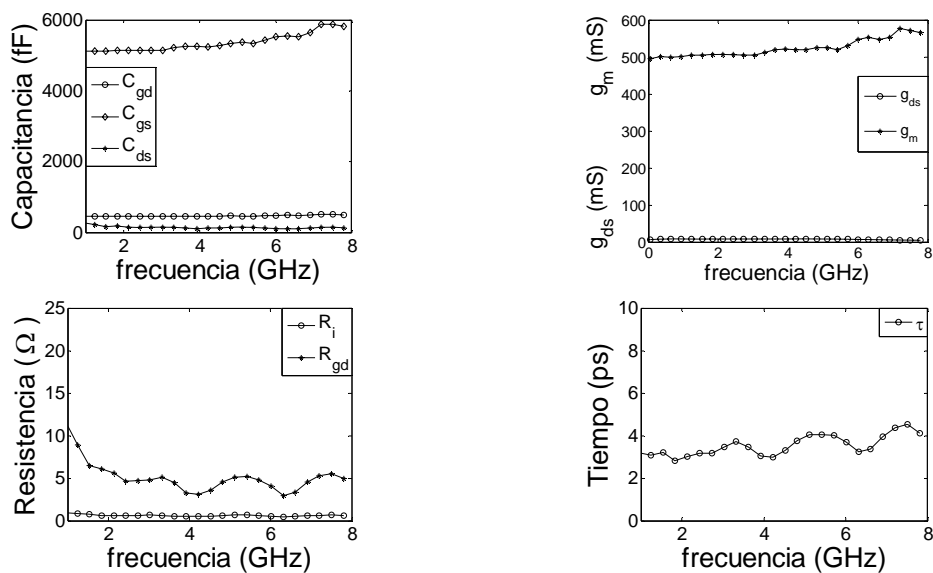


Figura 72. Elementos intrínsecos calculados polarizando el transistor de 2mm para el diseño de un amplificador altamente eficiente clase E o F.

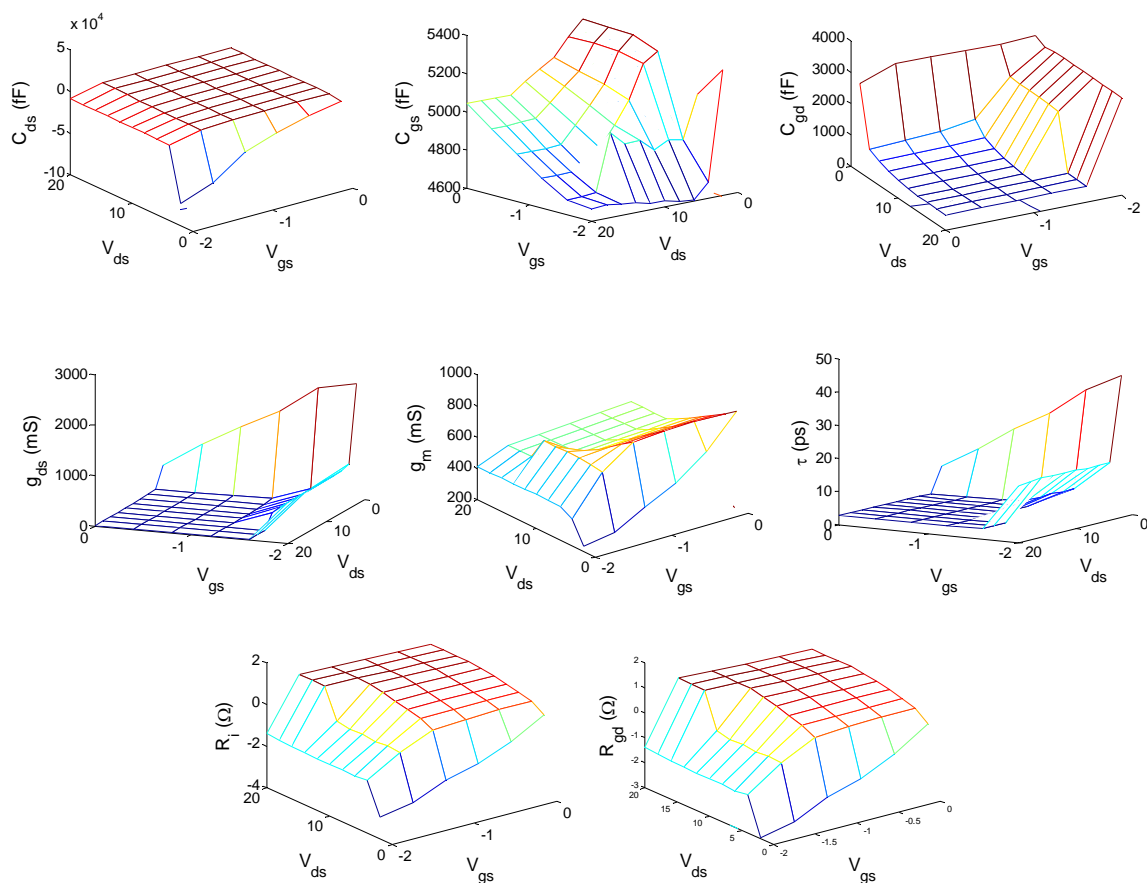


Figura 73. Gráfica tridimensional de los elementos intrínsecos versus los voltajes de compuerta y drenador del HEMT de GaN de 2mm.

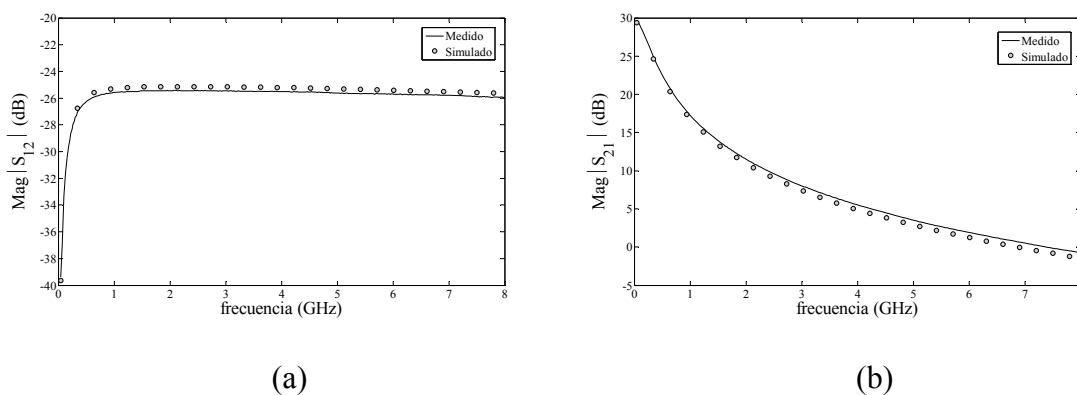


Figura 74. Comparación entre los datos medidos y los simulados del aislamiento (a) y ganancia (b) del HEMT de GaN de 2mm polarizado a ( $V_{gs} = -2.0$  V;  $V_{ds} = 18.0$  V;  $I_{ds} = 65.31$  mA).



Se calculó el error entre los parámetros S medidos y simulados de los tres transistores de AlGaN/GaN estudiados en esta tesis. La función de error utilizada se muestra a continuación:

$$\varepsilon_{ij} = \frac{1}{N} \sum_{i=1}^N \left| \frac{S_{ij\_med} - S_{ij\_sim}}{S_{ij\_med}} \right|, \quad (158)$$

donde  $S_{ij\_med}$  son los parámetros S medidos,  $S_{ij\_sim}$  son los parámetros S simulados y  $N$  es el número de datos tomados de la medición.

Tabla IV. Error entre los parámetros S medidos y simulados

<b>Transistor</b> <b>Parámetro</b>	<b>100μm</b> <b>HEMT</b>	<b>300μm</b> <b>HEMT</b>	<b>2mm</b> <b>HEMT</b>
S <sub>11</sub>	3.34 %	2.62%	1.45%
S <sub>12</sub>	5.00 %	7.25%	3.79%
S <sub>21</sub>	5.36%	5.24%	6.67%
S <sub>22</sub>	2.95%	4.63%	7.26%

### V.3.4 Conclusiones de la Extracción de los Elementos Intrínsecos

En base a los resultados obtenidos al extraer los elementos intrínsecos mostrados en las Figuras 60, 67 y 73 se simuló los parámetros S del transistor bajo diferentes condiciones de polarización. En la Tabla IV se muestra que el error calculado entre los parámetros S medidos y simulados es pequeño, lo que nos indica una correcta extracción de los parámetros y por lo tanto, un buen modelo. Esto también se puede observar en las figuras donde se comparan los parámetros S medidos con los simulados, donde se aprecia como el

modelo propuesto predice el comportamiento del transistor; un ejemplo es como el modelo predice correctamente el fenómeno “kink” (Lu Shey-Shi *et al.*, 2001) el cual es una propiedad inherente del transistor y que es observado en el parámetro  $S_{22}$  del HEMT de AlGaIn/GaN de 300  $\mu\text{m}$ .

Para verificar que los elementos intrínsecos fueron extraídos correctamente se graficaron con respecto a la frecuencia donde se puede observar que su comportamiento es constante en todo el ancho de banda medido. Además, en las Figuras 60,67 y 73 se muestran los resultados de la extracción los elementos del circuito equivalente intrínseco bajo diferentes condiciones de polarización ( $0 \text{ V} \leq V_{ds} \leq 20 \text{ V}$ ,  $-2.5 \text{ V} \leq V_{gs} \leq 0 \text{ V}$ ) y el comportamiento de los elementos intrínsecos concuerda con las expectativas físicas de la teoría.

## **V.4 Aplicación del Método a Transistores de Diferentes Tecnologías.**

En esta sección se presentan los resultados obtenidos al aplicar el método para el cálculo de los elementos parásitos presentado en esta tesis a transistores de diferentes tecnologías (MESFET y HEMT). Además, se simuló los parámetros S del transistor bajo diferentes condiciones de polarización y los resultados se compararon con los datos experimentales.

### V.4.1 Transistor HEMT de Fosforo de Indio (InP).

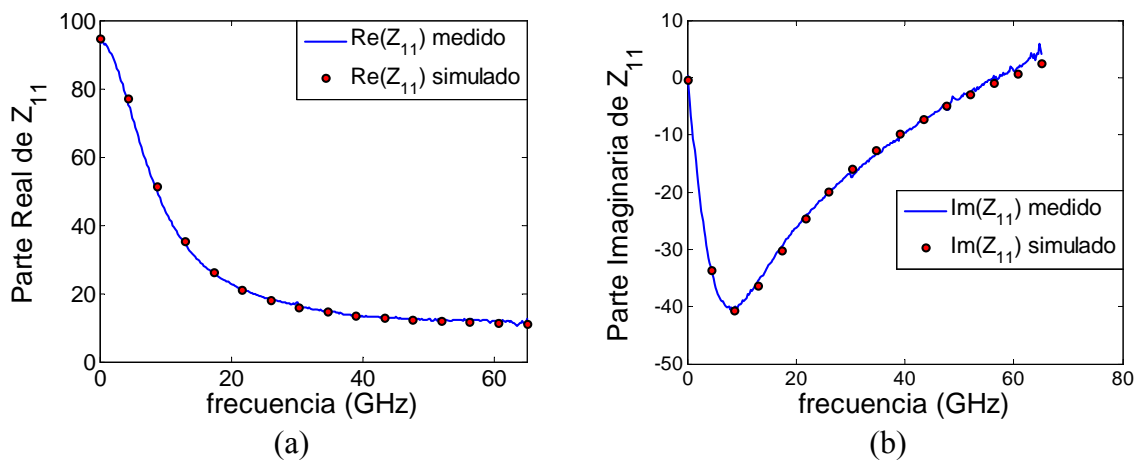


Figura 75. Simulación de la parte real (a) y la parte imaginaria (b) de  $Z_{11}$  del cold FET en directa de un HEMT de InP ( $I_{gs} = 1$  mA).

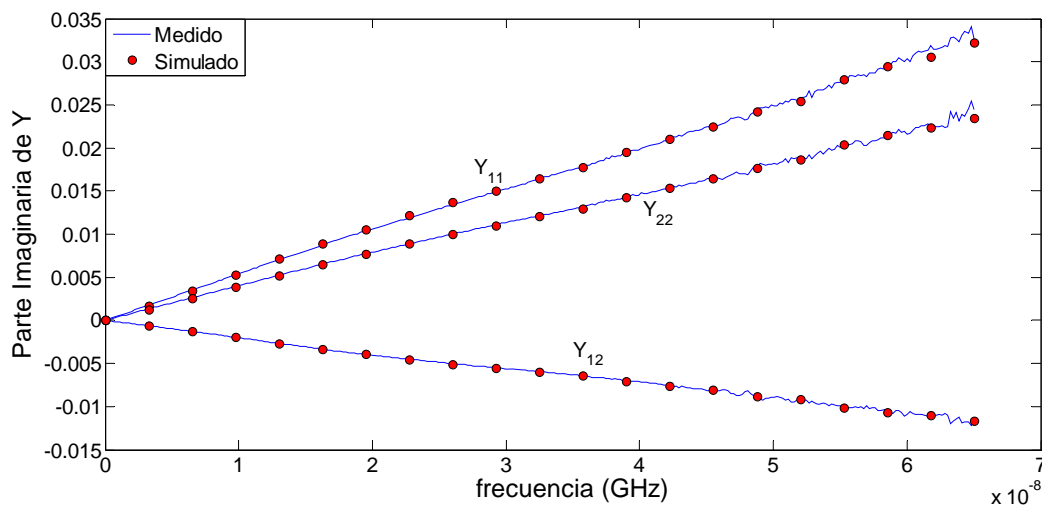


Figura 76. Simulación de los parámetros Y del cold FET en pinchoff de un HEMT de InP.

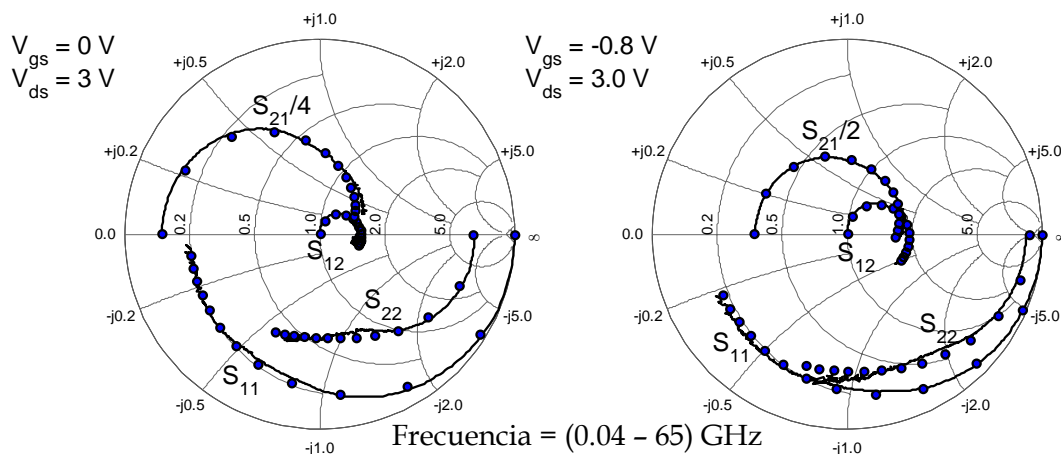


Figura 77. Comparación de los parámetros S medidos y simulados de un HEMT de InP bajo dos condiciones de polarización diferentes.

#### V.4.2 Transistor MESFET de Arseniuro de Galio (GaAs).

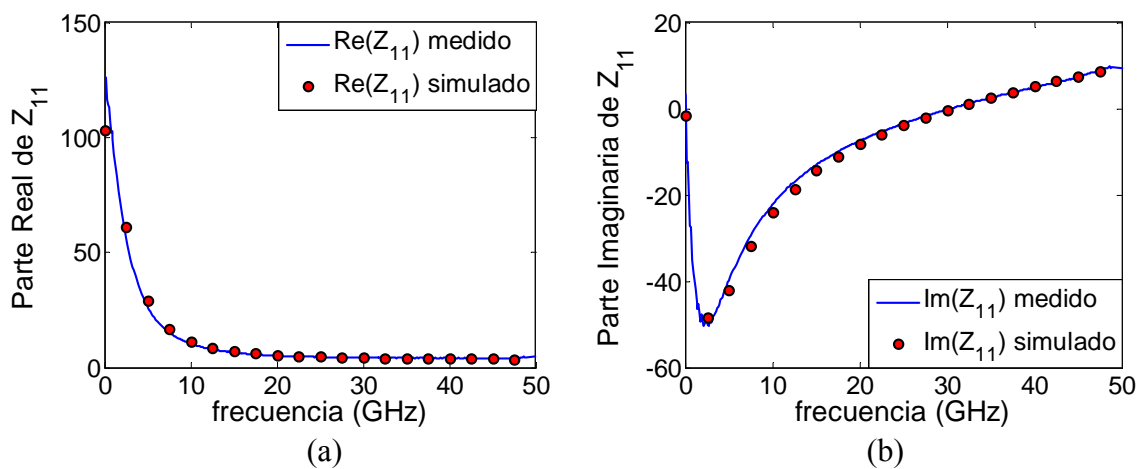


Figura 78. Simulación de la parte real (a) y la parte imaginaria (b) de  $Z_{11}$  del cold FET en directa de un MESFET de GaAs ( $I_{gs} = 0.5 \text{ mA}$ ).

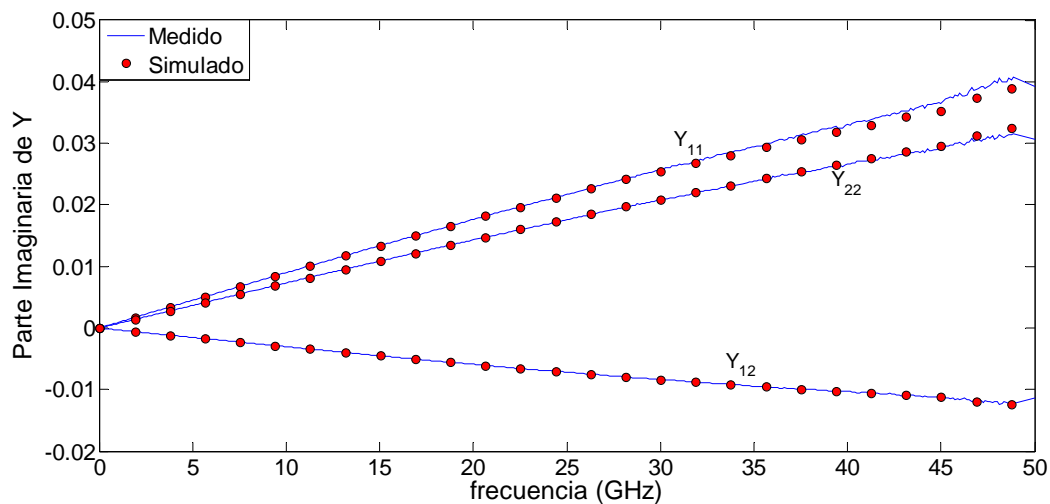


Figura 79. Simulación de los parámetros Y del cold FET en pinchoff de un MESFET de GaAs.

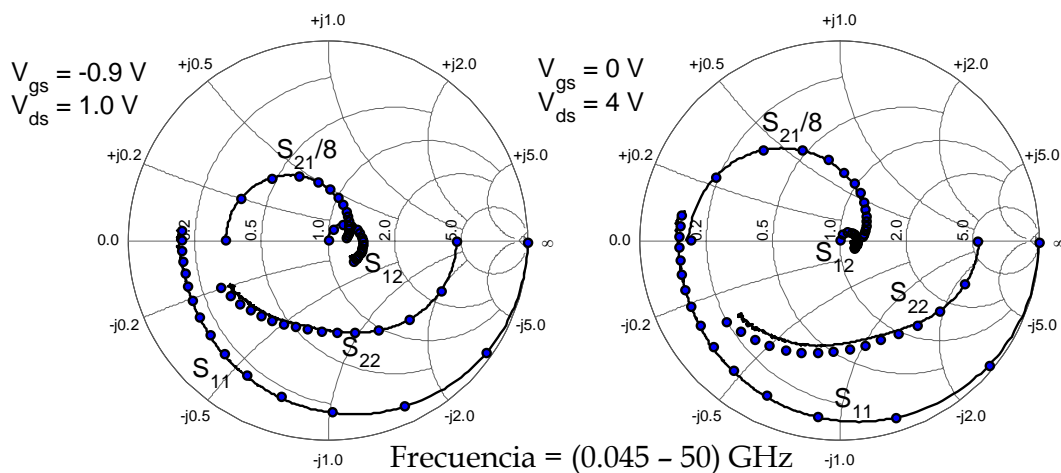


Figura 80. Comparación de los parámetros S medidos y simulados de un MESFET de GaAs bajo dos condiciones de polarización diferentes.

### V.4.3 Transistor HEMT de Carburo de Silicio (SiC).

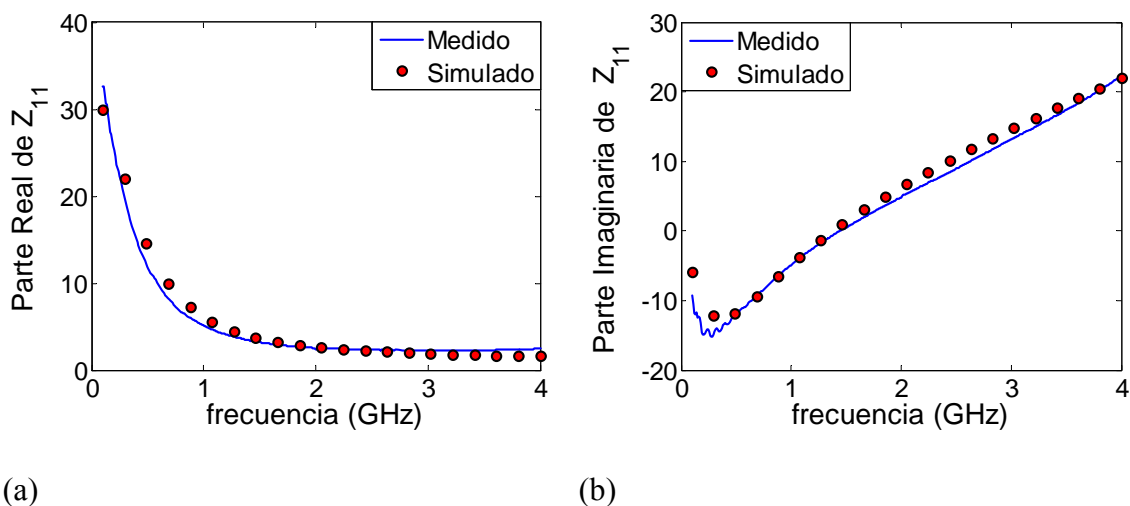


Figura 81. Simulación de la parte real (a) y la parte imaginaria (b) de  $Z_{11}$  del cold FET en directa de un HEMT de SiC ( $I_{gs} = 1$  mA).

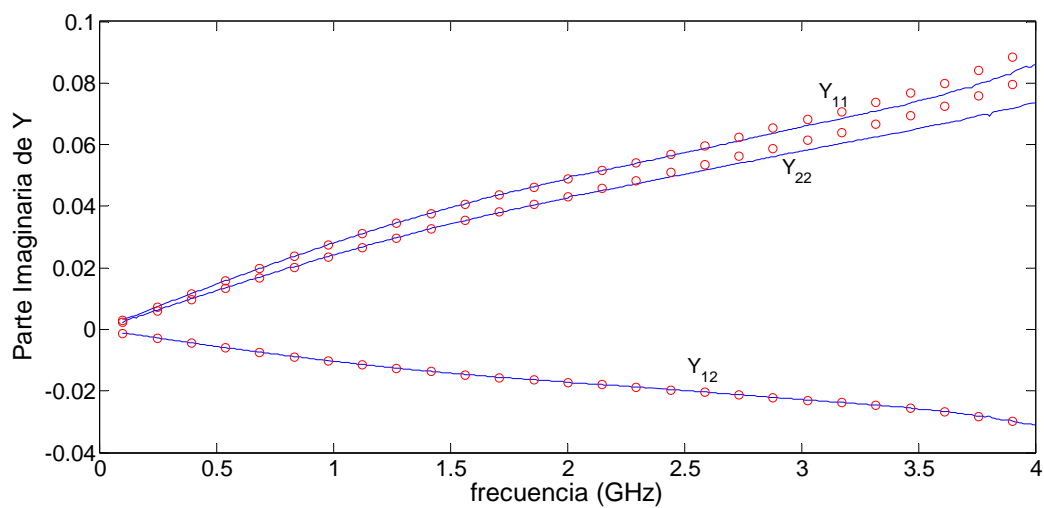


Figura 82 Simulación de los parámetros Y del cold FET en pinch-off de un HEMT de SiC.

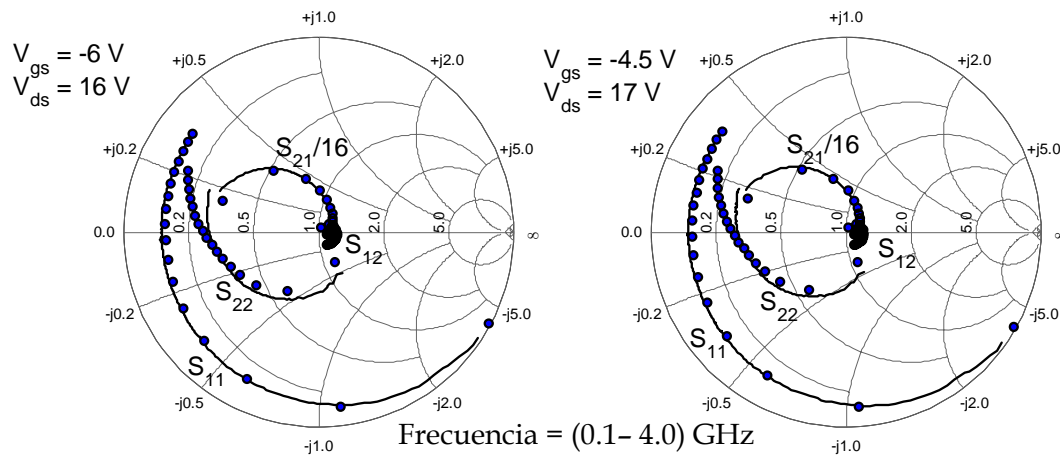


Figura 83. Comparación de los parámetros S medidos y simulados de un HEMT de SiC bajo dos condiciones de polarización diferentes.

Tabla V. Elementos parásitos extraídos para transistores de diferentes tecnologías.

Elemento	InP HEMT	SiC HEMT	GaAs MESFET
Rg ( $\Omega$ )	0.41	0.36	4.52
Rs ( $\Omega$ )	8.90	0.82	4.61
Rd ( $\Omega$ )	9.87	1.58	7.36
R <sub>0</sub> ( $\Omega$ )	437.71	23.29	104.09
Lg (pH)	29.82	918.14	58.13
Ls (pH)	5.51	73.54	5.52
Ld (pH)	15.26	807.89	75.37
C <sub>0</sub> (pF)	0.18	13.60	0.30
C <sub>pg</sub> (fF)	21.92	1193.08	21.12
C <sub>pd</sub> (fF)	22.29	1925.66	41.77

## Capítulo VI.

---

---

### Conclusiones

#### VI.1 Conclusiones.

**E**n este trabajo de tesis se desarrolló un nuevo método analítico para calcular la inductancia y la resistencia parásitas de compuerta  $L_g$  y  $R_g$ , utilizando una sola medición del “cold FET”, polarizado a una corriente de compuerta baja. Además, se presenta una nueva metodología para el cálculo de las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$  donde se toma en cuenta el efecto de la capacitancia del diodo Schottky del transistor.

La validez del método propuesto se verificó por el buen ajuste de los parámetros  $Z$  medidos y simulados del “cold FET” y de los parámetros  $S$  bajo diferentes puntos de polarización. Además, no requiere de una sintonización final mediante algún método de optimización.

La ventaja de este método es que para el cálculo de las resistencias e inductancias parásitas se requiere una sola medida del transistor en todo el ancho de banda, y para corrientes de compuerta bajas, lo que evita que el dispositivo se dañe, contrario al método tradicional que se basa en varias mediciones para valores de corriente de compuerta altos, requeridos para el cálculo de la resistencia de compuerta  $R_g$ .

Se encontró que el método propuesto no sólo es válido para transistores fabricados en base a AlGaIn/GaN, sino que también se puede aplicar en MESFETs y HEMTs de GaAs, InP y SiC.



### VI.3 Aportaciones

- ✓ Se propuso un método sencillo y rápido para el cálculo de la resistencia e inductancia de compuerta  $R_g$  y  $L_g$ .
- ✓ Se propone un nuevo modelo del “cold FET” polarizado en inverso para el cálculo de las capacitancias parásitas  $C_{pg}$  y  $C_{pd}$ .
- ✓ Se publico un artículo (Zarate-de Landa *et al.*, 2007) y fue presentado en el *IEEE International Microwave Symposium* del 2007.

Es importante mencionar que el método propuesto para el cálculo de los elementos parásitos tiene las siguientes ventajas sobre los métodos ya publicados:

- ✓ Para el cálculo de los elementos parásitos el transistor se polariza a bajas corrientes de compuerta, de tal manera que el dispositivo no se daña.
- ✓ Sólo se necesita de una medición del “cold FET” en polarización directa, contrario al método clásico que requiere de varias mediciones para el cálculo de  $R_g$ .
- ✓ El método propuesto se puede aplicar a transistores de cualquier tipo de tecnología.

### VI.2 Trabajo futuro

- A partir del modelo en pequeña señal hacer la extensión al modelo de gran señal.
- Aplicar el modelo al diseño de dispositivos como amplificadores, osciladores o mezcladores. Sobre todo al diseño de amplificadores de alta eficiencia clase E o F, que es la principal aplicación de los transistores de AlGaN/GaN

## Referencias.

---

Anholt R. 1995, "Electrical and Thermal Characterization of MESFETs, HEMTs, and HBTs." *Norwood, MA: Artech House*, 6 (7): 268-269 p.

Bennet R. J. 1987, "Interpretation of forward bias behavior of Schottky barriers," *IEEE Trans. Electron Devices*, 34 (4): 935-937 p.

Bertho M. y Bosh R. 1990, "Broad-band determination of the FET small-signal equivalent circuit," *IEEE Trans. Microwave Theory Tech.*, 38(7): 891-895 p.

Caddemi A., Crupi G. y Donato N. 2006, "Microwave characterization and modeling of packaged HEMTs by a direct extraction procedure down to 30K", *IEEE Trans. on Instrumentation and Measurement*. 55 (2): 465-470 p.

Chaudhuri S. y Das M. B. 1985, "An investigation of the MESFET 'end' resistance using a distributed diode/resistance model," *IEEE Trans. Electron Devices*. 32 (11): 2262-2268 p.

Chen G., Kumar V., Schwindt R., y Adesida I. 2006, "A reliable low gate bias model extraction procedure for AlGaIn/GaN HEMTs," *IEEE Transactions on Microwave Theory and Techniques*. 54 (7): 2949-2953 p.

Cheung S. K. y Cheung N. W. 1986, "Extraction of Schottky diode parameters from forward current voltage characteristics," *Appl. Phys. Lett.* 49 (2): 85-87 p.

Chigaeva E. y Walther W. 2000, "Determination of small-signal parameters of GaN-based HEMTs," *IEEE/Cornell High Performance Devices Conf. Cornell University, Ithaca, New York*. August 7-9, 115-122 p.

Crupi G., Xiao D., Schreurs D., Limiti E., Caddemi A., Raedt W., y Germain M., 2006 "Accurate multibias equivalent-circuit extraction for GaN HEMTs," *IEEE Trans. Microwave Theory Tech.* 54 (10): 3616-3622 p.

Dambrine G., Cappy A., Heliodore F., y Playez E. 1988, "A new method for determining the FET small-signal equivalent circuit," *IEEE Trans. Microwave Theory Tech.* 36 (7): 1151-1159 p.

Diamant F. y Laviron M. 1982, "Measurement of the extrinsic series elements of a microwave MESFET under zero current condition." *12<sup>th</sup> European Microwave Conf.* pp. 451-456.

Eastman Lester F. y Mishra Umesh K., 2002, "The Toughest Transistor", *IEEE Spectrum Magazine*. 39 (5): 28-33 p.

Jacobs B. 2004 “Towards Integrated AlGaN/GaN Based X-Band High-Power Amplifiers.” *Tesis de doctorado en ingeniería. Technische Universiteit Eindhoven.* 1-12 p.

Jarndal A. y Kompa G. 2005, “A new small signal model parameter extraction method applied to GaN devices,” *IEEE Transactions on Microwave Theory and Techniques.* 53 (11): 3340-3448 p.

Johnson J.W., Gao J., Lucht K., Williamson J., Strautin C., Riddle J., Therrien R., Rajagopal P., Roberts J.C., Vescan A., Brown J.D., Hanson A., Singhal S., Piner E.L., y Linthicum K. J. 2004, “Material, process, and device development of GaN-based HEMTs on silicon substrates,” *Nitronex Technical Papers.* No publicado.

Khalaf Y. A. 2000, “Systematic optimization technique for MESFET modeling,” *Ph.D. dissertation, Dept. Elect. Eng., Virginia Polytech. Inst. and State Univ., Blacksburg, VA.* 1-132 p.

Lee K. W., Lee K., Shur M. S., Vu T. T., Roberts P. C. T., y Helix M.J. 1985, “Source, drain, and gate series resistances and electron saturation velocity in ion-implanted GaAs FET’s,” *IEEE Trans. Electron Devices.* 32 (5): 987-992 p.

Lenk F. y Doerner R., 2000 “Improved Parameter Extraction of Small-Sized FETs for Low-Power Applications.” *IEEE MTT-S Digest.* 1389-1392 p.

Loo Yau J. R. 2001 “Desarrollo de Modelos No Lineales de Transistores de GaAs para el Diseño de Amplificadores de Potencia de Alta Eficiencia” *Tesis de Doctorado en Ciencias, Centro de Investigación Científica y de Educación Superior de Ensenada. Ensenada B.C.* 37-59 p.

Lu Shey-Shi, Meng Chinchun, Chen To-Wei, y Chen Hsiao-Chin. 2001 “The Origin of the Kink Phenomenon of Transistor Scattering Parameter  $S_{22}$ .” *IEEE Trans. on Microwave Theory and Techniques.* 49(2): 333 – 340 p.

Ooi B.L. y Ma. J. Y. 2003, “An Improved but Reliable Model for MESFET Parasitic Capacitance Extraction.” *IEEE MTT-S Digest.* 8-10 Junio, 567-570 p.

Reynoso-Hernández J.A. 2006, “Curso de modelos lineales, no lineales y de ruido de transistores de microondas.” *Curso impartido en el departamento de electrónica y telecomunicaciones en el área de altas frecuencias, CICESE.* No publicado.

Reynoso-Hernández J.A. 2004, “On-wafer LRM calibration technique using a non-reflecting lossy line of arbitrary length,” *63<sup>rd</sup> ARFTG Conference Digest.* Junio 11, 205-210 p.

Reynoso-Hernández J.A., Ramirez-Duran B., Ibarra-Villaseñor J. y Perdomo J. 1997. "Reliable RF Techniques for Extracting Parasitic Elements in Microwave FETs" *International IEEE Workshop on Experimentally Based FET Device Modeling & Related Nonlinear Circuit Design*. 1.1, 1.8 p.

Reynoso-Hernandez J. A., Rangel Patiño F. E., y Perdomo J. 1996, "Full RF Characterization for Extracting the Small-Signal Equivalent Circuit in Microwave FETs," *IEEE Trans. Microwave Theory Tech.*, 44 (12): 2625-2633 p.

Trew R.J., Bilbro G.L., Kuang W., Liu Y., y Yin H. 2005, "Microwave AlGaIn/GaN HEMTs", *IEEE Microwave Magazine*, 6 (1): 56-66 p.

White Paul y Healy Richard M. 1993, "Improved equivalent circuit for determining of MESFET and HEMT parasitic capacitances from "cold-FET measurements," *IEEE Microwave and guided wave letters*, 3 (12): 453-454 p.

Zárate-de Landa Andrés, Zúñiga-Juárez J. E, Reynoso-Hernández J. A, Maya-Sánchez M.C., Piner E.L., y Linthicum K.J. 2007, "A new and better method for extracting the parasitic elements of on-wafer GaN transistors," *IEEE MTT-S Digest. Int. Microwave Symp, Honolulu, Hawai'i* , 3-8 Junio, 791-794 p.

## Apéndice A.

---

---

### A.1 Analizador de Redes Vectorial HP5810.

El analizador de redes vectorial HP8510 mide características en magnitud y fase de redes y de componentes como filtros, amplificadores, atenuadores, y antenas.

#### Características:



Temperatura de almacenamiento de  $-40^{\circ}\text{C}$  a  $+75^{\circ}\text{C}$ .  
Temperatura de operación de  $5^{\circ}\text{C}$  a  $40^{\circ}\text{C}$ . La temperatura de operación óptima es  $23^{\circ}\text{C} \pm 3^{\circ}\text{C}$ . Para que una calibración permanezca completamente confiable, la temperatura del analizador de redes debe permanecer con  $\pm 1^{\circ}\text{C}$  alrededor de la temperatura de

calibración.

**Número de puntos por barrido:** Seleccionable como 51, 101, 201, 401, o 801 puntos.

**Tiempo de barrido:** El mínimo tiempo de barrido es automáticamente seleccionado, dependiendo del número de puntos por barrido. El tiempo de barrido mayor puede ser seleccionado por el usuario de 0.1 a 100 segundos.

**Corrección de error:** Es el proceso matemático de remover de las mediciones aquellos errores sistemáticos determinados por la calibración.

**Tipos de calibración disponibles:** Calibración de un puerto, de dos puertos, de dos puerto completa (full two-port o tradicional), TRL (Thru-reflect-line), LRM (Line-reflect-match), calibración adapter removal.

**Tipo de monitor:** A color de 7.5” diagonal. Se pueden seleccionar entre 16 colores posibles.

La configuración del sistema consiste de un sintetizador, un test set, y el despliegue/procesador.

**Sintetizador:** Proporciona la fuente de señal de RF.

**Test set:** El test set separa la señal producida por la fuente en una señal incidente y una señal reflejada que son comparadas posteriormente.

**Despliegue/procesador:** Este procesa las señales y despliega los resultados en una variedad de formatos.

## **A.2 Máquina de Puntas Summit 9000.**

La estación SUMMIT 9000 consta de controladores de posición en los ejes X Y y Z, los cuales manejan una alta precisión (una milésima) en la medición, y controlan el nivel coplanar para hacer que el plano esté completamente horizontal y evitar dañar las puntas de prueba. La base tiene una manivela que permite movimiento hacia arriba y hacia abajo para manipular las puntas libremente y de una manera uniforme. Esta base también tiene un microscopio de graduación variable y una cámara que muestra la imagen en un monitor, lo cual permite observar con máximo detalle los componentes a medir, así como ajustes de iluminación para modular la intensidad de luz que recibe el dispositivo bajo prueba.

Cuenta con una bomba de vacío que permite crear vacío en la base y sujetar el dispositivo para fijarlo y evitar mediciones erróneas. Para caracterizar este tipo de transistores se necesitan puntas de prueba coplanares para colocar sobre las guías de onda coplanares de

las terminales del transistor. Este tipo de puntas tienen un conector coaxial por un extremo y un coplanar por el otro. Las puntas que se utilizan tienen cierta flexibilidad, pero se debe tener cuidado de no romperlas. La máquina de puntas SUMMIT 9000 (Analytical Probe Station) al conectarse a un analizador de redes permite caracterizar dispositivos sobre oblea.

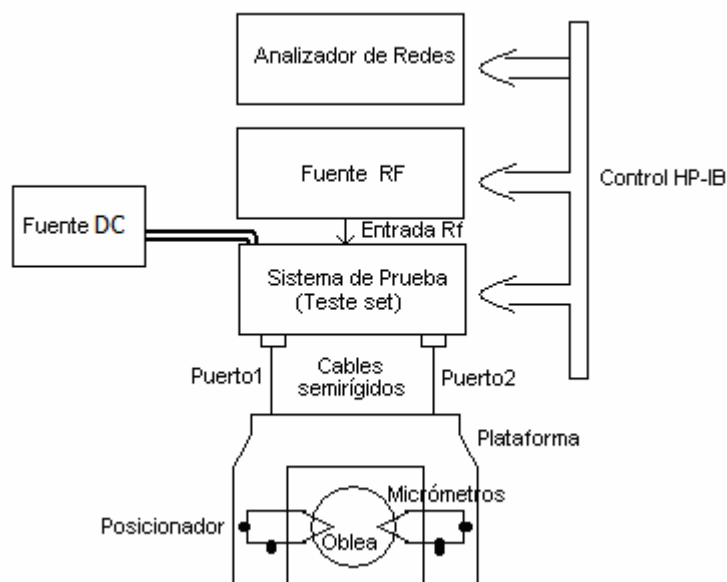


Figura A1 Sistema de caracterización para “oblas.”

## Apéndice B.

### Sistema de Mediciones.

Para poder realizar el cálculo de los parámetros extrínsecos e intrínsecos del transistor se debe hacer mediciones en directo, inverso y con polarización. A continuación se muestra a detalle cada uno de los bancos de medición

#### B.1 Mediciones en Directa ( $V_{gs} > V_{bi} > 0$ ; $V_{ds} = \text{flotante}$ )

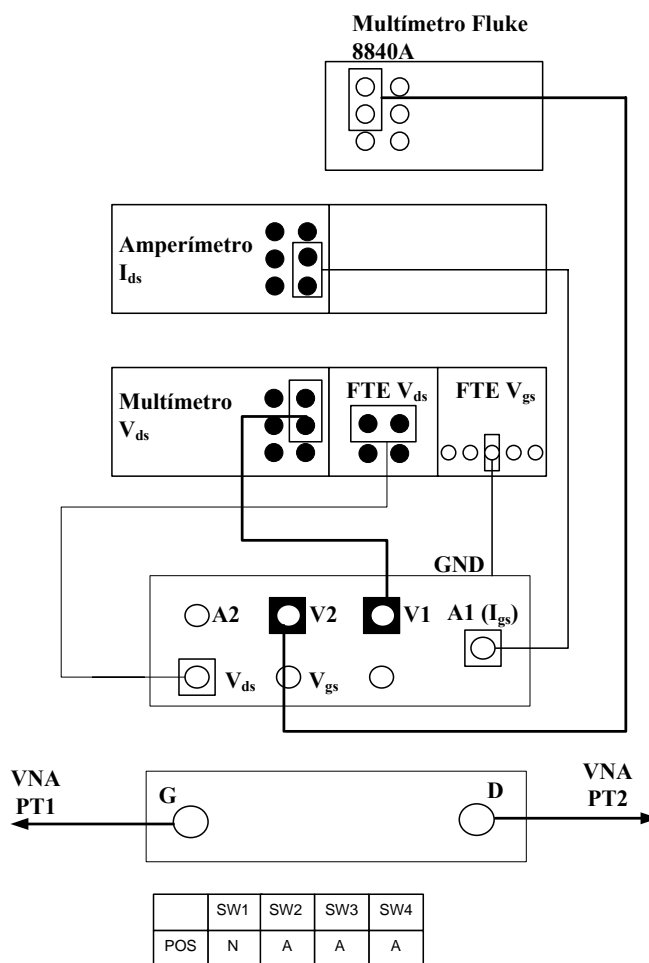


Figura B1 Banco de Mediciones en Directa.



## B.2 Mediciones en Inversa ( $V_{gs} < V_p$ ; $V_{ds} = 0$ )

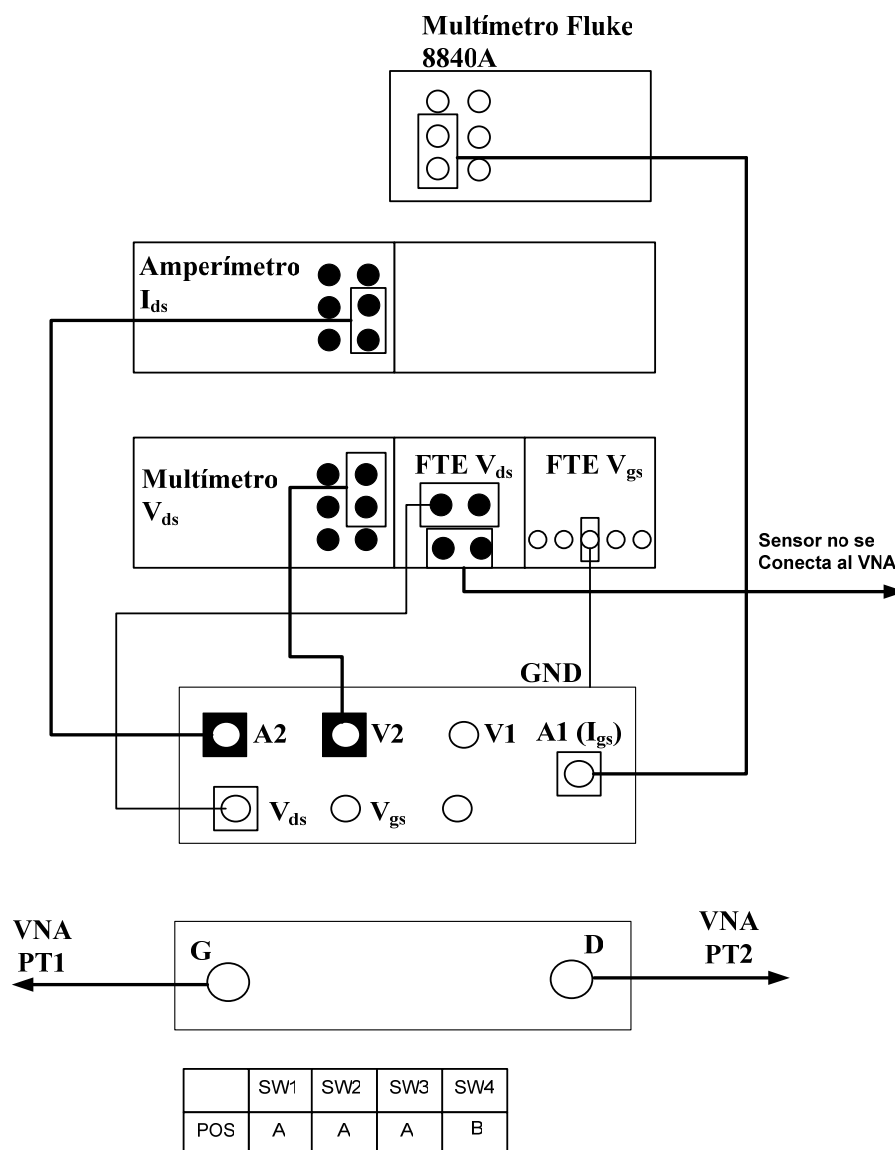


Figura B2 Banco de Mediciones en Inversa.

### B.3 Mediciones a Diferentes Puntos de Polarización

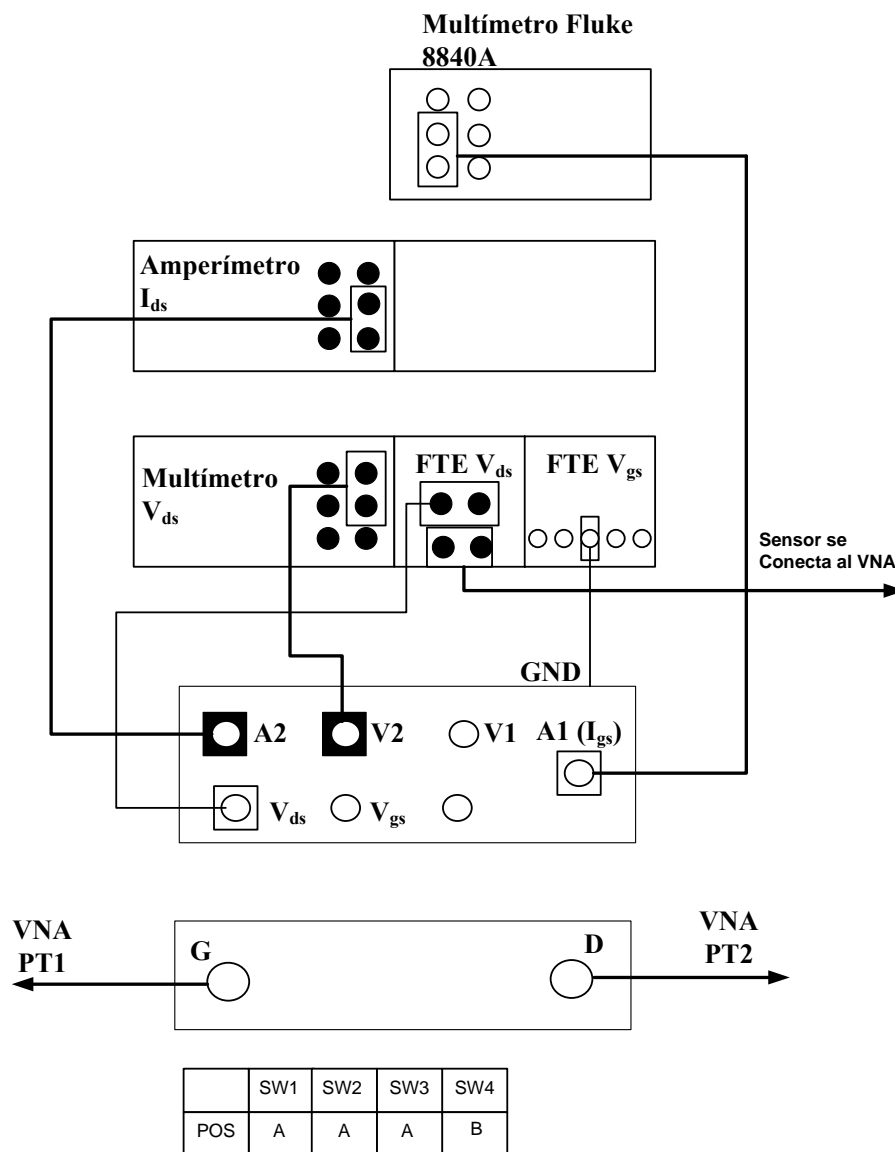


Figura B3 Banco de Mediciones a diferentes puntos de polarización.