

**Centro de Investigación Científica y de
Educación Superior de Ensenada**



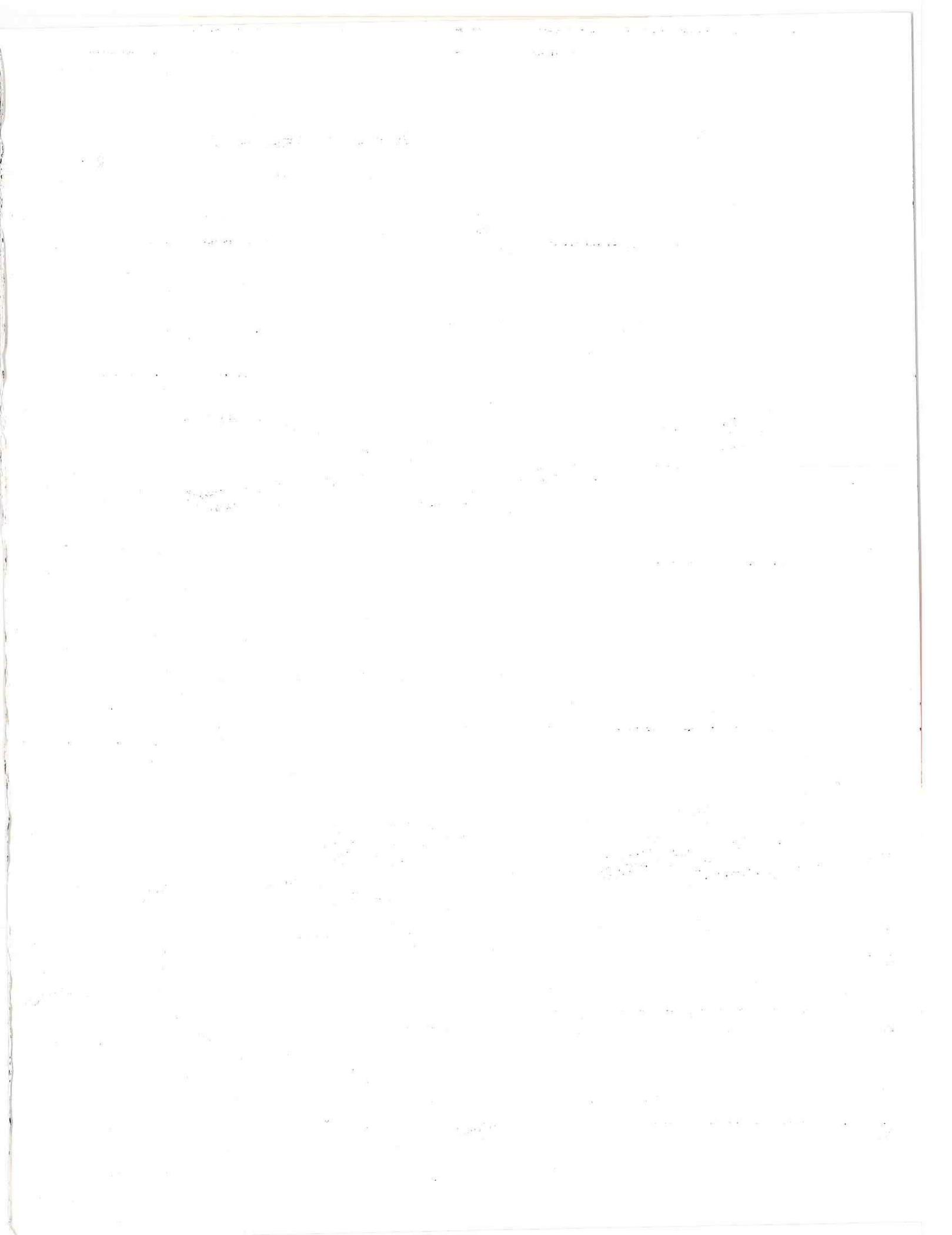
**ESTUDIO DE LAS PROPIEDADES DE CONDUCCION
DEL DISPOSITIVO AI/SILICIO RICO EN SILICIO/SI,
Y SU POSIBLE APLICACION A CELDAS DE
ENTRADA/SALIDA DE CIRCUITOS INTEGRADOS.**

TESIS

DOCTORADO EN CIENCIAS

MARIANO ACEVES MIJARES

ENSENADA B.C. MEXICO DICIEMBRE DE 1996



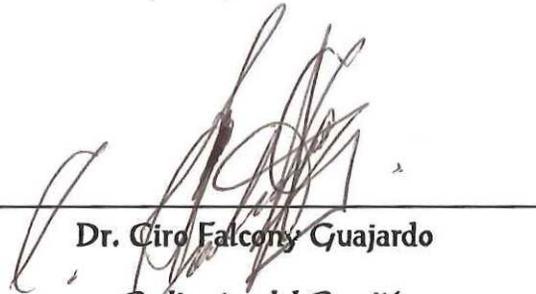
TESIS DEFENDIDA POR
MARIANO ACEVES MIJARES

Y APROBADA POR EL SIGUIENTE COMITE



Dr. J. Apolinar Reynoso Hernández

Codirector del Comité



Dr. Ciró Falcony Guajardo

Codirector del Comité



Dr. Juan Luis del Valle Padilla

Miembro del Comité



Dr. Joaquín Álvarez Gallegos

Miembro del Comité



Dr. Francisco Javier Ocampo Torres

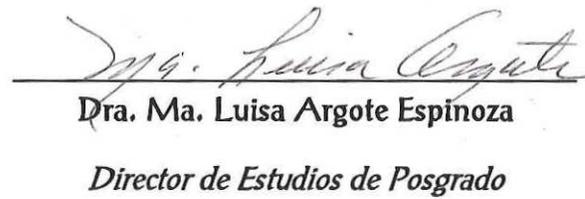
Miembro del Comité



Dr. José Luis Medina Monroy

Jefe del Departamento de Electrónica y

Telecomunicaciones



Dra. Ma. Luisa Argote Espinoza

Director de Estudios de Posgrado

2 de diciembre de 1996

**CENTRO DE INVESTIGACIÓN CIENTÍFICA Y DE EDUCACIÓN
SUPERIOR DE ENSENADA**

DIVISIÓN DE FÍSICA APLICADA

DEPARTAMENTO DE ELECTRÓNICA Y TELECOMUNICACIONES

**ESTUDIO DE LAS PROPIEDADES DE CONDUCCIÓN
DEL DISPOSITIVO Al/SILICIO RICO EN SILICIO/Si, Y
SU POSIBLE APLICACIÓN A CELDAS DE
ENTRADA/SALIDA DE CIRCUITOS INTEGRADOS.**

TESIS

**que para cubrir parcialmente los requisitos necesarios para obtener el
grado de**

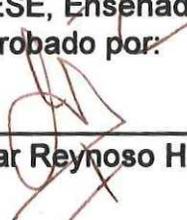
DOCTOR EN CIENCIAS presenta:

MARIANO ACEVES MIJARES

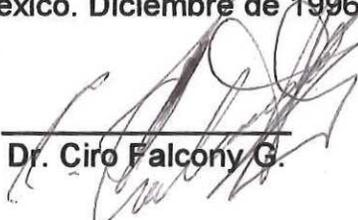
Ensenada, Baja California, México. Diciembre de 1996

Resumen de la tesis de Mariano Aceves Mijares, presentada como requisito parcial para obtener el grado de Doctor en Ciencias en Electrónica y Telecomunicaciones. CICESE, Ensenada, Baja California, México. Diciembre de 1996.

Resumen aprobado por:



Dr. J. Apolinar Reynoso H.



Dr. Ciro Falcony G.

**ESTUDIO DE LAS PROPIEDADES DE CONDUCCIÓN DEL DISPOSITIVO
AL/SILICIO RICO EN SILICIO/SI, Y SU POSIBLE APLICACIÓN A
CELDAS DE ENTRADA/SALIDA DE CIRCUITOS INTEGRADOS.**

Resumen:

En este trabajo se estudian las características de conducción eléctrica de la estructura Al/SRO/Si con la intención de aplicarla en protecciones de entrada y salida de circuitos integrados. Estudiamos las características corriente contra voltaje y capacitancia contra voltaje (I-V y C-V) de estructuras Al/SRO/Si. El SRO se depositó sobre obleas de silicio mediante la técnica de depósito químico en fase vapor (CVD). El exceso de silicio se controló mediante la razón (R_o) de presiones parciales de los gases reactantes. Se estudiaron estructuras con varios R_o 's, diversas concentraciones de sustrato y tipo P y N.

A diferencia de estudios realizados hasta la fecha, se hicieron mediciones considerando que el SRO es un material que puede atrapar carga. De esta forma se hicieron curvas I-V y C-V con muestras vírgenes, es decir, como terminaron el proceso de fabricación. También con muestras que fueron sometidas a un esfuerzo de voltaje, es decir, se cargaron las trampas del SRO, e inmediatamente después se hicieron las mediciones I-V y C-V.

Se hicieron mediciones de la respuesta en frecuencia del dispositivo Al/SRO/Si. Para esta prueba se usó al dispositivo como parte de un circuito pasa altas. Se midió la ganancia y la fase en función de la frecuencia. Los dispositivos fueron sometidos a picos de voltaje. Para esta tarea se usó el modelo del cuerpo humano. Las estructuras fueron capacitores y pads. Los capacitores fueron de área más grande que el de las estructuras de tipo pad. Los pads a su vez se dividieron en dos tipos: con conexión a compuertas de transistores y sin ésta.

Las características de capacitancia contra voltaje muestran sistemáticamente una variación de la capacitancia en inversión, además de los corrimientos característicos del atrapamiento de carga. Esta variación se explicó como un intercambio de carga entre la región de inversión en la superficie del Si y la carga atrapada en el SRO. Se propusieron dos métodos de estimar lo que hemos llamado la densidad de trampas activas. De la capacitancia en acumulación se estimó la constante de permitividad. A partir de ésta se obtuvo (en conjunto con otro tra-

bajo) un método para determinar el exceso de silicio en el SRO.

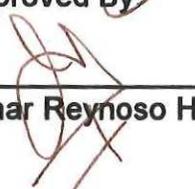
De las gráficas I-V se encontraron tres componentes de corriente: la primera se presenta a bajos voltajes y es debida al intercambio de carga entre el SRO y el silicio esta componente puede ser de signo contrario a lo esperado. La segunda componente se debe a la corriente de desplazamiento propia de un capacitor, y dependiendo de la rapidez de cambio del voltaje dominará, o no, sobre la de intercambio. Por último, el régimen de alta corriente que se alcanza después del voltaje de encendido V_{on} , en este caso la corriente se debe al arrastre de electrones que tunelean a través de las islas de silicio. Esta componente está controlada por las características de conducción del SRO. La corriente es altamente dependiente del tipo, concentración del sustrato y de la R_o . El SRO al cargarse puede llevar a la superficie del silicio a estados que proveen los portadores necesarios para que se produzca la conducción, es decir, el régimen de alta corriente es dependiente en los portadores que se encuentran en la superficie del Si. Experimentalmente se encontró que el régimen de alta corriente se puede saturar. En el estado de saturación de corriente se pueden soportar campos eléctricos muy grandes. La saturación depende del tipo y concentración del sustrato y de la R_o .

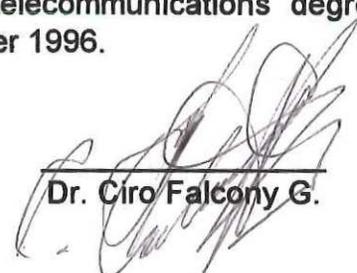
Experimentalmente se encontraron los siguientes modos de funcionamiento del dispositivo: como un capacitor MOS tanto en equilibrio como fuera de este; como un conductor con voltaje de encendido variable; como un capacitor que hace contacto a una unión P-N inducida. El funcionamiento de uno u otro modo depende del tipo y concentración del sustrato y de la R_o . Para explicar los diferentes modos de funcionamiento se propone que al dispositivo Al/SRO/Si como un nuevo dispositivo al que hemos llamado Capacitor-N-P. A partir de las características de corriente del Capacitor-N-P se propone un método para calcular el tiempo de vida de recombinación y la concentración del sustrato.

Del estudio de respuesta a la frecuencia y voltajes de rompimiento del dispositivo se encontró que éste soporta voltajes de rompimiento más altos que el del SiO_2 . También se demostró experimentalmente que cuando el dispositivo se coloca en un pad de entrada, sí proporciona protección contra picos de voltaje. Sin embargo, se debe de realizar todavía bastante trabajo para optimizar la estructura de forma que se alcancen voltajes más altos y mejor respuesta a la frecuencia.

Mariano Aceves Mijares' Thesis abstract, as partial requirement to obtain the "Doctor en ciencias" in electronics and telecommunications degree. CICESE, Ensenada Baja California, México. December 1996.

Abstract approved By:


Dr. J. Apolinar Reynoso H.


Dr. Ciro Falcony G.

RESEARCH ON THE CONDUCTION PROPERTIES OF THE AL/SILICON RICH OXIDE/SI, AND THE POSSIBILITY OF APPLY IT AS AN INPUT/OUTPUT CELL IN INTEGRATED CIRCUITS.

In this work we study the conduction properties of the Al/SRO/Si structure aiming at determining if it is possible to use the structure as an input/output protection cell. It was studied the I-V and C-V characteristics of the Al/SRO/Si structure. The SRO was deposited on silicon wafers by CVD, and the excess of silicon was controlled by the ratio R_o of the partial pressure of the reactant gases. Different R_o 's, and different substrate's type and concentrations, were used.

In this work a non-traditional approach was used to study these devices. The SRO is a memory material, that is, it traps charge. To see the effects of the trapped charge on the I-V and C-V characteristics, the samples were studied both as they were at the conclusion of fabrication process and after voltage stress was applied to charge the SRO before the current and capacitance were measured.

The frequency response of the device as a part of an RC circuit was also measured. That is, the gain and the phase as a function of the frequency was measured.

Using the Human Body Model, the device was tested against voltage peaks. Two types of devices were studied: Pads that were formed by Al/SRO/Si and were connected to the Gate of transistors, and unconnected capacitors also made with Al/SRO/Si structures with two different areas.

We found, experimentally, that the C-V curves show, besides the normal flat band shifting due to trapped charge, a variation of the inversion capacitance as an effect of the trapped charge. This effect was explained as the exchange of charge between the surface and the SRO. From these experimental results, two methods were proposed to estimated the density of what we call the "active traps".

The capacitance in accumulation was used to calculate the SRO permittivity. Using the permittivity, a method to estimate the SRO excess of silicon was proposed (this was the result of another joint project). It is important to mention that a big variation was observed for the experimental results related to Al/SRO/Si. So to have accurate results it is necessary to measure a large quantity of samples,

in such a way that the average really represents the population measured.

For the I-V curves, three current components were found. They are the exchange component due to the exchange of charge between the silicon surface and the SRO charge; the normal displacement component; and the high regime current. The first two are observed at low voltages, and depending on the rate of change of the voltage ramp, one or another will dominate. The third one is present after a turn on voltage V_{on} is reached, and is dominated by tunneling through the silicon islands in the SRO.

It was also found that the surface charge will provide the electrons to sustain the current, but the charge trapped in the SRO will affect the surface charge. So the current is altered by the trapped charge in the SRO. Experimentally, it was observed that the high regime current can saturate. The saturation is related to the R_o and the characteristics of the substrate.

The following characteristics of the device's behavior were verified experimentally: It behaves as an MOS capacitor in and out of equilibrium, also as a conductor with variable V_{on} , and as a device that makes contact to an induced P-N junction. The behavior depends on the SRO R_o and the type and concentration of the substrate. As a device that makes contact to an induced P-N junction, we propose a method to estimate the generation life-time and the concentration of the substrate.

Due to the different behavior of the Al/SRO/Si, the structure is proposed as a new device that we call the Capacitor-N-P. It behaves as an MOS capacitor in and off equilibrium, as a conductor with a variable V_{ON} and as a capacitor that has a contact to an induced P-N junction.

Also as an experimental result, it was found that the breakdown voltage of the Capacitor-N-P is higher than the breakdown voltage of the gate oxide, and that the Al/SRO/Si structure positively protects the gate oxide from ESD. However, more work has to be done to increase the breakdown voltage and to improve the frequency response.

PARA:

Rita, Rita Marina, Rodrigo y Mariana.

AGRADECIMIENTOS

Este trabajo no puede estar completo sin reconocer la ayuda que desinteresadamente me dieron todos mis buenos amigos, y sin la cual no hubiera sido posible realizar este trabajo. Quiero hacer patente mi más sincero agradecimiento a todos ellos, y pidiendo disculpas anticipadamente por la imposibilidad de mencionarlos a todos y por las omisiones involuntarias que pudiera cometer, permítanme mencionar a:

Dr. **Ciro Falcony G.**, codirector de tesis.

Dr. **J. Apolinar Reynoso Hernandez**, codirector de tesis.

Dr. **Juan Luis del valle**.

Dr. **Joaquín Alvarez G.**

Dr. **Francisco Ocampo**.

Dr. **Alfonso Serrano Perez-Grovas**.

Dr. **Manuel Corona G.**

Dr. **Alejandro Cornejo**.

Dr. **Wilfrido Calleja**.

M.C. **Jorge Pedraza Ch.**

M.C. **Ricardo Perez B.**

Químico **Pablo Alarcon P.**

Técnico **Mauro Landa**.

Técnicos del Laboratorio de Microelectrónica del INAOE, y Prestadores de Servicio Social bajo mi dirección.

Miembros del Comité Consultivo Interno del INAOE.

Miembros de los Departamentos de Electrónica y Comunicaciones, y de Servicios Escolares del CICESE.

Agradezco también el apoyo económico brindado por CONACyT.

CONTENIDO

I Introducción	Pag.
I.1 Antecedentes	1
I.1.1 Silicio Policristalino Semi-Aislante	1
I.1.2 Óxido de Silicio Rico en Silicio	3
I.1.3 Características eléctricas de estructuras duales	10
I.1.4 Resumen de los antecedentes más importantes	15
I.2 Aplicaciones del Óxido de Silicio Rico en Silicio	16
I.3 Objetivo de este trabajo	20
 II. CARACTERÍSTICAS ELÉCTRICAS DE ESTRUCTURAS SIMPLES CON SRO, RESULTADOS EXPERIMENTALES	
II.1 Análisis en DC	23
II.1.1 Preparación de las muestras	23
II.1.2 Mediciones C-V	28
II.1.3 Mediciones I-V	31

II.1.4 Cálculos de E_{on} y ϵ	39
II.1.5 Pruebas en DEIS	45
II.2 Análisis en AC	47
II.2.1 Medidas en capacitores	48
II.2.1.1 Respuesta a la frecuencia	48
II.2.1.1.1 Modelo simple de la estructura Al/SRO/Si	53
II.2.1.2. Prueba de voltaje de rompimiento	57
II.2.2 Mediciones en pads	60
II.2.2.1. Respuesta en frecuencia	60
II.2.2.2. Prueba de voltaje de rompimiento	64
II.3 Pruebas en otras estructuras	70
II.3.1 Capacitores de óxido térmico	70
II.3.2 Estructuras con inyectores	70
II.3.2.1 Estructuras abruptas de Al/Poli-Si/SRO₃/SRO₁₀/SiO₂/Si	70
II.3.2.2 Estructuras graduales (DEIS)	72
II.3.2.3 Estructuras con SRO₁₀	76

III DISCUSIÓN DE LOS RESULTADOS EXPERIMENTALES

III.1 Discusión de los resultados de las mediciones en DC	79
III.1.1 Curvas C-V	79
III.1.1.1 Substratos tipo N	80
III.1.1.1.1 Esfuerzo positivo.	80
III.1.1.1.2 Esfuerzo negativo.	82
III.1.1.2 Substratos tipo P	82
III.1.1.2.1 Esfuerzo positivo.	82
III.1.1.2.2 Esfuerzo negativo.	83
III.1.2 Estimación de las trampas activas en el SRO a partir de las curvas C-V	83
III.1.3 Estimación del exceso de silicio en el SRO a partir de la constante de Permitividad	86
III.1.4 Curvas I-V	88
III.1.4.1 Régimen de voltaje y corrientes bajas	88
III.1.4.1.1 Esfuerzo positivo	89

III.1.4.1.2 Esfuerzo negativo	92
III.1.4.2 Régimen de alta corriente	94
III.1.4.2.1 Substrato tipo P	94
III.1.4.2.1.1 Rampa Positiva	95
III.1.4.2.1.1.1 Efecto de la concentración del sustrato	104
III.1.4.2.1.1.2 Efecto de la R_o	104
III.1.4.2.1.1.3 Efecto del grueso y la calidad del SRO	106
III.1.4.2.1.2 Rampa negativa	107
III.1.4.2.2 Substrato tipo N	108
III.1.4.2.2.1 Rampa positiva.	108
III.1.4.2.2.2 Rampa negativa	108
III.2. Voltaje de rompimiento y respuesta a la frecuencia	110
III.3. Capacitor N-P	116
IV CONCLUSIONES	
IV.1 Resultados obtenidos en este trabajo	118

IV.1.1 Mediciones I-V y C-V	118
IV.1.2 Análisis en AC	120
IV.1.3 Otros resultados laterales	121
IV.1.4 SRO en protecciones de entrada y salida de circuitos integrados	122
IV.2 Estudios propuestos para trabajo futuro	127
IV.2.1 Mejoras necesarias para la protección de entrada	127
IV.2.2 Estudios de las características del Capacitor-N-P	129
IV.2.3 Otras aplicaciones del SRO	130
LITERATURA CITADA	131
Apendice	135
Artículos publicados	

Lista de figuras

Figuras	Pag.
1. Modelo como de mosaico para el SIPOS.	3
2. Diagrama de bandas mostrando los diferentes mecanismos de inyección desde el SRO hacia el óxido de Si.	6
3. Diagrama de bandas para silicio implantado en SiO ₂ cuando existe un campo eléctrico aplicado, [Kalnitsky et al., 1990].	8
4. Gráfica I-V punto a punto para una estructura dual, se muestra también la curva I-V de un capacitor MOS de referencia, es decir, sin inyector, el cual requiere más voltaje para alcanzar la misma corriente. [DiMaria 7].	12
5. Curva C-V para una estructura dual. [Lai 1]	13
6. Estructura de inyección dual (DEIS), [DiMaria et al., 1980].	17
7. Curvas C-V típicas para una estructura Al/SRO/Si con (a) substrato tipo N, y (b) substrato tipo P. La curva marcada 0 significa que la muestra era virgen, ± 100 indica que la muestra fue sometida a ± 100 volts de esfuerzo.	30
8. Comparación de I-V para tres estructuras simples.	34
9. Curvas típicas para una estructura simple con substrato N y $1 \times 10^{15} \text{ cm}^{-3}$. SRO ₂₃ .	35
10. Curvas típicas para una estructura simple con substrato P y $1 \times 10^{16} \text{ cm}^{-3}$. SRO ₂₃ .	36
11. Curvas típicas para una estructura Al/SRO/Si con substrato tipo N y $1 \times 10^{18} \text{ cm}^{-3}$. SRO ₂₃ .	37
12. Curvas típicas para una estructura Al/SRO/Si con substrato tipo P y $1 \times 10^{18} \text{ cm}^{-3}$. SRO ₂₃ .	38

Lista de figuras

Figuras	Pag.
13. <i>Curvas típicas para una estructura Al/SRO/Si con substrato tipo P y grueso del SRO de 2000 Å. SRO₂₃.</i>	40
14. <i>E_{on} en función de la concentración del substrato.</i>	44
15. <i>Relación I-V para una estructura Al/Ro 3+R 23+ Ro 3/Si, DEIS, con substrato N Y P. Las mediciones y la notación es la misma que para estructuras simples.</i>	46
16. <i>Circuito pasa altas para estudiar los efectos de la frecuencia en el DUT.</i>	49
17. <i>Gráficas ganancia y fase contra frecuencia típicas para un dispositivo Al/SRO/Si, usando el circuito de la figura 16.</i>	50
18. <i>Magnitud de la impedancia y la fase para el DUT en función de la frecuencia.</i>	54
19. <i>Modelo simple de la Z equivalente del DUT.</i>	55
20. <i>Parte real e imaginaria de la admitancia.</i>	56
21. <i>Comparación de resultados experimentales y de simulación.</i>	58
22. <i>Circuito, para el modelo del cuerpo humano (a), usado para someter las muestras a picos de alto voltaje, y (b) voltajes de rompimiento obtenidos al someter el DUT a este circuito.</i>	59
23. <i>Ganancia y fase para los pads Z y 21 probados usando el circuito de la figura 16. (a) grueso del SRO 660 Å. (b) grueso del SRO 1020 Å.</i>	62
24. <i>Conexión de los pads unidos a transistores, se buscó que la trayectoria a tierra tuviera más posibilidades de dañar a la compuerta del transistor.</i>	65

Lista de figuras

Figuras	Pag.
25. <i>Voltaje de los picos que produce rompimiento destructivo del SRO en los pads no conectados. El campo en MV/cm se muestra sobre las barras.</i>	67
26. <i>Voltaje de los picos que produce rompimiento destructivo del SRO en los pads conectados a transistores. El campo en MV/cm se muestra sobre las barras.</i>	68
27. <i>Comparación de los pads Z y 21, (a) porcentaje de muestras. por oblea, que rompen con voltaje positivo o negativo, (b) máximo voltaje de rompimiento alcanzado por oblea.</i>	69
28. <i>Respuesta a la frecuencia cuando el DUT es un capacitor de óxido térmico.</i>	71
29. <i>Respuesta a la frecuencia de los dispositivos abruptos.</i>	73
30. <i>Voltaje de rompimiento de las estructuras DEIS. P1AA y N2AA son cuadros de área de $1.5 \times 10^{-5} \text{ cm}^2$. P3AA y N2AA son círculos de aproximadamente 2 mm de diámetro.</i>	74
31. <i>Respuesta a la frecuencia de los DEIS. P1AA y N2AA son cuadros de área de $1.5 \times 10^{-5} \text{ cm}^2$. P3AA y N2AA son círculos de aproximadamente 2 mm de diámetro.</i>	75
32. <i>Ganancia y fase para un capacitor con $R_0 = 10$.</i>	77
33. <i>Voltaje de los picos aplicados al dispositivo utilizando el modelo del cuerpo humano. Sobre las barras se muestra el campo eléctrico en MV/cm.</i>	78
34. <i>Esquema simplificado del dispositivo Al/SRO/Si sometido a esfuerzo positivo y negativo.</i>	81

Lista de figuras

Figuras	Pag.
35. <i>Región de baja corriente de las curvas I-V del dispositivo Al/SRO /Si, (a) Ro 30 y (b) Ro 23.</i>	90
36. <i>Gráfica C-V que muestra dos mínimos, uno debido a la capacitancia de la región vacía en el capacitor MOS, y el otro debido a la unión P-N en inversa.</i>	99
37. <i>Gráfica $1/C^2$ vs. V y regresión lineal de los datos en la región de interés.</i>	100
38. <i>Curvas I-V, C-V y $1/C^2$-V para la muestra P3K, de esta curva se obtuvo $N_a=4.3 \times 10^{16} \text{ cm}^{-3}$.</i>	103
39. <i>Esta figura muestra la gráfica I-V para la oblea N2J.</i>	111
40. <i>Circuito utilizado para simular el comportamiento del Capacitor-N-P como pad de entrada</i>	124
41. <i>Resultados de simulación del circuito de la figura 40 en función de la frecuencia, y al aplicar un transitorio en la entrada. También se simuló la respuesta a la frecuencia sin el diodo D.</i>	125
42. <i>Protección de entrada propuesta.</i>	126

Lista de Tablas

tabla	Pag.
<i>I. Detalles de las muestras preparadas, Ro 23.</i>	25
<i>II. Campo eléctrico promedio, E_{on}, y Permitividad, ϵ.</i>	40
<i>III. Campo eléctrico, E_{on}, y Permitividad, ϵ, Ro 23</i>	42
<i>IV. Nomenclatura de los pads usados.</i>	61
<i>V. Densidad de trampas activas en el SRO calculadas de las curvas C-V.</i>	85
<i>VI. Exceso de silicio en función de Ro.</i>	88
<i>VII. Tiempo de vida para algunas muestras calculadas a partir de las curvas I-V.</i>	98
<i>VIII. Densidad de corriente para el DUT en A/cm^2.</i>	113

ESTUDIO DE LAS PROPIEDADES DE CONDUCCIÓN DEL DISPOSITIVO AL/SILICIO RICO EN SILICIO/SI, Y SU POSIBLE APLICACIÓN A CELDAS DE ENTRADA/SALIDA DE CIRCUITOS INTEGRADOS.

I INTRODUCCIÓN

I.1 Antecedentes

I.1.1 Silicio Policristalino Semi-Aislante

Los óxidos de silicio fuera de estequiometría son una variante del SiO₂ en los cuales se modifica el contenido de silicio, o equivalentemente el contenido de oxígeno. La fórmula SiO₂ ya no es válida y en su lugar se tiene que usar SiO_x, donde x es menor o igual que 2. Se pueden analizar dos casos extremos: cuando x es igual a 2 se obtiene óxido estequiométrico, cuando x es igual a cero obtenemos polisilicio o silicio amorfo. Cuando x está entre 0 y 2, el material obtenido es óxido de silicio fuera de estequiometría originalmente llamado silicio policristalino semi-aislante o SIPOS [Hamasaki *et al.*, 1978; DiMaria y Dong, 1980]. Inicialmente SIPOS fue un sustituto para capas pasivantes en dispositivos planares. El SIPOS se depositaba usando depósito químico en fase vapor (CVD), específicamente depósito químico en fase vapor a presión atmosférica (APCVD), a una temperatura de alrededor de 650 °C. El SIPOS está formado por pequeños granos de silicio y dióxido de silicio en una estructura como de mosaico [Mimura *et*

al., 1985, Bolt y Simmons, 1987], como se muestra en la figura 1. Otra proposición es que cada grano de silicio esté rodeado por óxido aun cuando el contenido de oxígeno sea pequeño, en una estructura como concha. [Ni y Arnold, 1981]. La diferencia básica entre esos dos modelos es que en el caso de la estructura como de mosaico, se supone una mezcla aleatoria de silicio y dióxido de silicio, y es posible que algunos granos de silicio resulten interconectados. En el modelo de Ni, por otro lado, no se acepta que los granos de silicio puedan estar en contacto. Durante el depósito por CVD del SIPOS el contenido de oxígeno se puede controlar con la relación R_o , y puede ser tan pequeño como 10%. R_o se define como la razón de gases reactivos usados en el depósito, normalmente silano y óxido nítrico, sin embargo otros gases se pueden usar. Mas recientemente otras técnicas CVD, como por ejemplo CVD a baja presión (LPCVD), se utilizan para obtener SIPOS.

Un modelo para la conducción en el SIPOS, supone que en equilibrio los niveles de Fermi en los granos y en las fronteras deben alinearse. Esto produce una distribución de electrones. El resultado es una región espacial de carga y un doblamiento de las bandas alrededor de las fronteras de granos. En su forma más simple, la estructura de las bandas puede ser representada por una sucesión de barreras Schottky simétricas. Entonces, la conducción en la capa de SIPOS puede ser tratada como aquella de una barrera simétrica Schottky unidimensional [Tarrg, 1978, Zommer, 1980].

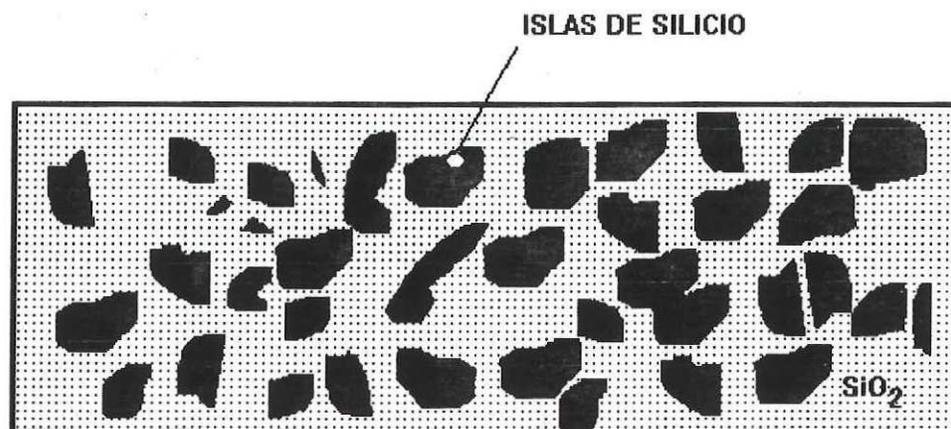


Figura 1. Modelo como de mosaico para el SIPOS.

I.1.2 Óxido de silicio rico en silicio

Algunos investigadores han estudiado al SIPOS desde un punto de vista diferente, en este caso el exceso de silicio es como máximo un 20%. El material obtenido de esta manera es llamado dióxido de silicio rico en silicio o simplemente óxido rico en silicio (SRO). Se puede considerar que la diferencia básica entre SIPOS y SRO es que el SIPOS es polisilicio "contaminado" con oxígeno, y el SRO es oxígeno "contaminado" con Si. El SRO también se obtiene por métodos CVD y la relación entre los gases controla el exceso de silicio [Dong *et al.*, 1978]. En este trabajo usamos silano y óxido nitroso para obtener las capas de SRO en un sistema LPCVD, así que

$$R_0 = \frac{N_2O}{SiH_4}, \quad (1)$$

se usa para controlar el exceso de silicio. Normalmente $R_o < 1$ es adecuado para depositar SIPOS y $R_o \geq 2$ se usa para obtener SRO [Dori *et al.*, 1993]. Se ha reportado que para $R_o = 3$ el exceso de silicio es alrededor del 17% y para $R_o > 100$ se obtiene óxido de silicio estequiométrico. Se han observado dos características del SRO: una es la habilidad para mejorar la conducción eléctrica pasando a través del SiO_2 . La otra es la posibilidad de atrapar carga eléctrica [DiMaria *et al.*, 1980, 1984; DiMaria y Dong, 1980a; Dori *et al.*, 1993]. Como consecuencia de la primera propiedad mencionada, este material es muy usado en memorias eléctricamente alterables donde se requieren bajos voltajes de inyección. Debido a esta aplicación mucho del trabajo que se ha hecho ha sido para SRO depositado sobre SiO_2 térmico o CVD (estructuras duales). Se ha propuesto que la alta inyección de electrones hacia el SiO_2 se debe a campos eléctricos enriquecidos localizados entre las dos fases constitutivas del SRO. En la interface SRO/ SiO_2 , se supone que las islas de silicio inyectan electrones hacia el SiO_2 por el mecanismo de tunelamiento tipo Fowler-Nordheim, como se muestra en la figura 2. La corriente en este caso se compone de:

$$I = C_0 \frac{dV_g}{dt} + J(t)A, \quad (2)$$

donde el primer término se refiere a la corriente de desplazamiento debida a la capacitancia del óxido, C_0 , y el segundo término es la corriente de partículas inyectadas. La corriente de partículas desde la banda de conducción de las islas de

silicio hacia una banda de conducción en el SiO_2 , en la interface SRO/ SiO_2 , se modula como una emisión del tipo Fowler-Nordheim por:

$$J = \frac{q^3 [\chi E(t)]^2}{16\pi^2 \frac{h}{2\pi} \phi_B} \exp\left(\frac{-4(2m^*)^{1/2} \phi_B^{3/2}}{3 \frac{h}{2\pi} \chi |qE(t)|}\right), \quad (3)$$

donde χ es un factor que toma en cuenta el enriquecimiento del campo, ϕ_B es la diferencia de energías entre la banda de conducción del silicio y la banda de conducción del SiO_2 , m^* es la masa efectiva del electrón y h es la constante de Planck.

En una forma abreviada podemos decir, considerando los trabajos de Di-Maria *et al.* y tomando algunos resultados de los trabajos de SIPOS, que el SRO conduce por tuneleo entre las islas de silicio. Su resistividad disminuye cuando el contenido de silicio aumenta, y en contacto con el silicio sus características I-V son no óhmicas. Sin embargo, debido a un gran esfuerzo para entender las propiedades de conducción de capas duales, no se ha prestado suficiente atención a la unión SRO/Si ni se han entendido sus propiedades como una unidad.

Con la implantación de Si en SiO_2 térmico, se añadió nueva información sobre las características eléctricas del SRO y del SRO/Si [Kalnitsky *et al.*, 1990]. Al estudiar la relación I-V para la estructura SRO-implantado/Si, Kalnitsky encontró una región de resistencia dinámica negativa, y esta la explicó suponiendo que el silicio implantado produce trampas profundas en el SiO_2 . Este cambio de signo

en la relación I-V fue también observado en SRO-CVD/Si en este trabajo y será discutido en un capítulo posterior.

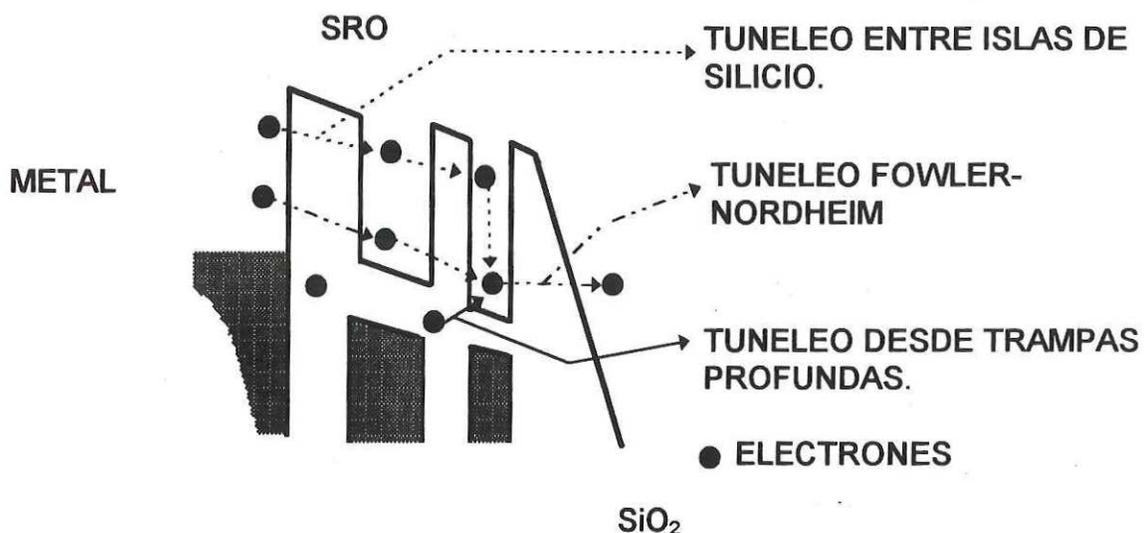


Figura 2. Diagrama de bandas mostrando los diferentes mecanismos de inyección desde el SRO hacia el óxido de Si.

El modelo de trampas también explica la conducción como una función del exceso de silicio implantado. Este modelo supone que el exceso de silicio produce trampas profundas en el SiO_2 y que éstas pueden ser neutras, negativas o positivas si atrapan o donan un electrón. En este caso se toma como referencia las bandas de silicio y colocan las trampas neutras y negativas algunos meV abajo de las bandas de conducción y las trampas positivas algunos meV sobre la misma banda. Cuando se aplica un campo eléctrico, la distribución de los potenciales se distorsiona favoreciendo el tuneleo de electrones entre la banda de sili-

cio y las trampas del óxido, vea la figura 3. El autor analiza la conducción por tunelamiento de electrones desde las bandas de silicio hasta las trampas, desde las trampas cargadas hacia las bandas de silicio; la conducción de electrones desde las bandas de silicio a la banda de conducción del óxido, y el atrapamiento y la liberación de electrones en las trampas de SiO_2 . Proponen que la corriente se modele como:

$$J = J(T) + J_{disp} + J_1 + J_2, \quad (4)$$

donde J_{disp} es la corriente de desplazamiento, J_1 y J_2 son las corrientes producidas como resultado de la transferencia de electrones de izquierda a derecha y viceversa, $J(T)$ es la componente de la corriente que toma en cuenta las variaciones de temperatura y está dada como:

$$J(T) = \frac{4\pi M^* q}{h^2 B^2} \left[\frac{\pi B k T}{\sin(\pi B k T)} \right] \exp(-A q \sqrt{\Psi_a}) \times [1 - \exp(-B q V)], \quad (5)$$

donde M^* y m^* son la masa efectiva del electrón en Silicio y en dióxido de silicio respectivamente, Ψ_a es la altura de la barrera, V es el voltaje aplicado,

$$B = \frac{A}{2q \sqrt{\Psi_a}},$$

$$A = \frac{4\pi}{h(2m^*)^{0.5} \Delta s \cdot \Xi},$$

Δs es la distancia de tuneleo, y $\Xi \approx 1$.

.... NIVEL DE TRAMPAS NEGATIVAS Y NEUTRAS
 oooo NIVEL DE TRAMPAS POSITIVAS

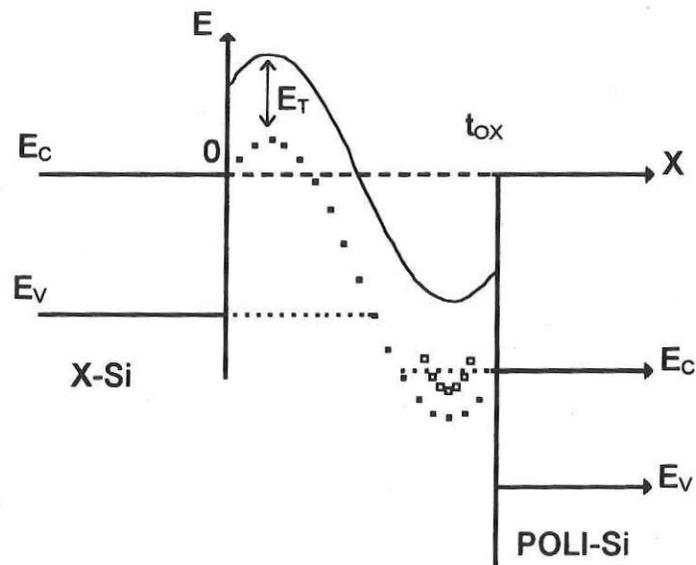


Figura 3. Diagrama de bandas para silicio implantado en SiO_2 cuando existe un campo eléctrico aplicado, [Kalnitsky et al., 1990].

Mas allá de la formulación matemática, la interpretación física sugerida por Kalnitsky para la conducción del dispositivo implantado Si/SRO/polisilicio da una nueva perspectiva para entender la unidad como un diodo. La secuencia de elementos físicos en respuesta a un voltaje positivo fue propuesta por Kalnitsky co-

mo sigue: "Inicialmente, la aplicación de un voltaje eleva la distribución de trampas neutras arriba del nivel de conducción del polisilicio, creando condiciones favorables para el tuneo directo de las trampas neutras hacia el electrodo de compuerta. Esto da por resultado la acumulación de carga positiva cerca del electrodo de compuerta. La carga local distorsiona la distribución de potencial en el SiO_2 . Lo cual a su vez resulta en un mejoramiento de la corriente debida al tuneo directo desde la banda de valencia del silicio hacia las trampas neutras, a la inyección de electrones por tuneo desde la banda de conducción del silicio hacia el SiO_2 , y al atrapamiento de esos electrones inyectados. Un nivel suficientemente alto de inyección hacia el SiO_2 puede dar lugar a una carga acumulada significativa en esta región. El crecimiento de una carga negativa en el SiO_2 causará un decrecimiento en la corriente de transporte durante la bajada de la rampa de voltaje."

En uno de los últimos reportes sobre estructuras del SiO_x Brüesh y sus colaboradores intentaron modelar el SIPOS en un amplio rango de x . Para realizar esto, hicieron un estudio profundo de los elementos constituyentes del material usando técnicas tales como análisis de radiación nuclear (NRA), espectrometría de iones de masas secundarias (SIMS), microscopía electrónica de transmisión de alta resolución (HR-TEM) y espectroscopía de rayos x de fotoelectrones (XPS). Se elaboró el estudio para concentraciones de oxígeno desde 0.3% hasta 49% en muestras vírgenes [Brüesh *et al.*, 1993], esto significa desde SIPOS hasta

cerca de las concentraciones más altas del SRO. Los autores usaron el modelo de conchas, propuesto por Ni, y propusieron que cada grano de silicio está rodeado por una capa interior o concha que consiste de un óxido de transición $\text{SiO}_{0.86}$ y una concha externa de SiO_2 . En el rango de $0.034 < x \leq 0.4$ coexisten granos cristalinos de silicio con silicio amorfo. En este rango cuando x aumenta el silicio cristalino se transforma gradualmente en silicio amorfo. Entonces cuando $x > 0.4$, sólo está presente silicio amorfo, y todos los granos de silicio están separados por SiO_2 , y un óxido de transición $\text{SiO}_{0.86}$. El óxido de transición se encuentra entre los granos y la matriz de SiO_2 .

I.1.3 Características eléctricas de Estructuras Duales

En este capítulo se muestran algunas estructuras que combinan SRO, SiO_2 , Polisilicio, Al, y silicio. Se presentarán las características eléctricas y los resultados más importantes que se han reportado hasta la fecha sobre estas estructuras.

Se conocen como estructuras duales aquellas estructuras que utilizan una capa de SRO en combinación con una de SiO_2 . El SiO_2 puede ser depositado por CVD (Chemical Vapor Deposition), o por cualquier otro método, o puede ser crecido térmicamente. Cuando la capa de SRO tiene una R_0 chica, digamos menor a 10; se le conoce como SEIS (Single Electron Injector Structure). Algunas veces la

capa de óxido de Silicio es substituida por una capa de SRO de Ro alrededor de 30. El nombre de esta estructura proviene de la propiedad que presenta el SRO de mejorar la inyección en el SiO_2 . En este caso la estructura puede ser gradual o abrupta. Una estructura es gradual cuando el depósito de la capa de ambas Ro's se hace durante una sola etapa, es decir, se altera la Ro sin sacar la muestra del horno de depósito. Consideramos una estructura abrupta cuando el depósito de una de las capas, por ejemplo la de Ro 30, se hace primero, y posteriormente se le deposita otra capa de SRO, por ejemplo de Ro 3.

Para entender las características eléctricas de la SEIS nos referiremos principalmente a los trabajos de DiMaria *et al.* Uno de los resultados de estos autores es que, eléctricamente, no hay diferencia entre estructuras graduales o abruptas. Así que en este trabajo nos referiremos indistintamente a capas abruptas o graduales. La figura 4 es una curva I-V punto a punto, y la figura 5 es una curva C-V, para una estructura dual. Estos investigadores señalaron que la corriente es no óhmica, es decir, inicialmente la corriente es despreciable y después se alcanza un régimen de alta corriente. Señalaron también que la corriente que se puede alcanzar es mayor cuando se tienen inyectores que cuando no se tienen. En la gráfica I-V se puede ver que hay una mesa.

DiMaria *et al.* [1980] propusieron que la mesa es producto de la carga atrapada en la capa inyectora, ésta impide mayor inyección de corriente hasta

que se alcanza un cierto voltaje. Propusieron que la mesa depende de la carga atrapada y por tanto del grueso del inyector. También sugirieron que el campo eléctrico local se invierte debido a la carga atrapada. Encontraron carga atrapada positiva, pero no se probó que fuera debida a la inyección de huecos. El régimen de alta corriente es dominado por la inyección Fowler-Nordheim con una barrera Al-SRO de 3 eV. Si la muestra se somete a un recocido 1000 °C se afecta ligeramente la relación I-V. A partir de las curvas C-V, calcularon una constante dieléctrica de 7.5 ± 1 para una capa de SRO₃ sobre una capa de SiO₂ térmico. También mencionan que SRO₃ se comporta como un conductor en curvas estáticas.

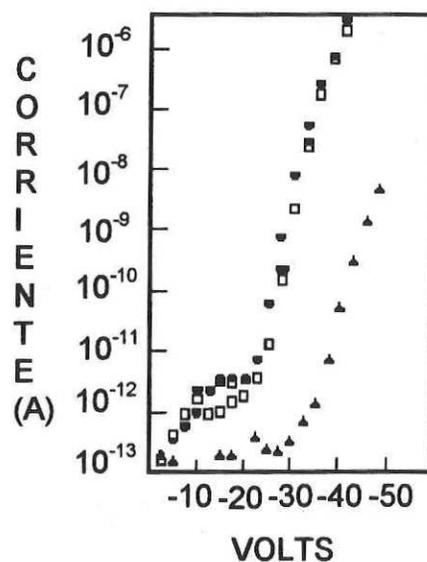


FIGURA 4. Gráfica I-V punto a punto para una estructura dual, se muestra también la curva I-V de un capacitor MOS de referencia, es decir, sin inyector, el cual requiere más voltaje para alcanzar la misma corriente. [DiMaria et al., 1980].

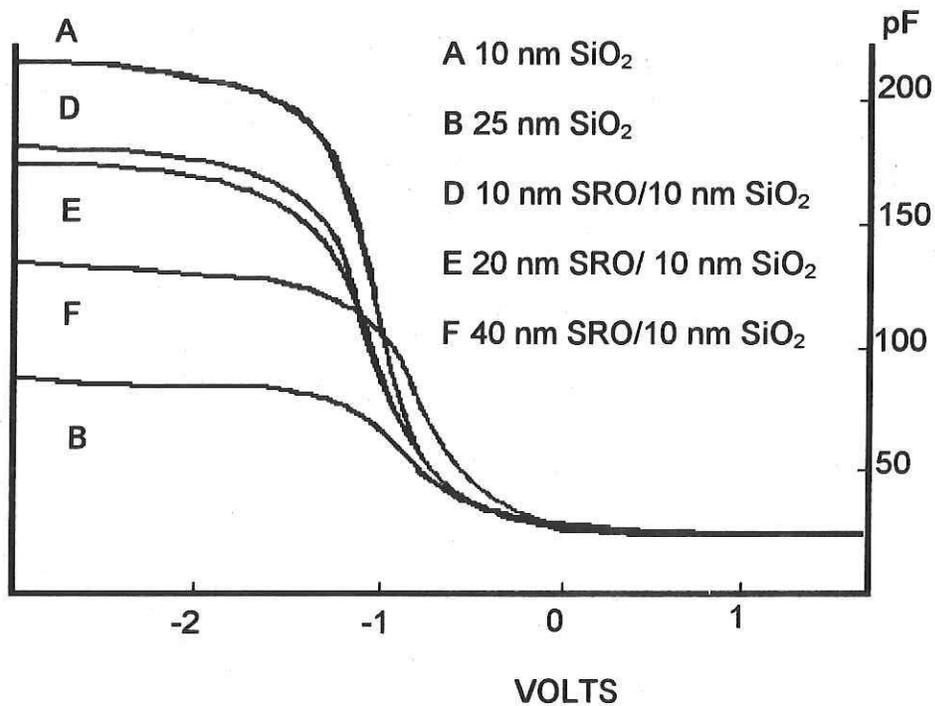


Figure 5. Curva C-V para una estructura dual. [Lai et al., 1982]

Chang et al. también estudiaron la SEIS. Estos autores propusieron que el incremento en el campo eléctrico local depende mucho en la forma de las islas de silicio exceso en el SRO [Chang y Rose, 1986; 1988]. Encontraron un factor de intensificación del campo eléctrico M , y para SRO₃ encontraron que M está entre 1.5 y 2.

Otra estructura conocida como DEIS (Dual Electron Injector Structure) se forma depositando una capa de SiO₂, de SRO $R_o \geq 30$, entre dos capas de inyectores de $R_o 3$. DEIS fue originalmente desarrollada para ser usada en memorias

eléctricamente alterables usando pulsos de milisegundos. La estructura básica se muestra en la figura 6.

Una vez más los trabajos de DiMaria *et al.* y son una buena referencia para entender el comportamiento eléctrico del DEIS. Estos autores hicieron experimentos en DEIS con inyectores de Ro 3 y con la capa interior de Ro 200, 50, 40 y 30. Como se ha mencionado Ro 200 se considera SiO₂ estequiométrico, y para las otras Ro's se obtiene entre 1 y 6% de exceso de silicio. Una de sus conclusiones fue que el DEIS requiere un voltaje menor para iniciar el régimen de alta corriente que cuando no se tienen inyectores, o se tiene sólo un inyector (SEIS). Encontraron que la capa interior atrapa carga y que esta carga es almacenada en trampas profundas del óxido. Aparentemente la corriente en la capa de SRO es uniforme, y no depende del área. La corriente tampoco depende en el ancho del pulso, entre 500 milisegundos y 20 segundos, o la temperatura. El voltaje de rompimiento es mayor cuando la capa interna es SRO que cuando es SiO₂ estequiométrico.

DiMaria *et al.* han hecho un trabajo muy amplio para entender el comportamiento eléctrico del SRO. Sin embargo, su trabajo estuvo enfocado hacia la aplicación en estructuras de memoria. Con este fin dedicaron especial énfasis a estructuras duales. Su trabajo, no obstante, puede usarse como un punto de partida para entender el dispositivo simple Al/SRO/Si.

I.1.4 Resumen de los antecedentes más importantes

El óxido fuera de estequiometría SiO_x es conocido como óxido de silicio rico en silicio o SRO cuando el silicio en exceso es alrededor del 20% o menor, y SIPOS cuando el contenido de silicio es alrededor del 90%. El SiO_x incluye en sus propiedades eléctricas el atrapamiento de electrones y una alta conductividad comparada con los de óxidos estequiométricos. Cuando el contenido de silicio aumenta, la conducción aumenta y la retención de carga atrapada se reduce. A través de este trabajo normalmente nos referiremos a SRO obtenido por CVD o CVD-SRO. La composición estructural del SiO_x se forma por silicio elemental separado por SiO_2 . El silicio puede ser cristalino o amorfo y puede estar aglomerado. Las aglomeraciones de Si dependen de la concentración del silicio, las condiciones del depósito, y los tratamientos después del depósito. En el SRO, el SiO_2 es un conglomerado amorfo, y coexiste con especies no completamente oxidadas. Estas especies representan la transición desde silicio hasta el SiO_2 . En una forma simple podemos pensar en el SRO₂ como una matriz de SiO_2 con islas de silicio incrustadas. Cada isla de silicio puede producir una trampa electrónica que puede ser negativa, es decir, atrapa un electrón; positiva, es decir, pierde un electrón o neutra. El mecanismo de conducción del SRO es principalmente el tuneleo de electrones a través del SiO_2 entre islas de silicio. En el diodo SRO/Si la relación I-V es no óhmica y es afectada por el atrapamiento de carga, también la afecta el intercambio de carga en el SRO y en menor grado los electrodos.

I.2 Aplicaciones del óxido de silicio rico en silicio

El SRO, como se mencionó, tiene como su principal aplicación mejorar la inyección electrónica en dispositivos de memoria. Las memorias de lectura eléctricamente alterable con el inyector dual (DEIS) [DiMaria y Dong, 1980, 1980a, DiMaria *et al.*, 1981] es una variante de la bien conocida memoria de compuerta flotante. En una memoria estándar de compuerta flotante, los electrones se inyectan desde una región de alta concentración en el silicio a una compuerta de polisilicio, esta compuerta está aislada, o eléctricamente flotando. La inyección se realiza a través de una capa muy delgada de SiO_2 , y la inyección puede ser hacia, o desde, el polisilicio. De esta forma el electrodo puede ser eléctricamente cargado o descargado, produciendo que el transistor MOS esté en el estado de encendido o apagado. El principal problema en esta forma de inyección es que los altos voltajes que se requieren aumentan la probabilidad de daño del óxido.

El DEIS usa como inyectores una pila de $\text{SRO}_3/\text{SRO}_{30}/\text{SRO}_3$, como se muestra en la figura 6, esta pila de inyectores se coloca sobre la compuerta flotante (los subíndices 3 y 30 se refieren a $R_0 = 3$ y $R_0 = 30$ respectivamente). Una de las dos capas de SRO_3 está en contacto con el electrodo de compuerta, y la otra con el polisilicio flotante. De esta forma la inyección de carga desde los electrodos se hace a bajo voltaje. El SRO_{30} tiene una doble función, en principio provee una barrera alta que evita que haya una fuga de electrones y en segundo lugar, debido a sus propiedades de conducción la capa puede conducir corrientes du-

rante más ciclos que el SiO_2 sin romperse. Esto proporciona un dispositivo más confiable de bajo voltaje. Un dispositivo de bajo voltaje es muy importante desde el punto de vista de usar sólo una fuente de energía.

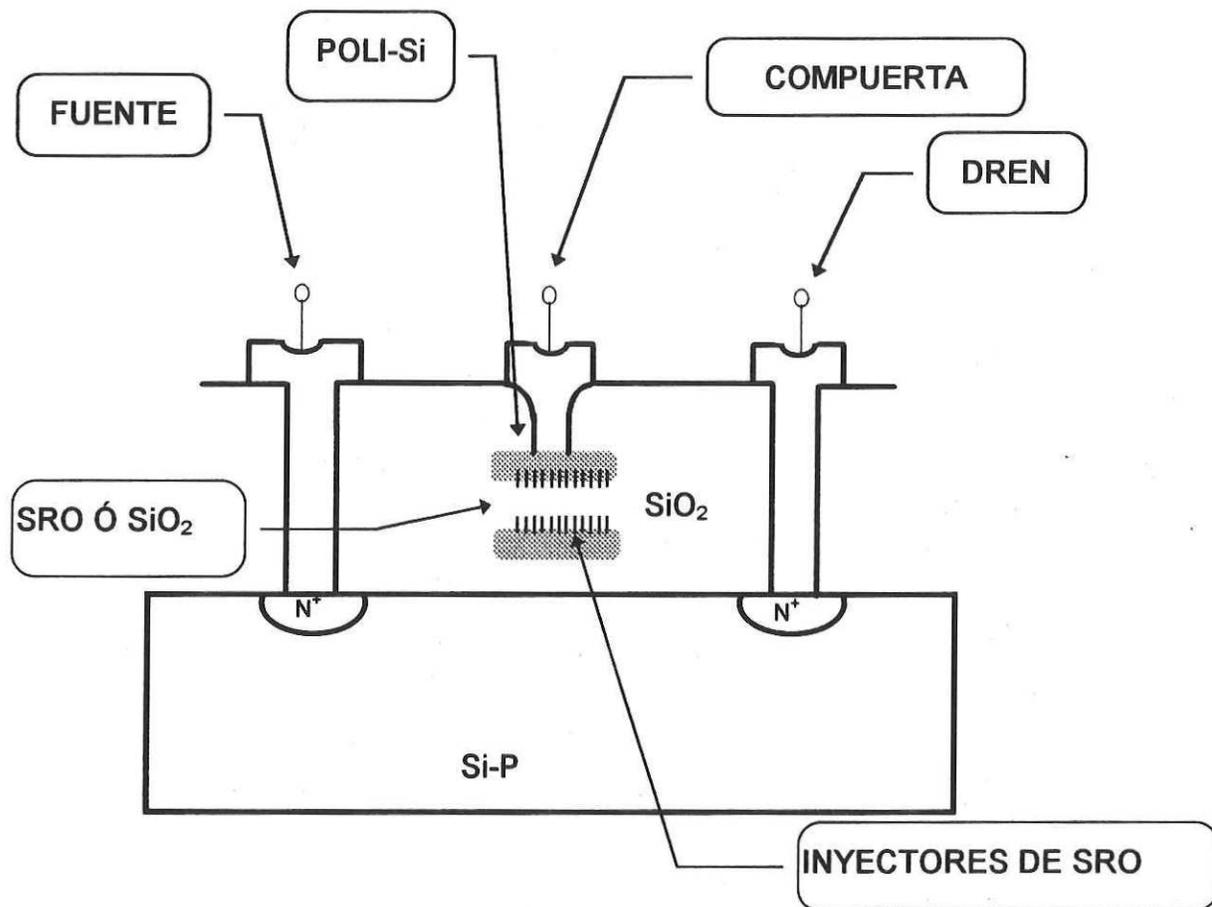


Figura 6. Estructura de inyección dual (DEIS), [DiMaria et al., 1980].

Otra aplicación donde se ha explorado el SRO, es usándolo como un óxido conductor para uniones programables (VPL) [Cohen y Wyatt, 1992, López Bello, 1995]. Esta clase de circuitos programables (FPGA) usan VPL para hacer conexiones permanentes en los canales de alambrado entre los elementos lógicos. Esta novedosa estructura llamada MIM (Metal-Insulator-Metal) se compone básicamente de dos capas de metal separadas por un aislador delgado. Cuando pasa una corriente alta a través del aislador éste se rompe, y se establece un contacto permanente entre los dos metales. El aislador normalmente usado en estas estructuras es una multicapa de nitruro rico en Silicio /SiO₂/nitruro. En la estructura propuesta por Cohen, el SiO₂ se reemplaza por una capa delgada casi estequiométrica de SRO. En esta forma se reduce el voltaje y el tiempo necesario para romper el dieléctrico.

También se ha explorado al SRO como dieléctrico en MOSFET's y como un material de alta constante dieléctrica para capacitores MOS. En estas aplicaciones se usa una capa dual de SRO/SiO₂ [Lai *et al.*, 1982]. Para el caso del transistor MOS, esta capa dual se comporta como una película muy delgada de SiO₂ pero con un voltaje de rompimiento mayor, y en esta forma se alcanza un mejor rendimiento. El tiempo de respuesta que se ha encontrado para este dispositivo está en el rango de nanosegundos, así que es posible usarlo en transistores MOS de aplicaciones analógicas o digitales. Por otro lado, la necesidad de obtener mayor capacitancia en menor área requiere de materiales con una cons-

tante dieléctrica (k) alta. En la tecnología MOS, las películas duales SRO/SiO₂ tienen la ventaja que su constante dieléctrica es 7.5, lo cual es casi el doble de la del óxido de silicio que es 3.9. Desde el punto de vista tecnológico, el único cambio que se tiene que hacer es un depósito extra para el SRO. El SRO puede entrar a los procesos de alta temperatura siempre y cuando sea protegido contra la oxidación.

Para SIPOS, hay una gran variedad de aplicaciones reportadas en la literatura. En esta sección, sólo mencionaremos algunas de ellas y referimos al lector a la fuente original.

1. SIPOS se ha aplicado con un semi-aislador en conmutadores semiconductores de metal aislador [Bolt *et al.*, 1987].
2. En estructuras de alto voltaje, SIPOS se usa como una capa pasivante [Mimura *et al.*, 1985].
3. También se ha explorado el uso de SIPOS en tecnología bipolar. En este caso el SIPOS se ha usado como un emisor [Chuang *et al.*, 1993].
4. En circuitos inteligentes de potencia, se ha explorado el uso del SRO como un aislador entre dispositivos de alto voltaje y la circuitería de bajo voltaje [Charitat *et al.*, 1992].

5. El uso de SIPOS también se ha explorado en celdas solares [Yablonovitch *et al.*, 1985].

1.3 Objetivo de este trabajo

Un problema común en las tecnologías modernas de circuitos integrados, es el área que ocupan las protecciones de entrada y/o salida contra descargas electrostáticas (ESD). Este problema se agrava aún más en tecnologías como la de silicio sobre aislador, donde no se tiene acceso directo al substrato de silicio [Chan *et al.*, 1995; 1995a]. Normalmente, dispositivos como diodos, transistores NMOS y PMOS, Transistores bipolares de unión (BJT) y SCR's (semiconductor-controlled rectifier) o tiristores se usan para evitar posibles daños al interior de los CI's cuando se presentan descargas electrostáticas. Sin importar cuál de los dispositivos mencionados se utilice como protección, la demanda de manejar grandes corrientes eléctricas requiere de grandes áreas de silicio, y esto entorpece la densidad de integración. Además, al ocupar grandes áreas produce grandes capacitancias parásitas lo que redundaría en la respuesta en frecuencia del circuito que se está protegiendo. Así, se están estudiando nuevas alternativas utilizando diferentes materiales que ayuden a resolver este problema, por ejemplo, el empleo de SiGe para protecciones de entrada/salida se presenta en un artículo reciente por Chang-Hoon *et al.* [1996].

Curvas de corriente contra voltaje (I-V) como las mostrada en la figura 4, hacen pensar que dispositivos que utilicen SRO podrían usarse como elementos de protección de entrada de CI's. En particular, para circuitos MOS, ya que el incluir una capa de SRO durante el proceso de fabricación es muy simple, y no representa costo adicional significativo.

Se ha mencionado que las estructuras con SRO que más se han estudiado son estructuras duales, y no se ha dado la misma atención al estudio de estructuras simples. Sin embargo, las posibilidades de aplicar estructuras simples, es decir, aquellas en que el SRO y el Si están en contacto directo, presentan una muy amplia gama de posibilidades de aplicación en circuitos integrados modernos.

El objetivo de este trabajo es estudiar el comportamiento eléctrico de la estructura simple Al/SRO/Si, con el propósito de aplicarla como un dispositivo de entrada y/o salida de circuitos integrados. Como se mencionó el trabajo hecho hasta ahora se ha dedicado más bien a estructuras duales, así que el trabajo que se presenta a continuación es una contribución original al estudio de estructuras simples, es decir, estructuras Al/SRO/Si. Para comprender mejor las estructuras mencionadas, en este trabajo hemos tenido que estudiar detalladamente las características de corriente y capacitancia en DC de estructuras simples. También hemos estudiado la respuesta a la frecuencia, y la respuesta a impulsos, picos muy grandes de voltaje, con la finalidad de conocer el campo eléctrico necesario para dañar (romper) eléctricamente a la estructura Al/SRO/Si. Se podrá verificar a

través de este trabajo que la estructura estudiada sí tiene la potencialidad de proteger a la compuerta de un transistor MOS. Además, al comprender mejor la dependencia de las características eléctricas de la estructura en función de sus elementos constitutivos (exceso de silicio en el SRO, tipo y concentración de sustrato, etc.), se puede proponer que la estructura Al/SRO/Si es un nuevo dispositivo que probablemente podrá aplicarse en campos como fotodetección, supresión de picos de voltaje, análisis de parámetros del sustrato, etc. De esta manera esperamos que esta contribución ayude a resolver alguno de los problemas a los que se enfrenta la tecnología actualmente.

II CARACTERÍSTICAS ELÉCTRICAS DE ESTRUCTURAS SIMPLES CON SRO, RESULTADOS EXPERIMENTALES

II.1 Análisis en DC

II.1.1 Preparación de las muestras

Para este análisis se prepararon estructuras de Al/SRO/Si. El SRO se depositó en un sistema LPCVD (Low Pressure CVD) de paredes calientes, sobre obleas tipo N y P de orientación (100). Los gases reactivos fueron Silano (SiH_4) diluido al 5% en nitrógeno y óxido nitroso (N_2O). Se usó la razón R_o , de presiones parciales, para controlar el exceso de Si en el SRO. Varias R_o 's fueron usadas. En algunos caso se dio un tratamiento térmico, posterior al depósito, a 1000 °C en atmósfera inerte de N_2 y con duración de 30 minutos. Se evaporó aluminio 1% Si, sobre el SRO, mediante un cañón de electrones, y se grabaron electrodos sobre el aluminio. Los electrodos fueron rectángulos de área $1.5 \times 10^{-2} \text{ cm}^2$. Finalmente se les dio un tratamiento térmico a 450 °C en gas reconstituyente (forming gas). Los detalles de las muestras se pueden ver en la tabla I.

El grueso del SRO se midió de dos maneras. La primera, después del depósito utilizando un elipsómetro gaertner 117, y se midieron al menos 3 puntos por oblea. La segunda se hizo utilizando un perfilómetro de aguja Alphastep 200 marca Tencor. Para la segunda medición, se eliminó el aluminio y se grabaron

escalones en el SRO, y se hicieron al menos 60 mediciones por oblea. En ambos casos se usó el promedio de las mediciones como el valor verdadero. Como la segunda medición es destructiva se hizo después de terminar con las pruebas eléctricas. Para los cálculos, siempre que fue posible, se prefirió usar el grueso medido mediante el perfilómetro.

El sistema LPCVD fue optimizado para depositar Polisilicio [Aceves *et al.*, 1995], y los resultados de esta optimización fueron usados como una guía para depositar SRO. Además, para SRO₂₃ se realizó un estudio corto de optimización usando el método de Taguchi [Ross, 1985]. Los parámetros obtenidos mediante este estudio se usaron en todo este trabajo.

Durante los depósitos de SRO se observó que el Silano bloquea los medidores de flujo pues produce un polvo blanco, posiblemente el Silano se oxida. Así que es necesario limpiar los medidores de flujo constantemente, y estar alerta durante los depósitos para evitar depósitos anómalos. También se observó que para Ro's del orden de 2 y menores la limpieza disuelve el SRO. Estas observaciones han sido reportadas anteriormente por al menos otro autor [Bouldin *et al.*, 1990]. Las condiciones de depósito para Ro 23 y 30 fueron: Presión total 2.5 Torr y temperatura 700 °C, para el caso de Ro 10 se usó la misma presión total y la temperatura fue 800 °C, y en ambos casos el tiempo de depósito se varió para obtener

Tabla I Detalles de las muestras preparadas, Ro 23.

OBLEA	GRUESO Å	$\Omega \cdot \text{cm}$	$C_B \text{ cm}^{-3}$	TIPO	1000 °C
P1J	688	8-12	1E15	P	NO
P3J	625	8-12	1E15	P	NO
P5J	614	8-12	1E15	P	SI
N2J	632	15-45	1E14	N	NO
N4J	623	15-45	1E14	N	NO
N6J	623	15-45	1E14	N	SI
P1I	603	1-2	1E16	P	NO
P3I	616	1-2	1E16	P	NO
P5I	634	1-2	1E16	P	SI
N2I	608	2-5	1E15	N	NO
N4I	637	2-5	1E15	N	NO
N6I	646	2-5	1E15	N	SI
N4L	1177	15-45	1E14	N	NO
N6L	1291	15-45	1E14	N	SI
P1L	1223	8-12	1E15	P	NO
P3L	1295	8-12	1E15	P	NO
P5L	1315	8-12	1E15	P	SI
P1K	1272	1-2	1E16	P	NO
P3K	1311	1-2	1E16	P	NO
P5K	1318	1-2	1E16	P	SI
N2K	1332	2-5	1E15	N	NO
N4K	1230	2-5	1E15	N	NO
N6K	1294	2-5	1E15	N	SI
P1T	753	0.1	5E17	P	SI
P5T	900	0.1	5E17	P	SI
N2T	764	4E-4	1E20	N	SI
N4T	973	4E-4	1E20	N	NO
N6T	900	4E-4	1E20	N	---

Tabla I Continuación Ro 23

OBLEA	GRUESO Å	$\Omega \cdot \text{cm}$	$C_B \text{ cm}^{-3}$	TIPO	1000 °C
P1U	1802	0.1	5E17	P	SI
P3U	1951	0.1	5E17	P	NO
P5U	1930	0.1	5E17	P	SI
N2U	1937	4E-4	1E20	N	SI
N4U	1951	4E-4	1E20	N	NO
N6U	1930	4E-4	1E20	N	---
P1Q	544	DIF.	2E18	P	SI
P3Q	638	DIF.	2E18	P	NO
P5Q	----	DIF.	2E18	P	NO
N2Q	597	DIF.	2E18	N	SI
N4Q	686	DIF.	2E18	N	NO
N6Q	----	DIF.	2E18	N	NO

Tabla I Continuación Ro 30

OBLEA	GRUESO Å	$\Omega \cdot \text{cm}$	$C_B \text{ cm}^{-3}$	TIPO	1000 °C
N3	619	2-5	1E15	N	NO
P121	1273	10-20	1E15	P	SI
P136	1513	1-2	1E16	P	SI
P236	1596	1-2	1E16	P	NO
P136A	1633	2-5	1E15	N	SI
P236A	1729	1-2 ?	1E16	P	NO
P1C	1471	8-12	1E15	P	SI
P3C	1858	8-12	1E15	P	SI
P5C	1860	8-12	1E15	P	NO
N2C	1784	15-45	1E14	N	SI
N6C	1697	15-45	1E14	N	NO
P222	1411	10-20	1E15	P	NO
P1R	2112	10-22	1E15	P	SI
P2R	2070	10-22	1E15	P	SI
P3R	2033	1-2	1E16	P	SI
P4R	2069	1-2	1E6	P	SI

Tabla I Continuación Ro 3

OBLEA	GRUESO Å	$\Omega \cdot \text{cm}$	$C_B \text{ cm}^{-3}$	TIPO	1000 °C
P10X	-----	0.8-3	1E16	P	SI
P30X	15949	0.8-3	1E16	P	NO
P50X	17760	0.8-3	1E16	P	SI
N20X	-----	2-5	1E15	N	SI
N40X	16789	2-5	1E15	N	NO
N60X	-----	2-5	1E15	N	SI
P1V	17951	0.8-3	1E16	P	NO
P3V	17540	0.8-3	1E16	P	SI
P5V	18231	0.8-3	1E16	P	NO
N2V	17964	2-5	1E15	N	NO
N4V	16819	2-5	1E15	N	SI
N6V	17225	2-5	1E15	N	NO

diferentes groesos. Las presiones parciales para cada gas fueron obtenidas a partir de:

$$P_{SiH_4} = \frac{P_t}{\frac{Ro}{20} + 1}, \quad (6)$$

$$P_{N_2O} = Ro \frac{P_{SiH_4}}{20}. \quad (7)$$

Donde P_{SiH_4} es la presión parcial de Silano diluido al 5% (esta es la causa del factor 20 en las ecuaciones) en nitrógeno, $P_{\text{N}_2\text{O}}$ es la presión parcial de óxido nítrico y P_t es la presión total. Para hacer el depósito se calculan las presiones parciales dado un R_o y una presión total. Durante el experimento se establece el flujo de cada uno de los gases por separado, una vez estabilizados se dejan fluir juntos. La presión total del SiH_4 y del N_2O fluyendo simultáneamente siempre resulta menor que la suma de las presiones parciales. Sin embargo, esta diferencia entre la P_t calculada y la experimental es siempre la misma para una R_o dada.

La concentración de impurezas C_B reportada en la tabla I se estimó de los datos de resistividad del fabricante, y se muestra el valor representativo. Por ejemplo, para una oblea N cuya resistividad reportada por el fabricante es de 2 a 5 ohm cm, se obtiene de la figura 22 de Sze [1969] una concentración máxima de $2.5 \times 10^{15} \text{ cm}^{-3}$ y una concentración mínima de $8 \times 10^{14} \text{ cm}^{-3}$. Por lo que $1 \times 10^{15} \text{ cm}^{-3}$ (mostrado en la tabla) es un valor representativo para la concentración de esta oblea.

II.1.2 Mediciones C-V

La técnica C-V, tanto en baja como en alta frecuencia, es bien conocida y muy utilizada para la caracterización de dispositivos MOS, para mas detalles referimos al lector interesado a los artículos de Zaininger y Heiman [1970]. Curvas características de Capacitancia contra Voltaje, a 1 Mhz, se midieron utilizando un

sistema marca Princenton Applied Research modelo 410 C-V Ploter. Las mediciones se hicieron en presencia de luz y se comenzó siempre en inversión y se terminó en acumulación, La rampa de voltaje fue siempre de 100 mV/segundo. La figura 7 muestra las curvas C-V típicas obtenidas.

En adición a la técnica normal de C-V las muestras se sometieron a un esfuerzo de voltaje (stress), con la finalidad de monitorear el efecto de la carga atrapada en las características C-V. El voltaje de esfuerzo fue de magnitud variable, pero generalmente, suficientemente grande para producir el máximo corrimiento del voltaje de banda plana sin producir rompimiento destructivo del SRO. En la mayoría de los casos fue de 100 volts. Las muestras fueron medidas como terminaron el proceso de fabricación, muestra virgen, y posteriormente fueron sometidas a esfuerzos de voltaje.

De las gráficas C-V se observa el desplazamiento del voltaje de banda plana típico de estas estructuras [López y Falcony, 1989]. También se observa un cambio en la forma de la capacitancia mínima, en inversión, como resultado de aplicar el esfuerzo de voltaje. A este cambio le denominamos codo, como se puede ver en las gráficas C-V. En el caso de substratos tipo P en algunas muestras vírgenes no se observa este codo, sin embargo después de aplicar esfuerzo de voltaje siempre fue posible producir el codo.

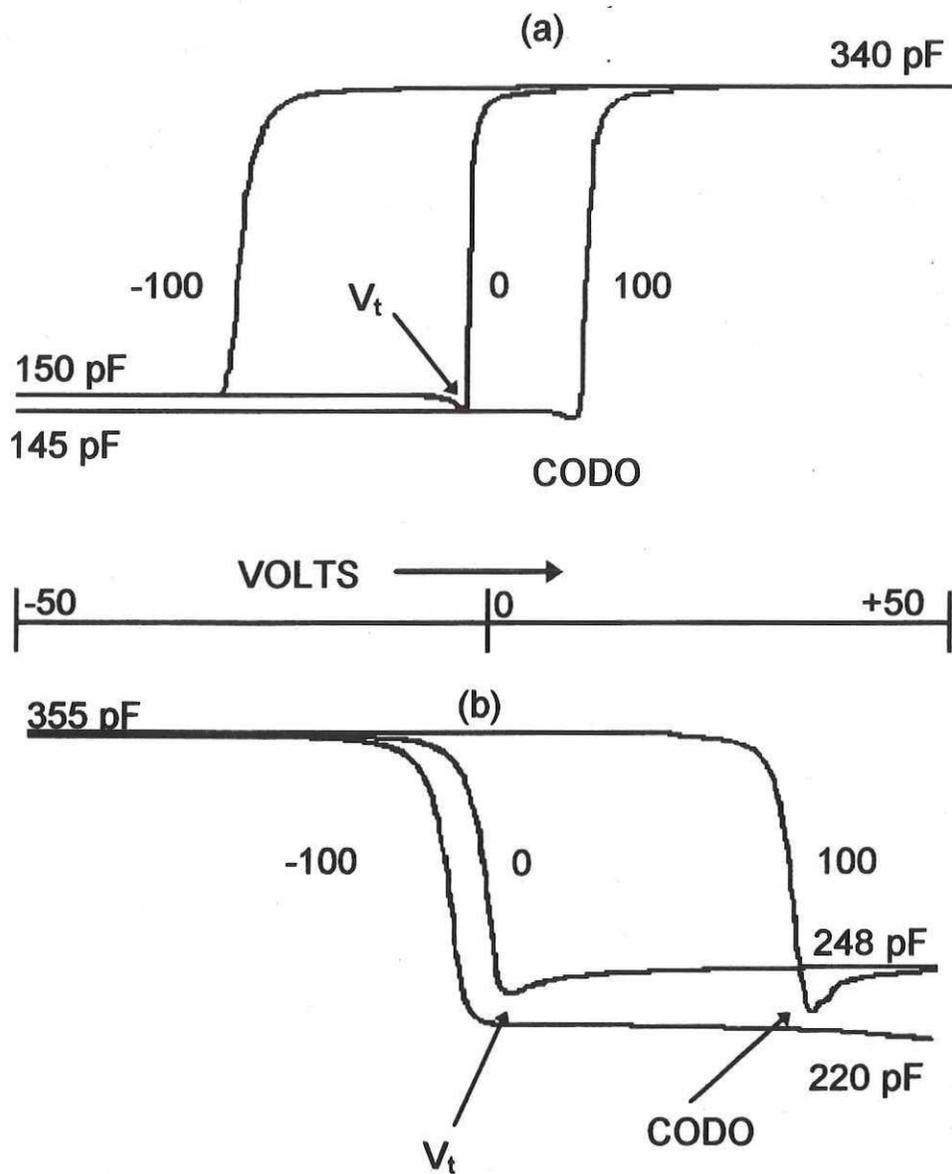


Figura 7. Curvas C-V típicas para una estructura Al/SRO/Si. (a) substrato tipo N, y (b) substrato tipo P. La curva marcada 0 significa que la muestra era virgen, ± 100 indica que la muestra fue sometida a esfuerzos de ± 100 volts.

II.1.3 Mediciones I-V

Las características I-V se midieron usando un Electrómetro Keithley 617 y una fuente Keithley 230 ambas controladas mediante una computadora. Se midieron muestras con varias R_o 's. También en este caso se midieron muestras vírgenes y con esfuerzo de voltaje. Se adaptó un conmutador de tal forma que inmediatamente después de aplicar el esfuerzo se aplicó una rampa de voltaje para medir la relación I-V. La rampa de voltaje se dividió siempre en 50 escalones, y cada escalón tuvo una duración de 2 segundos.

La figura 8 compara la relación I-V para tres estructuras Al/SRO/Si. Una de ellas con SRO suficientemente grande para tener un óxido estequiométrico ($R_o > 100$), la otra con un SRO_{30} que produce un óxido no estequiométrico. La tercera con óxido térmico en lugar del SRO. Como se puede observar, las tres estructuras muestran relaciones I-V en concordancia con las reportadas en la literatura.

Las figuras 9, 10, 11 y 12 muestran las relaciones I-V típicas para estructuras Al/SRO/Si con diferentes tipos y concentraciones de substratos. Las relaciones mostradas corresponden a las muestras N2I, P1I, N6Q y P5Q respectivamente. Los detalles sobre estos dispositivos se muestran en la tabla I. Para asegurar una concentración alta ($> 10^{18} \text{ cm}^{-3}$) en algunas obleas tipo P se difundió Boro, y en algunas obleas tipo N se difundió Fósforo. En esta forma podemos afirmar que

la superficie en contacto con el SRO tendrá una concentración alta. En estas gráficas podemos observar la relación I-V para obleas N y P. Así como ver los efectos de la concentración, ya que la oblea N2I tiene una concentración de 10^{15} , La P1I de 10^{16} y las obleas Q mayor a 10^{18} cm^{-3} .

En todas estas figuras, S0, S+ y S- indican que las muestras no tienen esfuerzo, tienen esfuerzo positivo o tienen esfuerzo negativo respectivamente. R+ y R- indican rampa positiva y negativa. La polarización positiva se define para las muestras que tienen el electrodo superior positivo con respecto al sustrato.

En todas las muestras se inició con la medición sin esfuerzo y con rampa positiva, S0R+, a continuación se hizo la medición sin esfuerzo y rampa negativa, S0R-, se siguió con la medición con esfuerzo positivo y rampa positiva, S+R+, luego se hizo esfuerzo positivo y rampa negativa, S+R-, posteriormente se hicieron los esfuerzos negativos con rampa positiva y negativa en este orden, S-R+ y S-R-. Note que la medición S0R-, no es exactamente sin esfuerzo ya que previamente fue sometida a la rampa positiva. Todas estas curvas son mostradas en las figuras 9 a 12 en escala lineal. En escala logarítmica solo se muestran las S+R+ y S-R-, en aras de la claridad. Note también, que tanto para la rampa positiva como para la rampa negativa se utiliza un solo eje de voltaje (positivo).

Como puede verse de las figuras 9 a 12, para las obleas de concentración moderada la corriente se satura en la polaridad en la que se produce inversión.

Este fenómeno no se aprecia en las obleas de alta concentración, al menos hasta los límites del equipo usado. También se observa, en la escala logarítmica, que con muestras esforzadas, las curvas S+R+ y S-R- comienzan con una corriente de signo contrario a la esperada. Este fenómeno no se observa en las demás curvas: S0R+, S0R-, S+R- o S-R+. Como se puede ver este comportamiento se observa para cualquiera de las concentraciones usadas. También es claro que el efecto neto de aplicar un esfuerzo es aumentar el voltaje necesario para alcanzar el régimen de alta corriente.

La figura 13 muestra las curvas I-V para la oblea P2R la cual tiene un grueso de SRO aproximado de 2000 Å. Para medir este dispositivo se tuvo que usar un trazador de curvas. Por lo que los detalles finos de la corriente no se pueden apreciar. Note que el régimen de alta corriente requiere más voltaje por que el SRO es más grueso.

En todas las gráficas I-V en escala lineal se incluye la densidad de corriente en ampers por centímetro cuadrado. También se incluye el campo eléctrico aplicado en megavolts por centímetro.

La densidad de corriente se obtuvo dividiendo la corriente entre el área de los capacitores ($1.5 \times 10^{-2} \text{ cm}^2$), El campo eléctrico se calculó dividiendo el voltaje aplicado entre el grueso del SRO de cada oblea, para estos cálculo se usaron los datos de la tabla I.

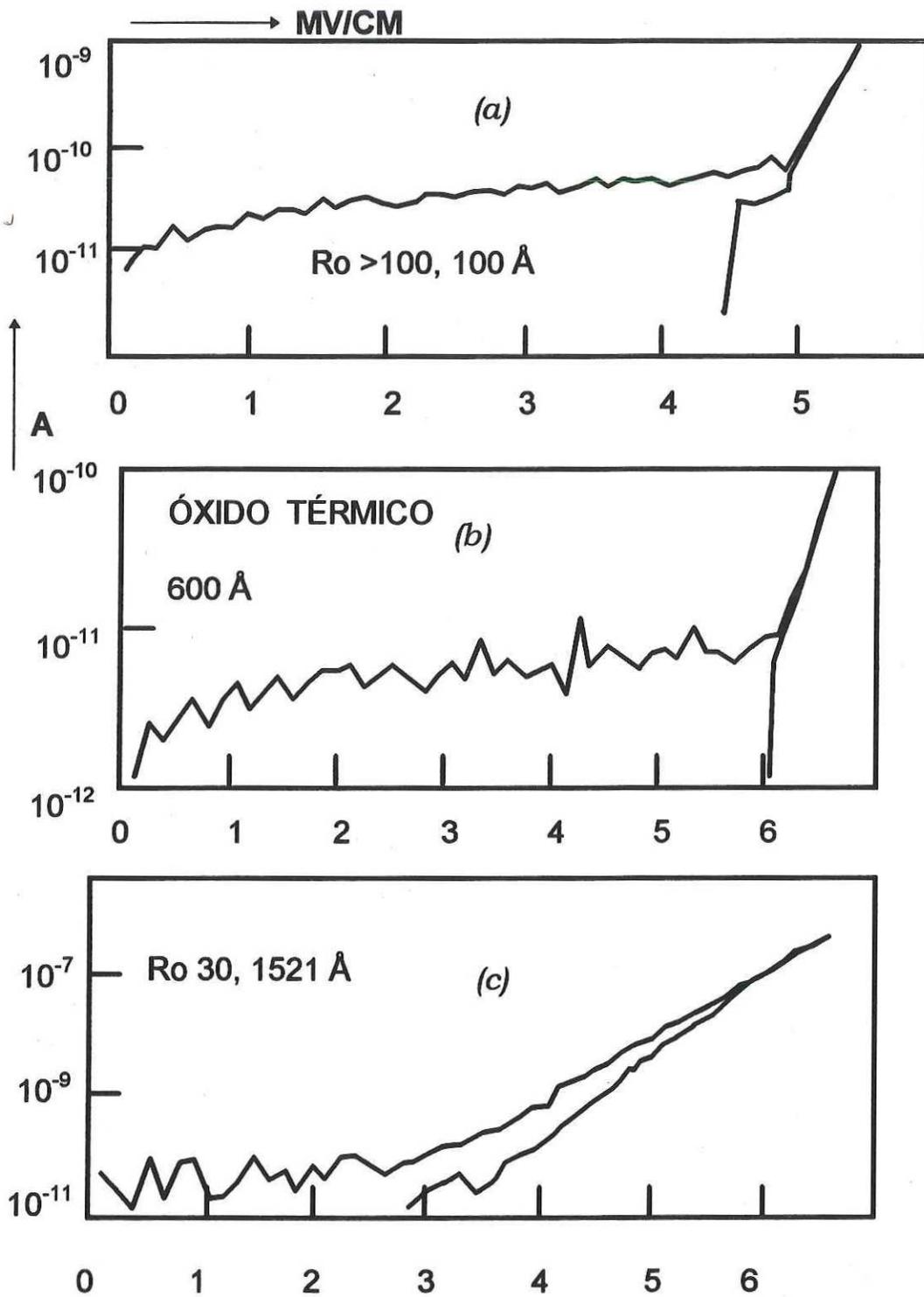


Figura 8. Comparación de *I-V* para tres estructuras simples.

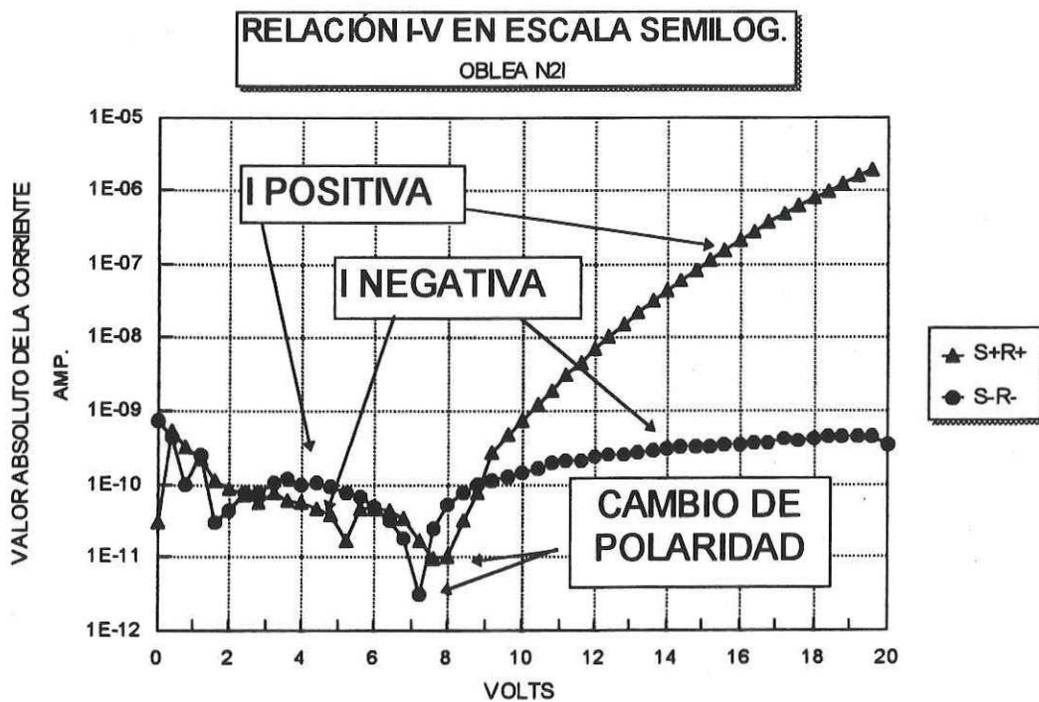
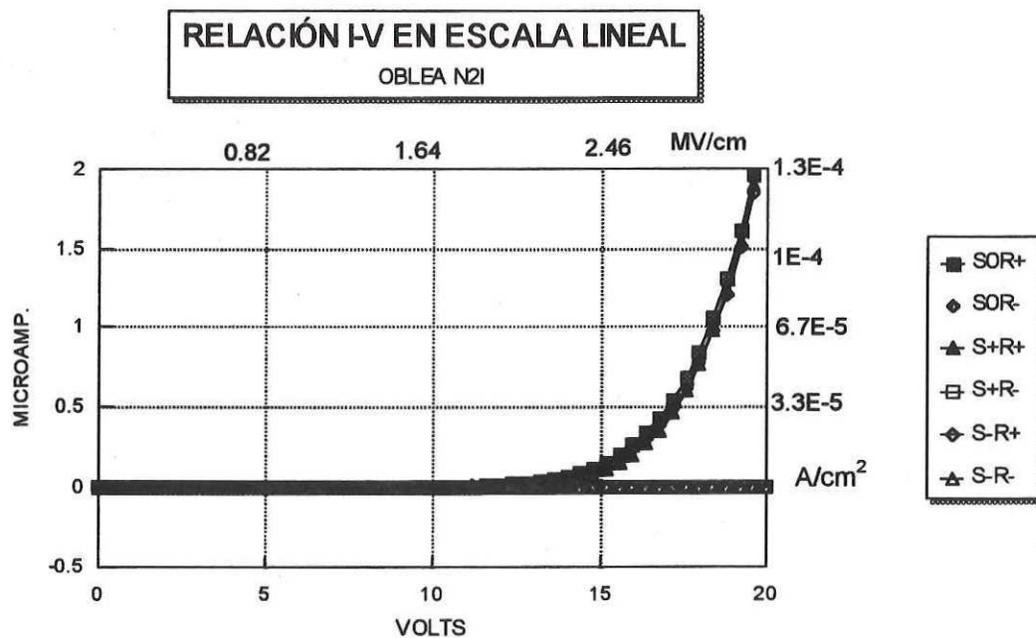


Figura 9. Curvas típicas para una estructura simple con substrato N, $1 \times 10^{15} \text{ cm}^{-3}$ y SRO_{23} .

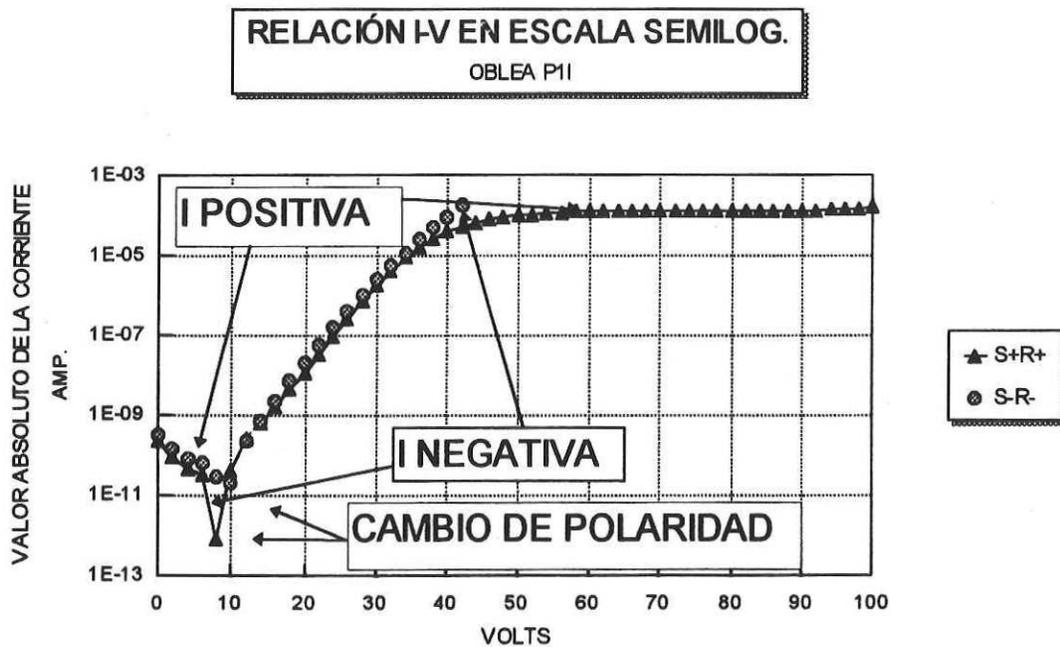
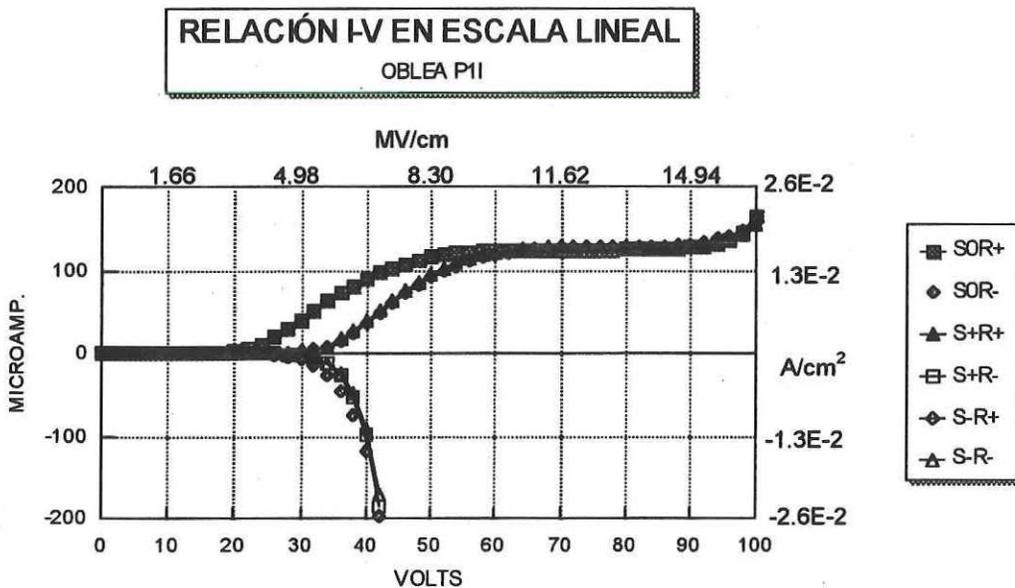


Figura 10. Curvas típicas para una estructura simple con sustrato P, $1 \times 10^{16} \text{ cm}^{-3}$ y SRO_{23} .

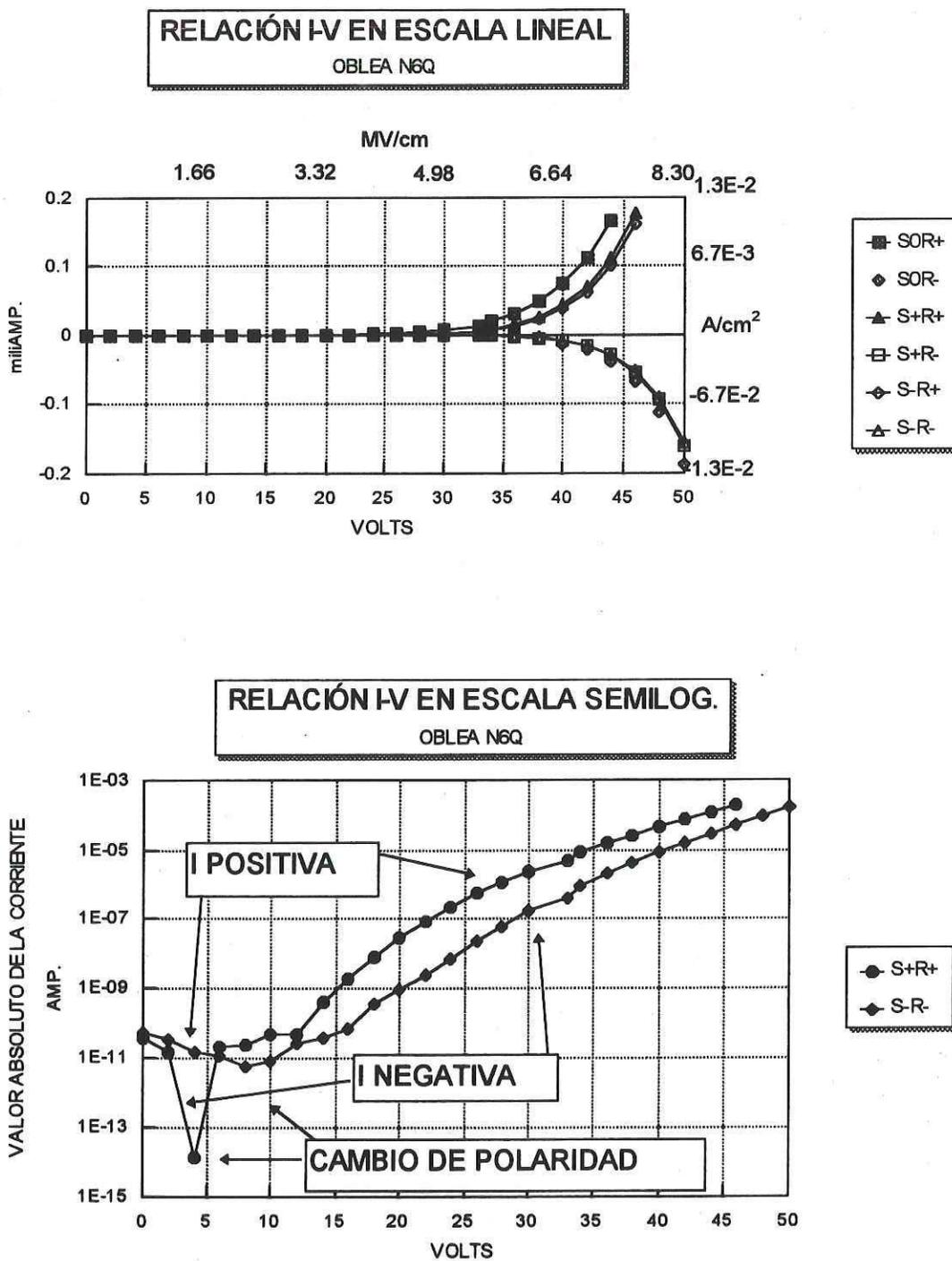


Figura 11. Curvas típicas para una estructura Al/SRO/Si con sustrato tipo N, $1 \times 10^{18} \text{ cm}^{-3}$ y SRO_{23} .

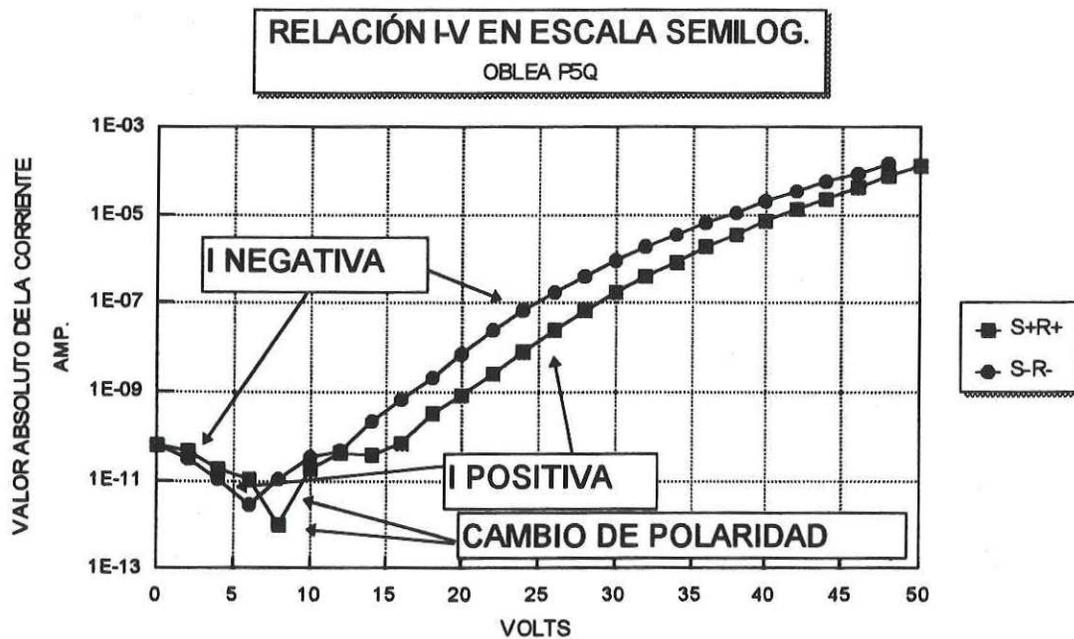
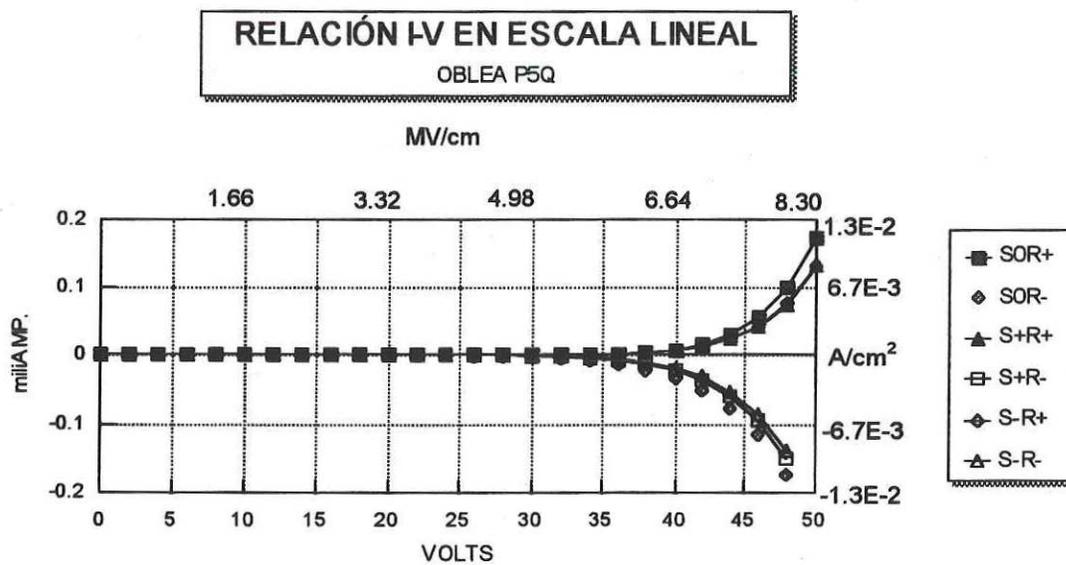


Figura 12. Curvas típicas para una estructura Al/SRO/Si con substrato tipo P, $1 \times 10^{18} \text{ cm}^{-3}$ y SRO_{23} .

II.1.4 Cálculos de E_{on} y ε

Se ha definido el voltaje para iniciar el régimen de alto voltaje como V_{on} [Aceves *et al.*, 1996] y su respectivo campo eléctrico como

$$E_{on} = \frac{V_{on}}{t_{SRO}}. \quad (8)$$

Donde t_{SRO} es el grueso de la capa de SRO. V_{on} en las curvas I-V indica el voltaje donde se inicia el régimen de alta corriente, y es diferente al voltaje V_t , de las curvas C-V, que indica el voltaje que invierte la superficie de un dispositivo MOS.

La tabla II muestra el E_{on} promedio y su variación para cada R_o , es decir es el promedio de las E_{on} de todas las obleas con una R_o dada. Los valores en detalle se muestran en la tabla III, el E_{on} mostrado en esta tabla es en realidad el promedio de al menos 5 muestras por oblea. El V_{on} se tomo de las curvas experimentales I-V SOR+ en escala logarítmica. Se consideró como V_{on} el voltaje donde cambia la pendiente iniciando el régimen de alto voltaje.

Los datos para E_{on} muestran claramente que existe una gran variación, aún para datos de una misma R_o , por lo que no es confiable usar este parámetro para distinguir entre dos R_o 's cercanos. A pesar de la variación se puede mostrar que hay ciertas tendencias.

Una de estas tendencias se muestra en la figura 14, aquí se muestra que

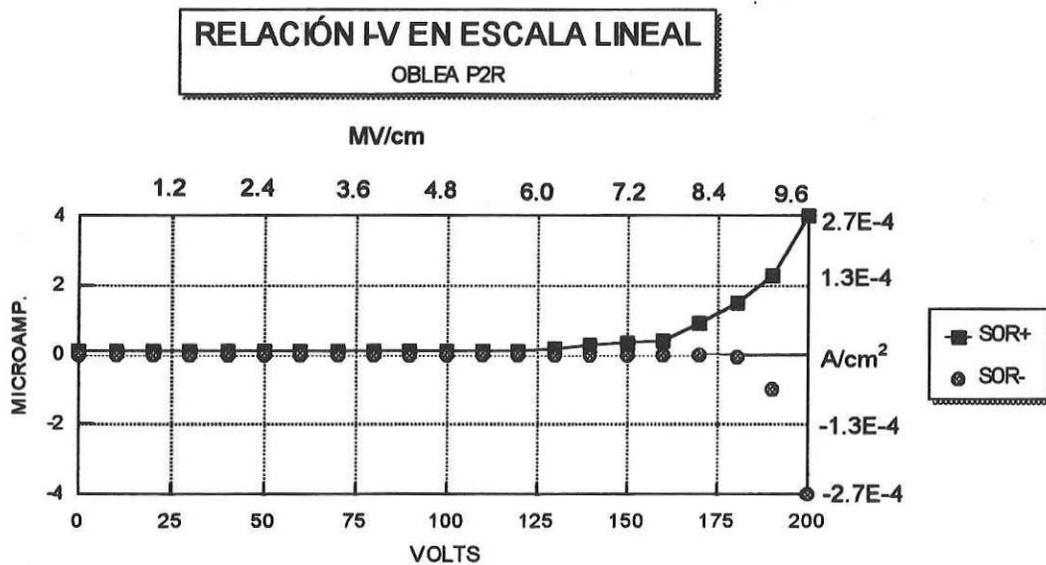


Figura 13. Curvas típicas para una estructura Al/SRO/Si con substrato tipo P y grueso del SRO de 2000 Å. SRO₂₃.

Tabla II. Campo eléctrico promedio, E_{on} , y Permitividad, ϵ .

Ro	3	23	30
E_{on} promedio MV/cm	0.010	1.43	3.42
E_{on} variación	0.46-1.5 E-2	0.7-2.8	1.6-5.5
ϵ promedio pF/cm	0.54	0.38	0.37
ϵ variación	0.53-0.57	0.14-0.45	0.25-0.41
ϵ' promedio pF/cm	0.54	0.41	0.39
ϵ' variación	0.53-0.57	0.36-0.45	0.37-0.41
η_r	2.19	1.61	1.51
η_r variación	1.99-2.34	1.54-1.65	1.48-1.54

cuando la concentración de la oblea aumenta el E_{on} tiende a disminuir para obleas tipo N, pero tiende a aumentar para obleas tipo p. Esta tendencia podría tener relación con el hecho de haber tomado los V_{on} para las obleas vírgenes y la rampa positiva. Desafortunadamente para medir el t_{SRO} mediante el perfilómetro las obleas se "destruyen," por lo que no es posible repetir la medición para obleas vírgenes iniciando con rampa positiva.

Otra tendencia claramente marcada para obleas con SRO_3 , vea la tabla III, es que E_{on} es mayor para muestras con recocido a 1000 °C que en muestras sin este tratamiento. Esta tendencia no es clara para muestras con Ro 23 y 30.

En las tablas II y III se incluye la permitividad del SRO. La permitividad del SRO, ϵ , se calculó a partir de las curvas C-V y de la bien conocida formula para los capacitores de placas paralelas

$$C = \frac{\epsilon \cdot A}{d}, \quad (9)$$

donde ϵ es la permitividad del dieléctrico, A es el área y d es el grueso del dieléctrico. Para estos cálculos usamos la capacitancia en acumulación, el área de los cuadros grabados en el aluminio y t_{SRO} promedio.

Tabla III. Campo eléctrico, E_{ON} , y Permitividad, ϵ , Ro 23

OBLEA	GRUESO A	C_B cm^{-3}	TIPO	E_{ON} MV/cm	ϵ pF/cm	TRATAMIENTO @ 1000 °C
N2I	608	1E15	N	1.0	0.40	NO
P1I	603	1E16	P	1.3	0.42	NO
N2J	632	1E14	N	1.7	0.27	NO
P3J	625	1E15	P	1.0	0.45	NO
N4K	1230	1E15	N	1.0	0.40	NO
P1K	1272	1E16	P	0.9	0.29	NO
N4L	1177	1E14	N	1.1	0.36	NO
P1L	1223	1E15	P	0.8	0.41	NO
N2Q	597	1E18	N	2.0	0.44	SI
N4Q	686	1E18	N	1.5	---	NO
P1Q	544	1E18	P	2.8	0.40	SI
P3Q	638	1E18	P	2.6	0.42	NO
N2T	764	1E20	N	0.9	0.14	SI
P1T	753	5E17	P	2.2	0.42	SI
N2U	1937	1E20	N	0.7	0.41	SI
P1U	1802	5E17	P	1.5	0.41	SI
P3U	1928	5E17	P	1.4	0.38	NO

Tabla III. Continuación; Ro 30

OBLEA	GRUESO Å	C_B cm^{-3}	TIPO	E_{ON} MV/cm	ϵ pF/cm	TRATAMIENTO @ 1000 °C
P1R	2112	1E15	P	5.5	0.25	SI
N2C	1784	1E14	N	1.8	0.37	NO
P3C	1858	1E15	P	1.6	0.40	NO
N3	619	1E15	N	3.7	0.41	NO
P136	1513	1E16	P	3.5	0.39	SI
P136A	1633	1E15	N	3.7	0.38	SI
P236	1596	1E16	P	3.8	0.40	NO
P236A	1729	1E16	P	3.8	0.39	NO

Tabla III. Continuación, Ro 3

OBLEA	GRUESO Å	C_B cm^{-3}	TIPO	E_{ON} MV/cm	ϵ pF/cm	TRATAMIENTO @ 1000 °C
P3OX	15949	1E16	P	----	-----	NO
N4OX	16789	1E15	N	1.0E-2	----	NO
PIV	17951	1E16	P	7.4E-3	0.53	NO
P5V	18231	1E16	P	5.3E-3	0.557	NO
N2V	17964	1E15	N	4.6E-3	0.57	NO
N6V	17225	1E15	N	5.6E-3	0.532	NO
P5OX	17760	1E16	P	1.4E-2	0.532	SI
P3V	17540	1E16	P	1.4E-2	-----	SI
N4V	16819	1E15	N	1.5E-2	-----	SI

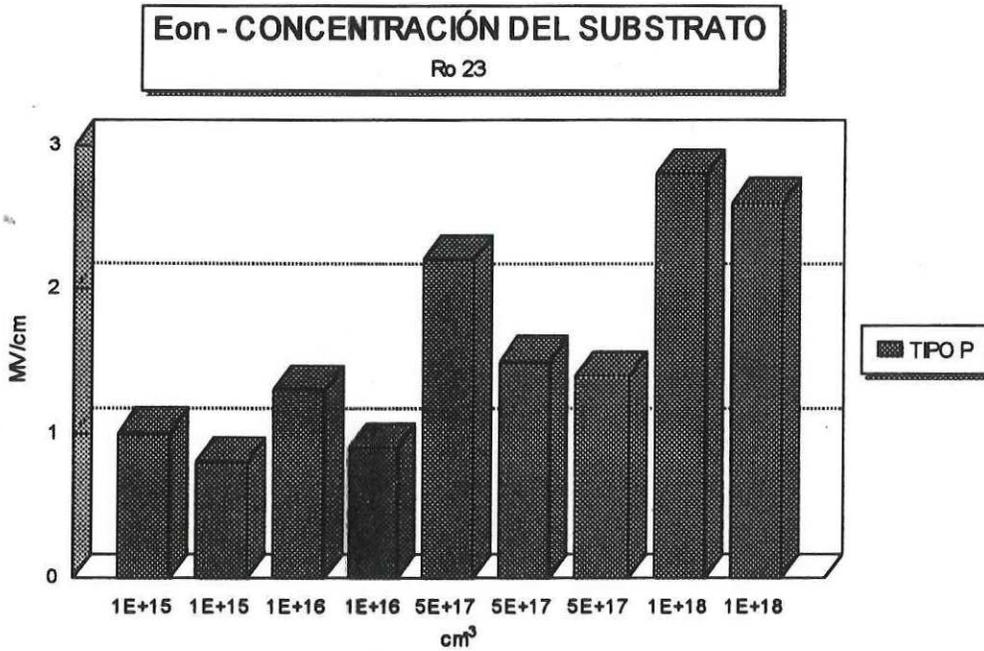
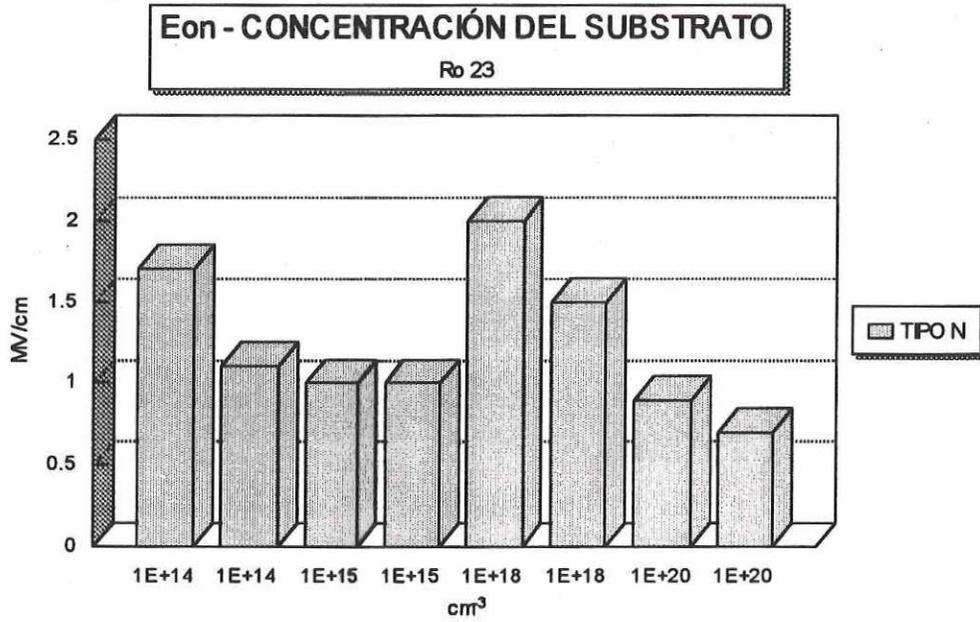


Figura 14. E_{on} en función de la concentración del sustrato.

En la tabla III se muestra el ϵ promedio de al menos 5 mediciones por oblea. Como la permitividad del óxido estequiométrico es 0.33 pF/cm, los valores obtenidos por abajo de este valor se pueden considerar errores experimentales. Eliminando en la tabla III los valores considerados como errores experimentales, obtenemos la ϵ' promedio para cada Ro, mostrada en la tabla II. En cualquier caso la variación continúa siendo muy grande.

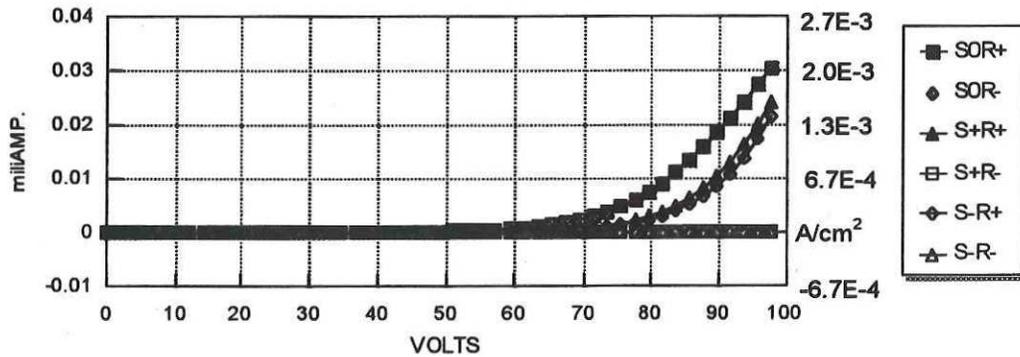
II.1.5 Pruebas en DEIS

En esta sección presentamos estructuras formadas por Al/SRO Ro 3 + Ro 23 + Ro 3/Si. El SRO se depositó en la misma forma que en las estructuras anteriores, pero en esta ocasión se inició con Ro 3 y sin sacar las obleas del horno se variaron los gases para obtener Ro 23, posteriormente se volvieron a variar para obtener de nuevo Ro 3. En la misma forma y con los mismos tratamientos que en las estructuras simples se depositó Al y se grabaron cuadros de $1.5 \times 10^{-2} \text{ cm}^2$. En este caso no se pueden medir los gruesos independientes de los diferentes Ro's. Se hicieron mediciones I-V en la misma forma que para las estructuras simples.

La figura 15 muestra las curvas I-V para DEIS con substrato N y P. Los resultados son similares a los de estructuras simples, coincidiendo en todos los detalles de la corriente. Las principales diferencias observadas fueron que no se encontró ningún dispositivo que rompiera, durante esta prueba, y que aparentemente pueden manejar una corriente mayor que las estructuras simples.

RELACIÓN I-V PARA UNA DEIS

OBLEA N2AA



RELACIÓN I-V PARA UNA DEIS

OBLEA P1AA

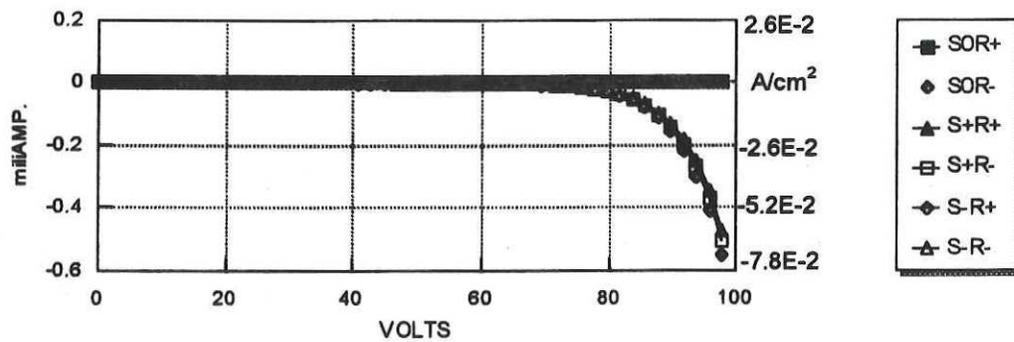


Figura 15. Relación I-V para una estructura Al/Ro 3 + Ro 23 + Ro 3/Si, DEIS, con sustrato N de 10^{15} cm^{-3} y P de 10^{16} cm^{-3} . Las mediciones y la notación es la misma que para estructuras simples.

II.2.2 Análisis en AC

Para este análisis fueron probadas dos estructuras, capacitores y pads. Los capacitores fueron descritos en la sección II.2.1, y los pads (terminales de acceso al chip) fueron pads de entrada/salida de un circuito integrado (Oscpru 1) de prueba. El Oscpru 1 es utilizado en el INAOE para probar la tecnología ECMOS1 [Aceves *et al.*, 1989]. En ambos casos SRO₂₃ fue usado y depositado en la forma anteriormente mencionada. Para incluir los pads con SRO dentro del proceso estándar ECMOS1 se hicieron los siguientes cambios:

1. El circuito Oscpru1 fue modificado para incluir óxido delgado en los siguientes pads:

- a) pad de entrada a un transistor NMOS de geometría mínima,
- b) pad de entrada a un transistor PMOS de geometría mínima,
- c) dos pads no conectados.

Algunos de esos pads fueron implantados para hacerlos N⁺.

2. Se abrieron ventanas de contactos en esos pads.

3. Después de la apertura de contactos se depositó el SRO₂₃.

4. Se usó una mascarilla extra para eliminar el SRO en todas partes menos en los

pads previamente mencionados.

5. Continúa el proceso estándar.

El área efectiva de esos pads es $7.7 \times 10^{-5} \text{ cm}^2$. La estructura continúa siendo Al/SRO/Si.

Dos tipos de mediciones se hicieron en este experimento. Una de las pruebas tuvo como finalidad estudiar el efecto de pequeñas señales de AC sobre los dispositivos. La otra prueba tuvo como finalidad someter los dispositivos a picos de voltaje alto. De esta forma encontrar el valor de los picos de voltaje que dañan la estructura, y conocer si la estructura protege al óxido de compuerta.

II.2.1 Medidas en capacitores

II.2.1.1 Respuesta a la frecuencia

Para probar el comportamiento en AC se usó el circuito pasa altas de la figura 16. Este circuito nos permite evaluar la parte de la señal que pasa a través del dispositivo en función de la frecuencia. La ganancia, esto es V_{out} / V_{in} , y la fase fueron medidas para diferentes amplitudes de V_{in} y para diferentes valores de la polarización de DC. Se encontró que el voltaje de polarización no afecta los resultados mientras sea menor que V_{on} . La figura 17 muestra una gráfica de Bode típica para el circuito de la figura 16, usando un dispositivo Al/SRO/Si como el DUT polarizando con ± 10 , ± 20 y ± 30 Volts DC. La señal de AC fue senoidal con

una amplitud de 20 V. pico a pico. Como se puede ver ni la ganancia ni la amplitud se afectan por la polarización.

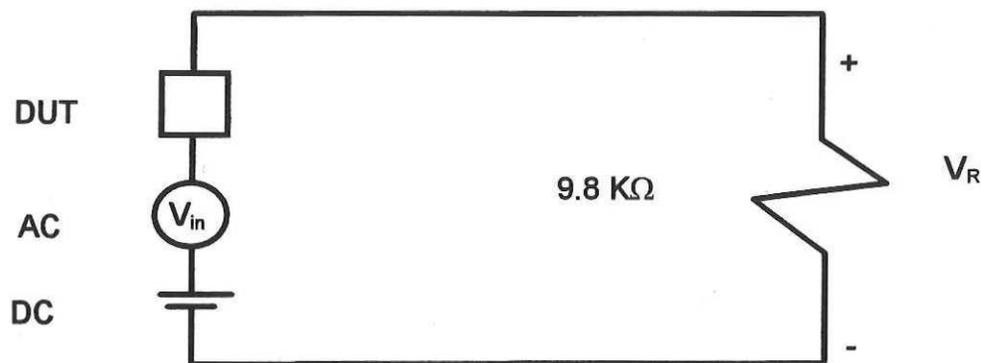
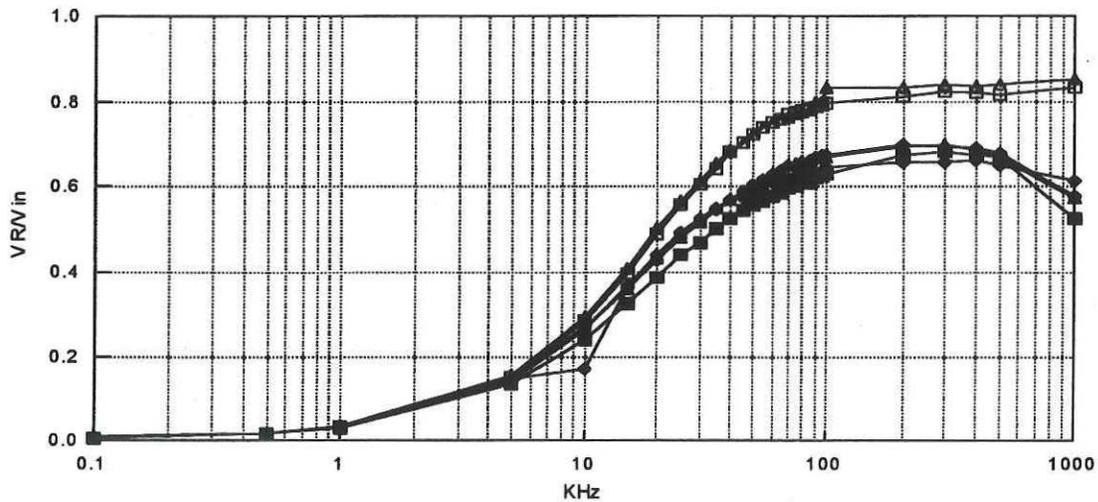


Figura 16. Circuito pasa altas para estudiar los efectos de la frecuencia en el DUT.

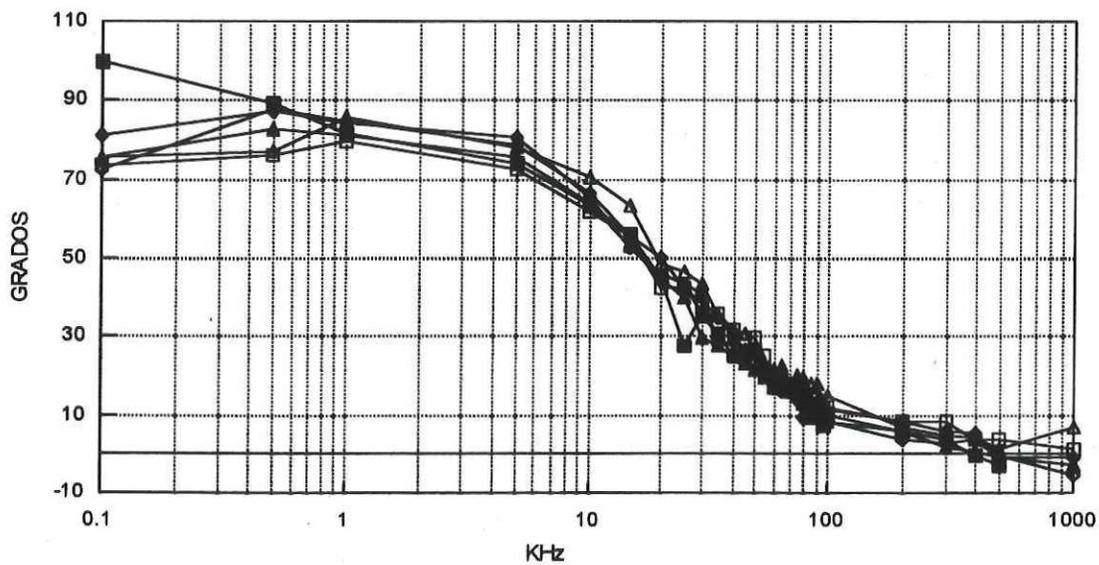
Las gráficas de la figura 17 corresponden, aproximadamente, a las de un circuito R-C. Como un mero ejercicio, en aras de la claridad, supondremos que el DUT es un capacitor ideal, C. En este caso el voltaje en la resistencia será [Millman y Halkias, 1972]:

$$V_R = V_{in} \frac{R}{R + \frac{1}{j\omega C}}, \quad (10)$$

GANANCIA



FASE



■ +10 ◆ -10 ▲ +20 ▣ -20 ◆ +30 ▲ -30

Figura 17 Gráficas ganancia y fase contra frecuencia típicas para un dispositivo Al/SRO/Si, usando el circuito de la figura 16.

donde ω es $2\pi f$ y f es la frecuencia, haciendo $A=V_R/V_{in}$ y dividiendo entre R obtenemos:

$$A = \frac{1}{1 - j \frac{f_l}{f}} \quad (10')$$

donde

$$f_l = \frac{1}{2\pi RC}.$$

La magnitud de A es:

$$|A| = \frac{1}{\sqrt{1 + \left(\frac{1/2\pi RC}{f}\right)^2}}, \quad (11)$$

y la fase es

$$\theta = \arctan \frac{1/2\pi RC}{f}. \quad (12)$$

como se puede ver θ tiende a $+90^\circ$ cuando la frecuencia tiende a 0, y cuando f tiende a altas frecuencias θ tiende a 0° .

El DUT en realidad no es un capacitor ideal por lo que las gráficas de la figura 17 son parecidas a las esperadas para un circuito R-C. La impedancia, Z , de la estructura sencilla Al/SRO/Si real se puede determinar a partir de los datos

experimentales de la figura 17.

Ahora la ecuación (10) se expresa como

$$V_R = V_{in} \frac{R}{R + Z}, \quad (10'')$$

y Z se obtiene como:

$$Z = \left(\frac{1}{A} - 1\right)R. \quad (13)$$

Por otro lado, la ganancia se puede expresar como:

$$A = |A|(\cos \theta + j \operatorname{sen} \theta). \quad (14)$$

Substituyendo (14) en (13) y haciendo álgebra

$$Z = \left(\frac{\cos \theta - |A|}{|A|} - j \frac{\operatorname{sen} \theta}{|A|}\right)R, \quad (15)$$

y la fase de Z se expresa como:

$$\alpha = \arctan \frac{-\frac{\operatorname{sen} \theta}{|A|}}{\frac{\cos \theta - |A|}{|A|}} = \arctan \frac{-\operatorname{sen} \theta}{\cos \theta - |A|}, \quad (16)$$

el ángulo θ es la fase medida en la resistencia del circuito C-R, y el ángulo α es la fase del dispositivo desconocido Z.

El ángulo α varía desde $\sim -90^\circ$ hasta $\sim 0^\circ$, como se puede apreciar en la figura 18. Esta figura corresponde a la magnitud de Z y a su ángulo α calculados a partir de los datos de la figura 17.

II.2.1.1.1 Modelo simple de la estructura Al/SRO/Si

De la figura 18 podemos proponer como modelo para Z el circuito de la figura 19. La resistencia R_{DC} es la resistencia a bajas frecuencias, y su valor se puede estimar de la figura 18 aproximadamente como 2 Mohms.

La admitancia Y para el modelo de la figura 19 es:

$$Y = \frac{1}{R_{DC}} + \frac{1}{\frac{1}{j\omega C} + R_s}, \quad (17)$$

De la esta ecuación y haciendo álgebra, podemos expresar a Y como:

$$Y = \frac{1}{R_{DC}} + \frac{1}{R_s} \left(\frac{\omega^2 R_s^2 C^2}{1 + \omega^2 R_s^2 C^2} \right) + \frac{j}{R_s} \left(\frac{\omega R_s C}{1 + \omega^2 R_s^2 C^2} \right). \quad (17')$$

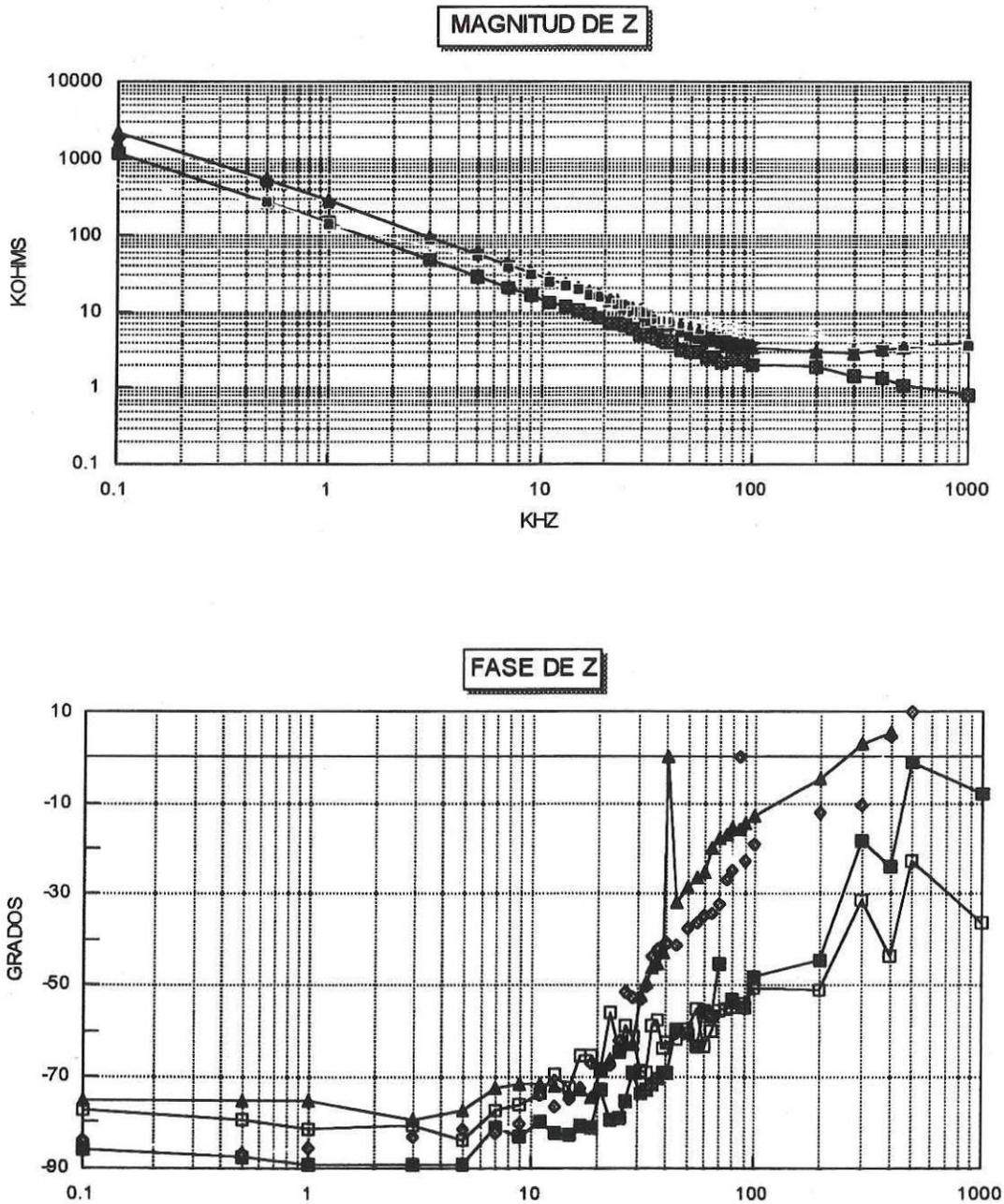


Figura 18 Magnitud de la impedancia y la fase para el DUT en función de la frecuencia.

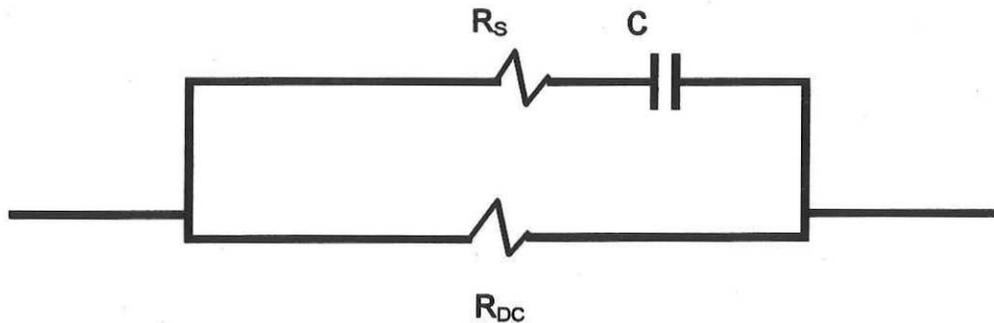


Figura 19. Modelo simple de la Z equivalente del DUT.

Por otro lado,

$$Y = \frac{1}{|Z|} (\cos \alpha - j \operatorname{sen} \alpha) \quad (18)$$

la parte real e imaginaria de esta ecuación, utilizando los datos del experimento, se muestra en la figura 20.

De la parte imaginaria de Y se puede ver que para la polaridad positiva existe un máximo bien definido. Para la polaridad negativa en cambio no se observa este comportamiento. Este efecto con la polaridad lo discutiremos más adelante. En esta sección consideraremos solamente el máximo de las curvas polarizadas positivamente. Ahora, derivando la parte imaginaria de la ecuación (17), y obteniendo el punto de inflexión, se observa que:

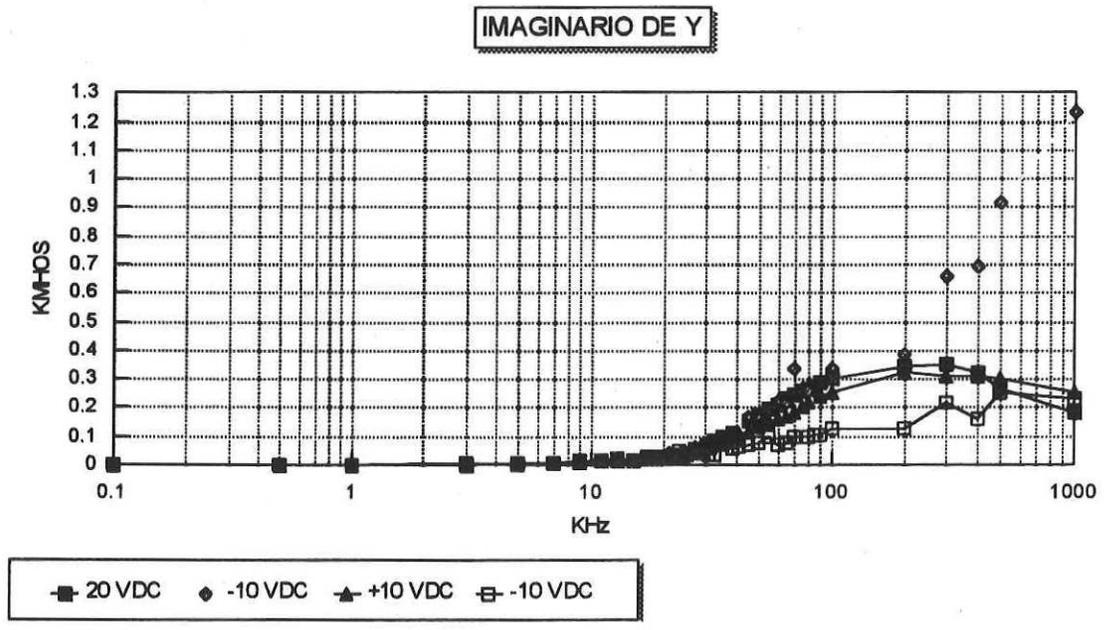
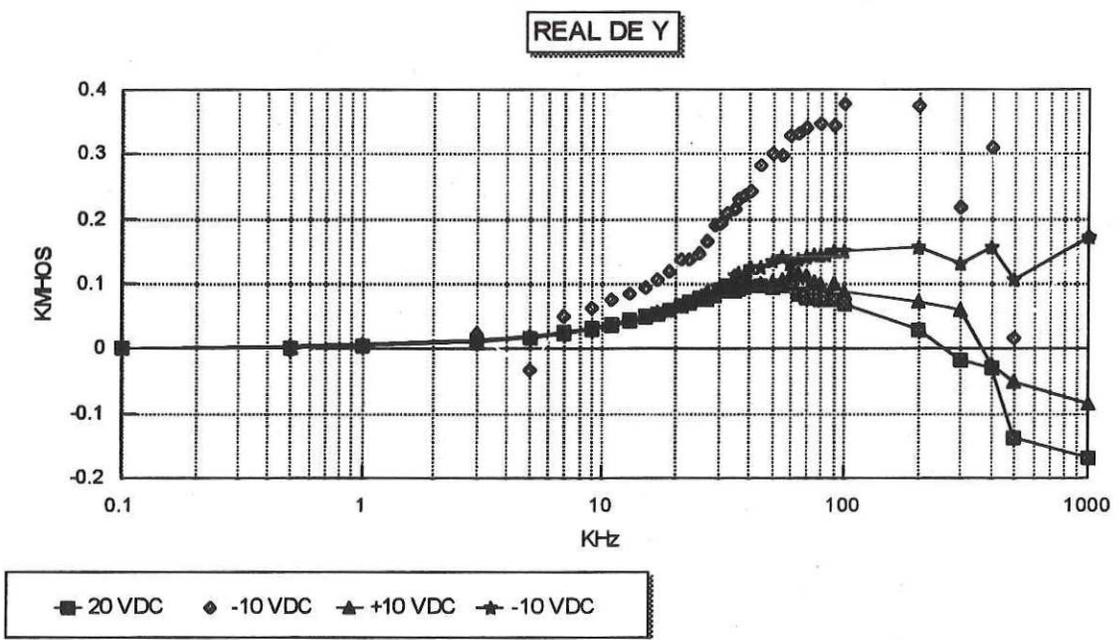


Figura 20. Parte real e imaginaria de la admitancia.

$$\omega_{\max} = \frac{1}{RC} \quad (19)$$

y de la figura 20 obtenemos $f_{\max} = 200$ KHz, y $Y_{\max} = 0.35$ Kmhos. Sustituyendo $1/RC$ en la ecuación (17') se tiene:

$$Y \left| \frac{1}{RC} \right. = \frac{1}{R_{DC}} + \frac{1}{2R_s} + \frac{j}{2R_s} \quad (17'')$$

igualando las partes imaginarias obtenemos, $1/2R_s = 0.35$ Kmhos, y por tanto $R_s = 1.42$ Kohms. De la ecuación (19) obtenemos:

$$C = \frac{1}{2\pi f_{\max} R} \quad (20)$$

y por tanto $C = 560$ pF.

La figura 21 muestra los resultados experimentales obtenidos del circuito de la figura 16 comparados con la simulación del mismo circuito, substituyendo a Z con el modelo propuesto. Los valores de R_s y C se tomaron de los cálculos anteriores, pero además se muestra una simulación donde C se calculó por prueba y error. El valor obtenido por prueba y error es de 1000 pF. Este valor corresponde a un máximo en la frecuencia de 112 KHz.

A.2. Prueba de Voltaje de rompimiento.

Para la prueba de voltaje de rompimiento se utilizó el modelo del cuerpo humano [Greason, 1987]. El circuito para este modelo se muestra en la figura 22 (a), y la constante de tiempo usada fue de 0.5 microsegundos. Las pruebas se hicieron sometiendo el dispositivo a un pulso positivo de 50 volts inicialmente, la magnitud del pulso se fue incrementando de 50 en 50 volts hasta lograr el rompimiento. El primer pulso fue siempre positivo, si la muestra lo soportaba, se aplicaba el siguiente pulso de la misma magnitud pero negativo, así que la muestra fue sometida dos veces a picos de la misma magnitud. Los resultados se muestran en la figura 22 (b). Como se puede ver el DUT puede exponerse con bastante seguridad a picos de 200 volts, pero potencialmente podría soportar picos tan grandes como 850 V.

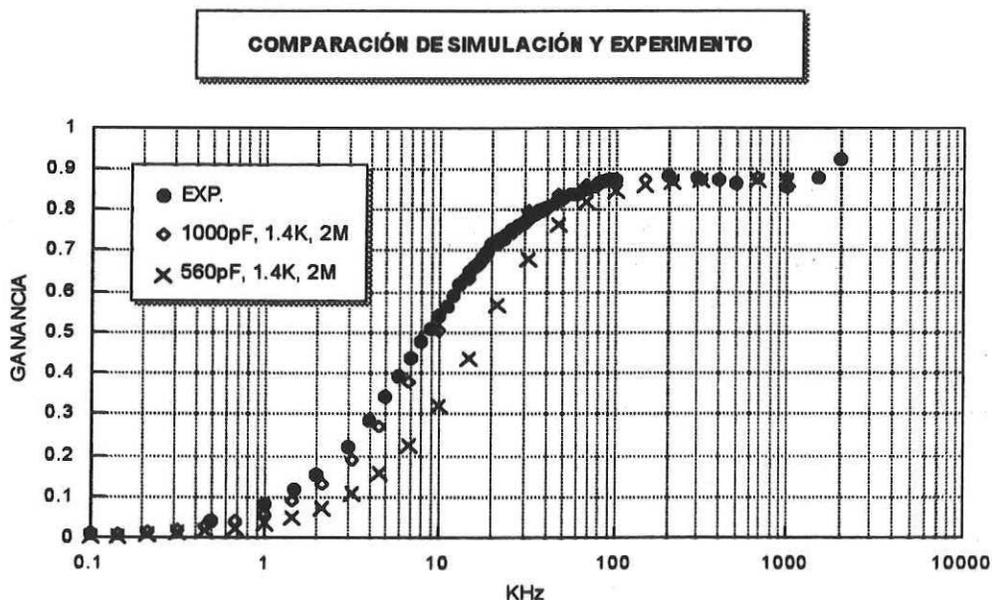
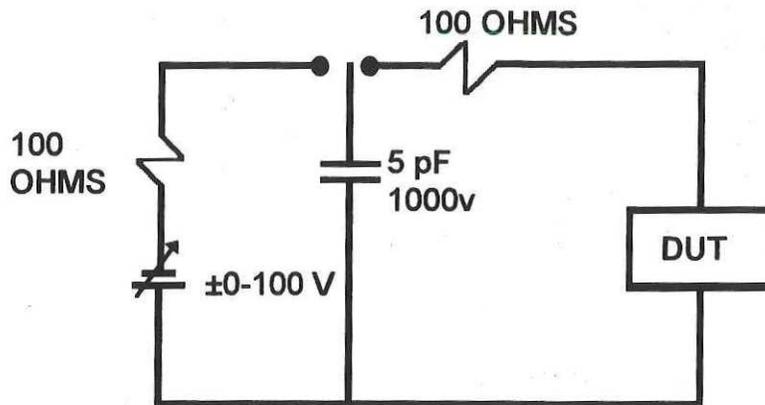


Figura 21. Comparación de resultados experimentales y de simulación.



(a)

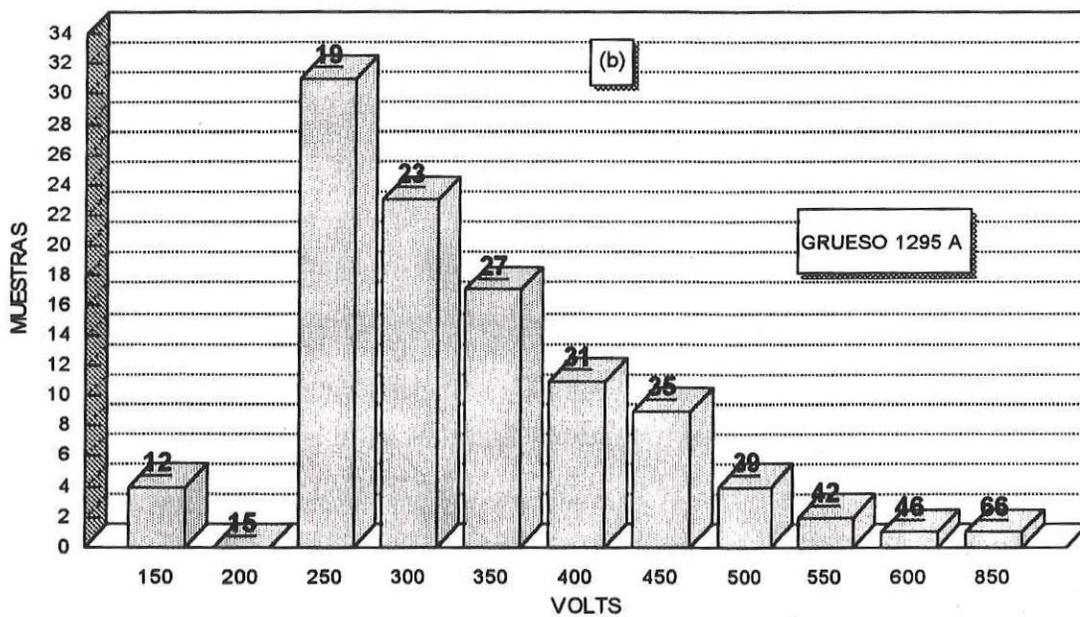


Figura 22. Circuito, para el modelo del cuerpo humano (a), usado para someter las muestras a picos de alto voltaje, y (b) voltajes de rompimiento obtenidos al someter el DUT a este circuito. Sobre las barras se muestra el campo eléctrico equivalente en MV/cm.

II.2.2 Mediciones en pads

II.2.2.1 Respuesta en Frecuencia

Se probaron cuatro tipos de pads, y al menos se midieron 20 muestras por oblea. La tabla IV muestra la nomenclatura de los pads usados. Los renglones marcados N⁺, tienen implantación N⁺ como se mencionó anteriormente en la descripción del proceso de fabricación. Se usaron dos gruesos de SRO, y la estructura fue, como en el caso de los capacitores, Al/SRO/Si. Los pads Z y 21 no se conectaron a ningún dispositivo, y los de entrada N y P se conectaron a la compuerta de transistores N y P de geometría mínima (10 x 10 μm²). Los pads fueron sometidos a las mismas pruebas que los capacitores. La figura 23 (a) y (b) muestra la ganancia y la fase de los pads para los dos gruesos de SRO utilizados, como se puede ver no existe diferencia para los pads sobre substrato N y los pads sobre substrato N⁺.

El grueso del SRO se estimó de las medidas eléctricas y de los datos obtenidos anteriormente para Ro 23. La fórmula utilizada es la bien conocida:

$$C = \frac{\epsilon}{t} A \quad (9)$$

los valores experimentales fueron

$$\text{Área} = 7.7 \times 10^{-5} \text{ cm}^2.$$

$$\varepsilon = 0.385 \text{ pF/cm}^2.$$

$$C = 3 \text{ pF y } 4.4 \text{ pF}$$

La capacitancia C se obtuvo de las curvas C - V en acumulación, y es el promedio de al menos cinco muestras.

Tabla IV Nomenclatura de los pads usados.

NOMBRE	CONECTADO A:	SUBSTRATO
ENTRADA N	10x10 μm^2 COMPUERTA NMOS	N
ENTRADA P	10x10 μm^2 COMPUERTA PMOS	N ⁺
Z	NADA	N
21	NADA	N ⁺

En lo que se refiere a la ganancia y la fase, el comportamiento es similar a los resultados obtenidos en los capacitores de la sección anterior, con las diferencias debidas al valor de la capacitancia, y, como se mencionó, no se distingue ninguna diferencia entre los pads con sustrato N y N⁺.

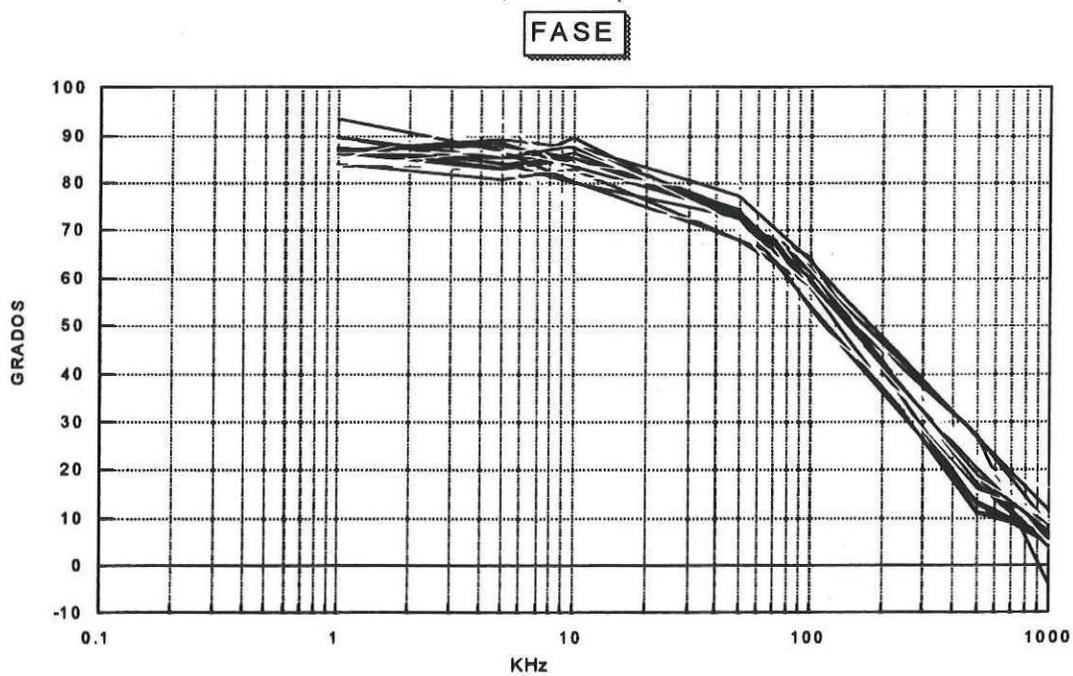
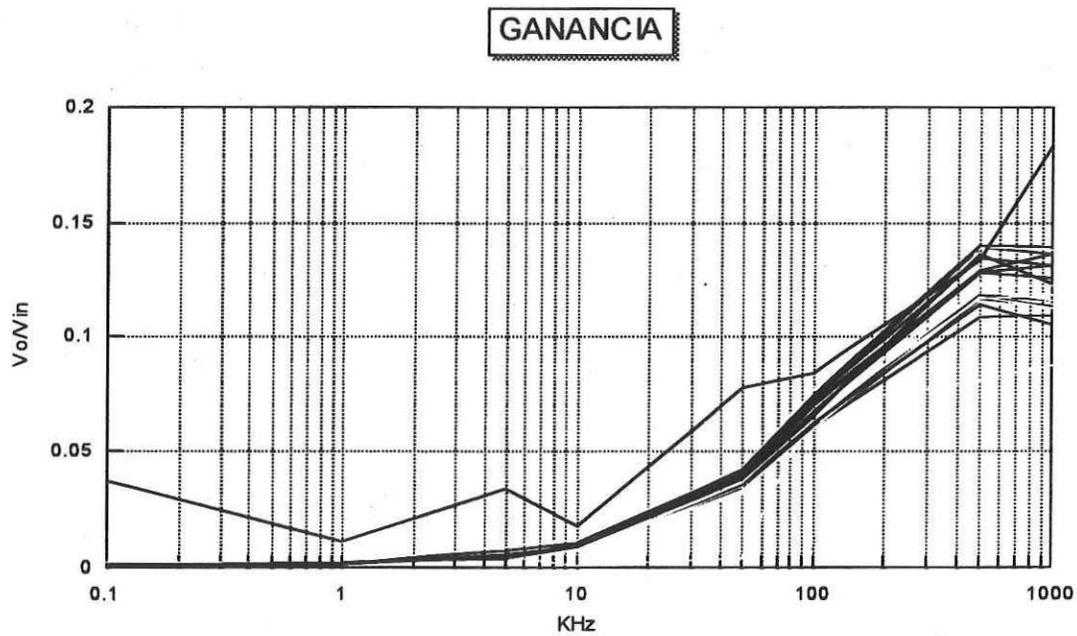


Figura 23. Ganancia y fase para los pads Z y 21 probados usando el circuito de la figura 16. (a) grueso del SRO 660 Å.

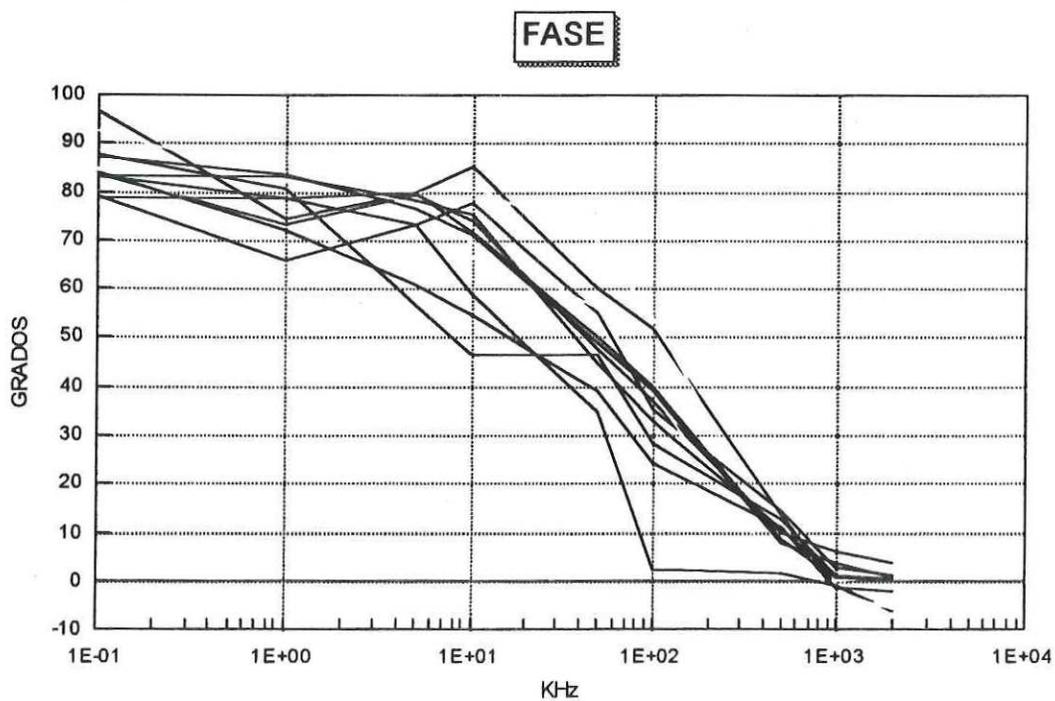
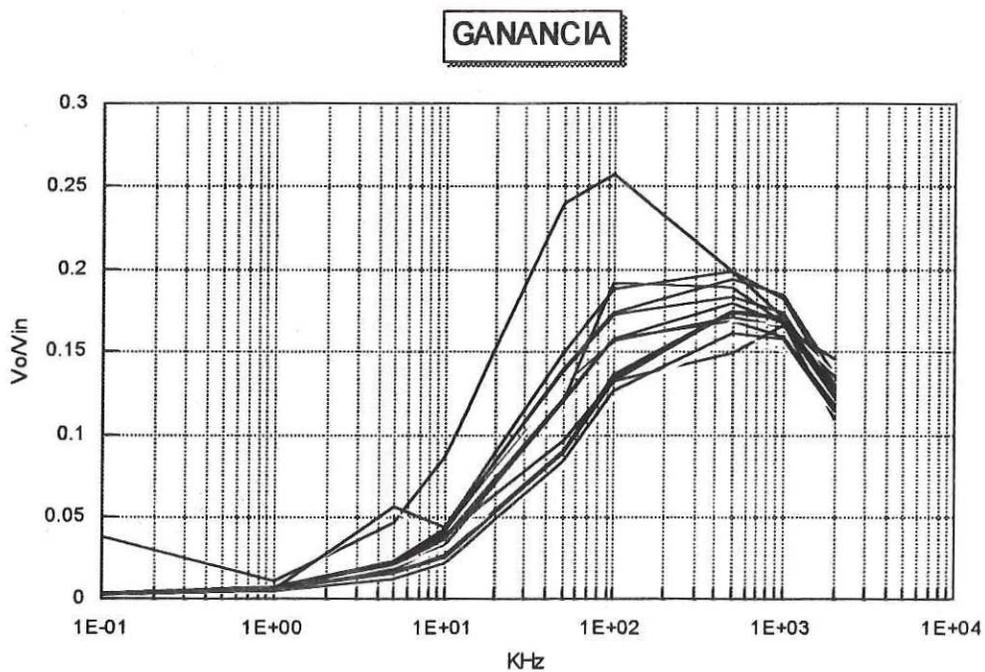


Figura 23 cont. Ganancia y fase para los pads Z y 21 probados usando el circuito de la figura 16. (b) grueso del SRO 1020 Å.

II.2.2.2 Prueba de Voltaje de Rompimiento.

Como en el caso de las pruebas en capacitores, el modelo del cuerpo humano se usó para probar los pads, y los parámetros usados fueron 0.5 microsegundos para la constante de tiempo, y los pasos de voltaje fueron de 25 volts. Como en el caso anterior, se inicio siempre con voltaje positivo y se aplicó a continuación el pico de voltaje negativo. Los pads ligados a transistores se conectaron de tal manera que la trayectoria de conducción a tierra tuviera mayor posibilidad de dañar la compuerta del transistor que al dispositivo de protección, como se muestra en la figura 24. De esta forma si el dispositivo de protección no es eficaz los picos dañaran la compuerta antes que al diodo Al/SRO/Si. Después de cada pico de voltaje se verifico la funcionalidad del transistor, y se consideraba dañado cuando ya no funcionaba más.

Con el objetivo de tener una referencia, se sometieron también capacitores de óxido delgado a la misma prueba. Se encontró que el óxido delgado rompe cuando se aplican picos de tan solo 25 volts. El óxido delgado fue de 600 Å, crecido térmicamente en presencia de cloro. Este óxido es normalmente utilizado como óxido de compuerta en el proceso CMOS 1.

El resultado de someter los pads a los picos generados por el modelo del cuerpo humano se muestran en la figura 25 y 26. Estos resultados fueron obtenidos de la medición de al menos 15 pads por oblea, y por dispositivo. Lo primero

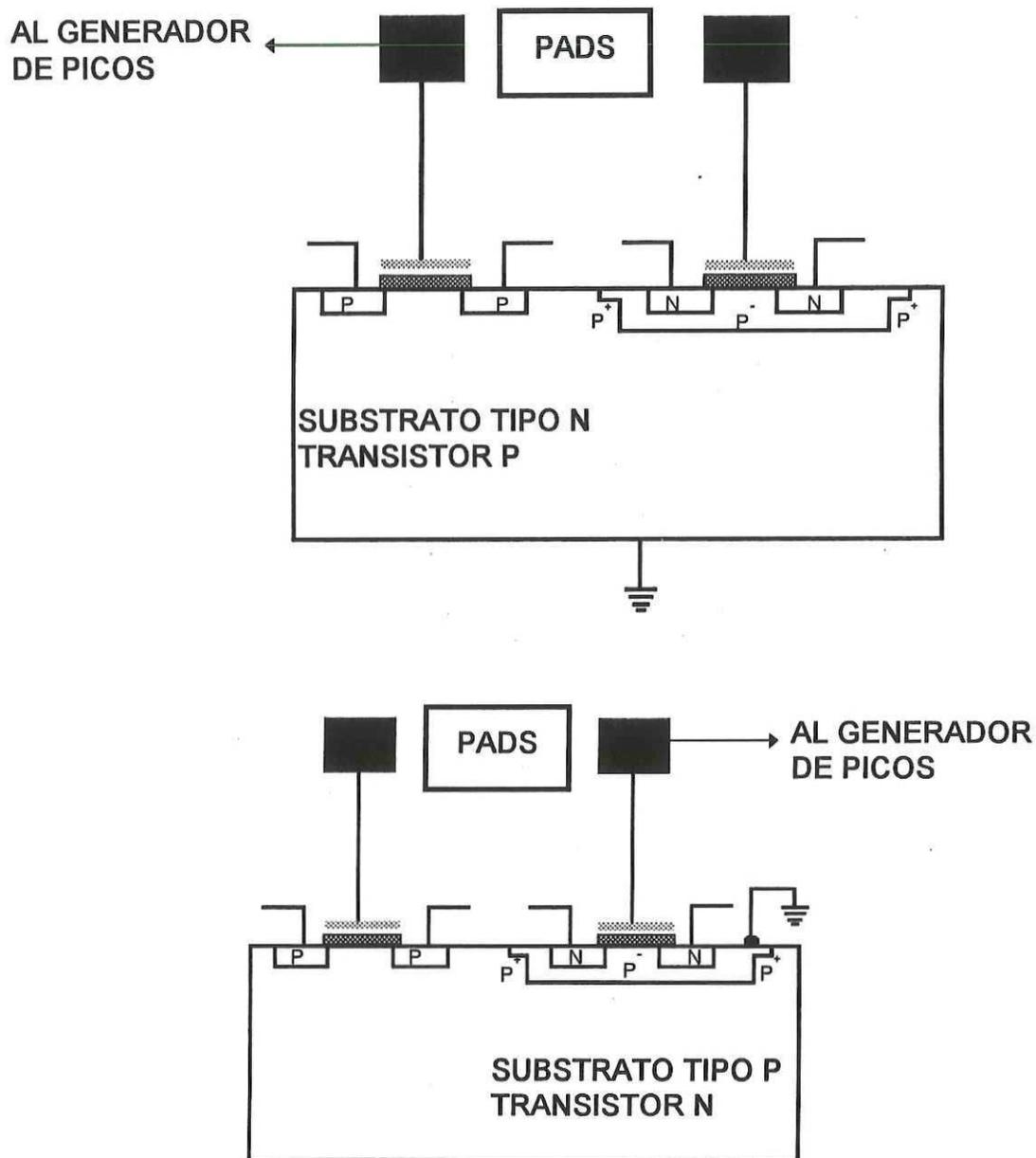


Figura 24. Conexión de los pads unidos a transistores. Se buscó que la trayectoria a tierra tuviera más posibilidades de dañar a la compuerta del transistor.

que se puede notar de estos resultados es que el voltaje de rompimiento es menor que en el caso de capacitores, aun cuando el grueso del SRO, y la estructura sea comparable (pads Z). Esto podría indicar que a mayor área mayor magnitud del pico de voltaje necesario para romper el SRO.

La figura 27 (a) compara el número de dispositivos dañados con picos positivos y con picos negativos para los pads con substrato N y N⁺, es decir, pads Z y 21 respectivamente. También la figura 27 (b) compara la magnitud del máximo voltaje de ruptura alcanzado por dichos pads. De estas figuras se puede observar que más muestras rompen con voltaje negativo que con voltaje positivo. En esta figura se incluye los transistores N y P de la oblea III que muestran resultados coincidentes. También se puede observar que el pad con substrato N⁺ alcanza mayor voltaje, en valor absoluto, de ruptura.

En los pads unidos a transistores, se observó que después del rompimiento comúnmente se tiene contacto al substrato. Después del rompimiento, los pads unidos a transistores tipo P presentan continuidad entre el pad y el substrato, y en los transistores tipo N presentan curvas similares a las de un diodo.

En las figuras 25 y 26 se incluye como referencia el máximo voltaje de rompimiento que presentaron los capacitores de óxido delgado. En estas gráficas también se incluye el campo eléctrico en MV/cm. El campo fue obtenido dividiendo el voltaje aplicado entre el grueso del dieléctrico.

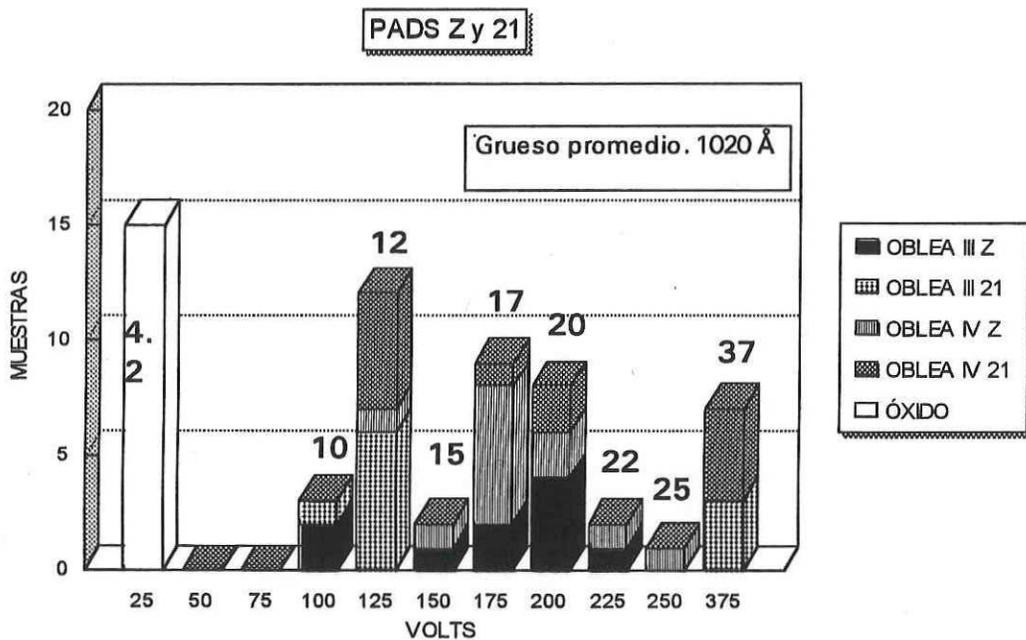
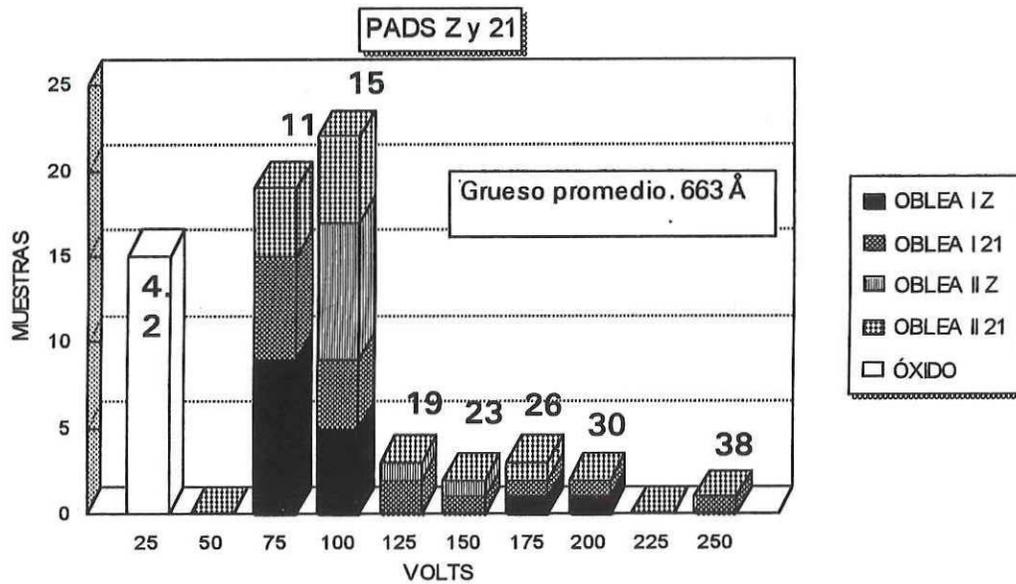
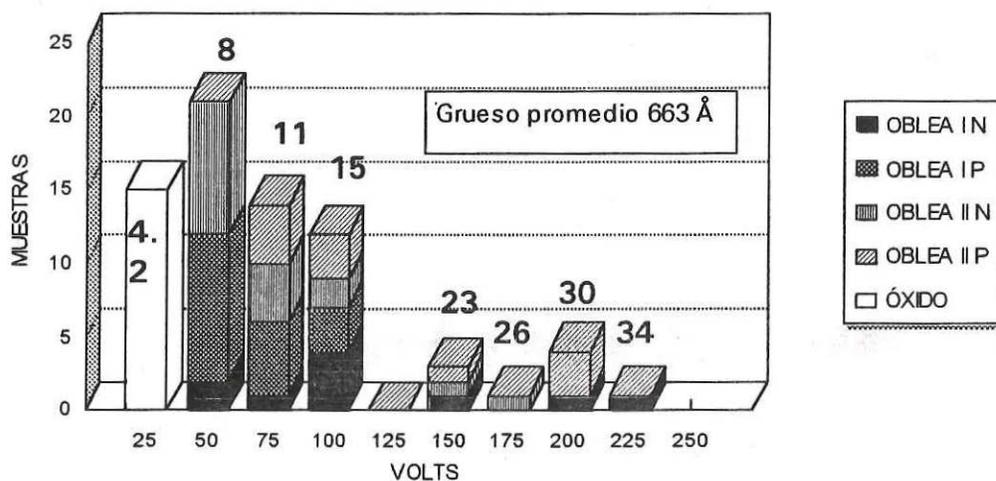


Figura 25. Voltaje de los picos que produce rompimiento destructivo del SRO en los pads no conectados. El campo en MV/cm se muestra sobre las barras.

TRANSISTORES N Y P



TRANSISTORES N Y P

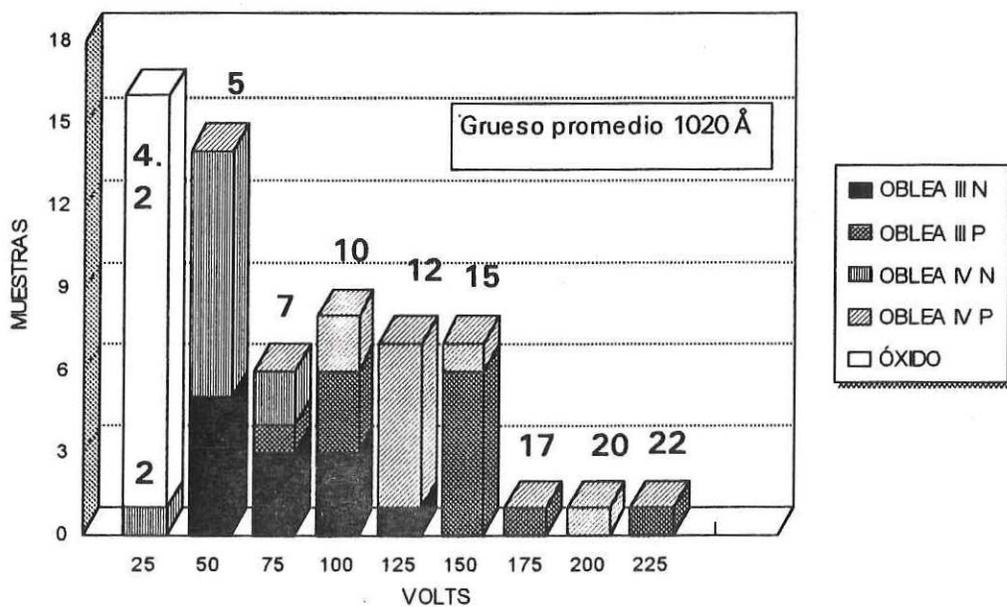


Figura 26. Voltaje de los picos que produce rompimiento destructivo del SRO en los pads conectados a transistores. El campo en MV/cm se muestra sobre las barras.

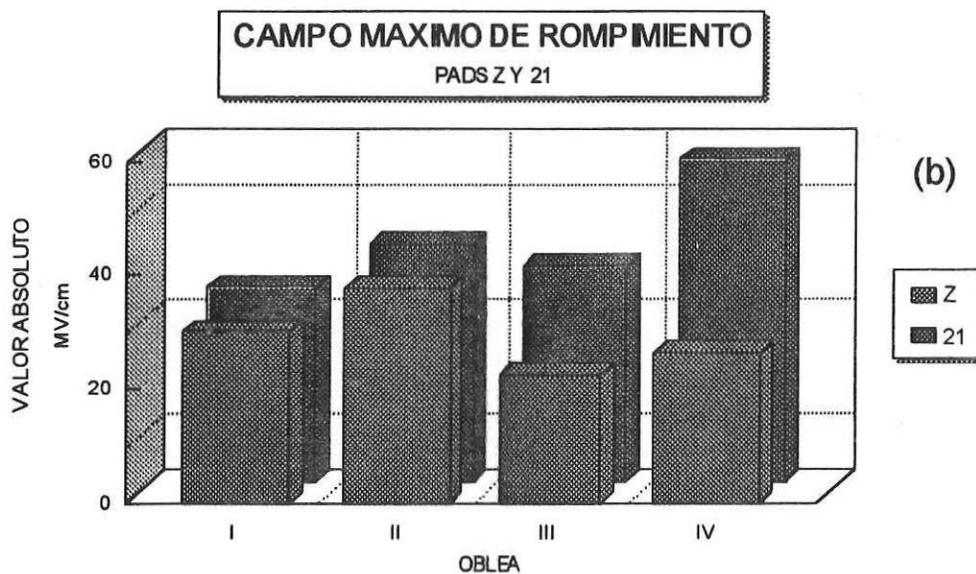
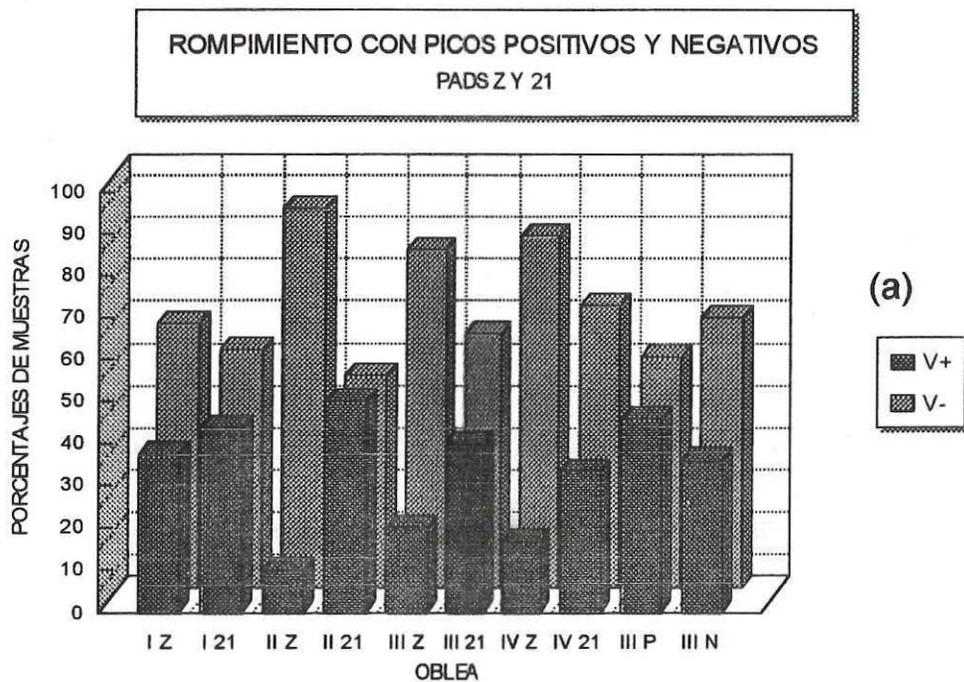


Figura 27. Comparación de los pads Z y 21, (a) porcentaje de muestras por oblea que rompen con voltaje positivo o negativo, (b) máximo voltaje de rompimiento alcanzado por oblea.

II.3 Pruebas en otras estructuras

Con la intención de comparar y para tener una referencia se midieron las siguientes estructuras:

II.3.1 Capacitores de Óxido Térmico

Los capacitores de óxido térmico probados son normalmente usados para monitorear las características del proceso ECMOS 1. Estos capacitores se forman sobre el sustrato tipo N, el grueso del óxido es de 600 Å, y el área es de 1×10^{-3} cm². Los capacitores fueron sometidos al modelo del cuerpo humano, y también probados en AC. Se midieron al menos 10 capacitores.

Los resultados de someterlos al modelo del cuerpo humano muestran que picos de tan solo 25 volts rompen el dieléctrico. La figura 28 muestra el resultado de someter la muestra al circuito pasa altas de la figura 16.

II.3.2 Estructuras con inyectores

II.3.2.1 Estructuras abruptas de Al/Poli-Si/SRO₃/SRO₁₀/SiO₂/Si.

En este caso una capa inyectora de SRO₃ se depositó sobre una capa dual de SRO₁₀/SiO₂. Los gruesos de las diferentes capas SRO₃, SRO₁₀ y SiO₂ fueron 200 Å, 450 Å y 100 Å respectivamente.

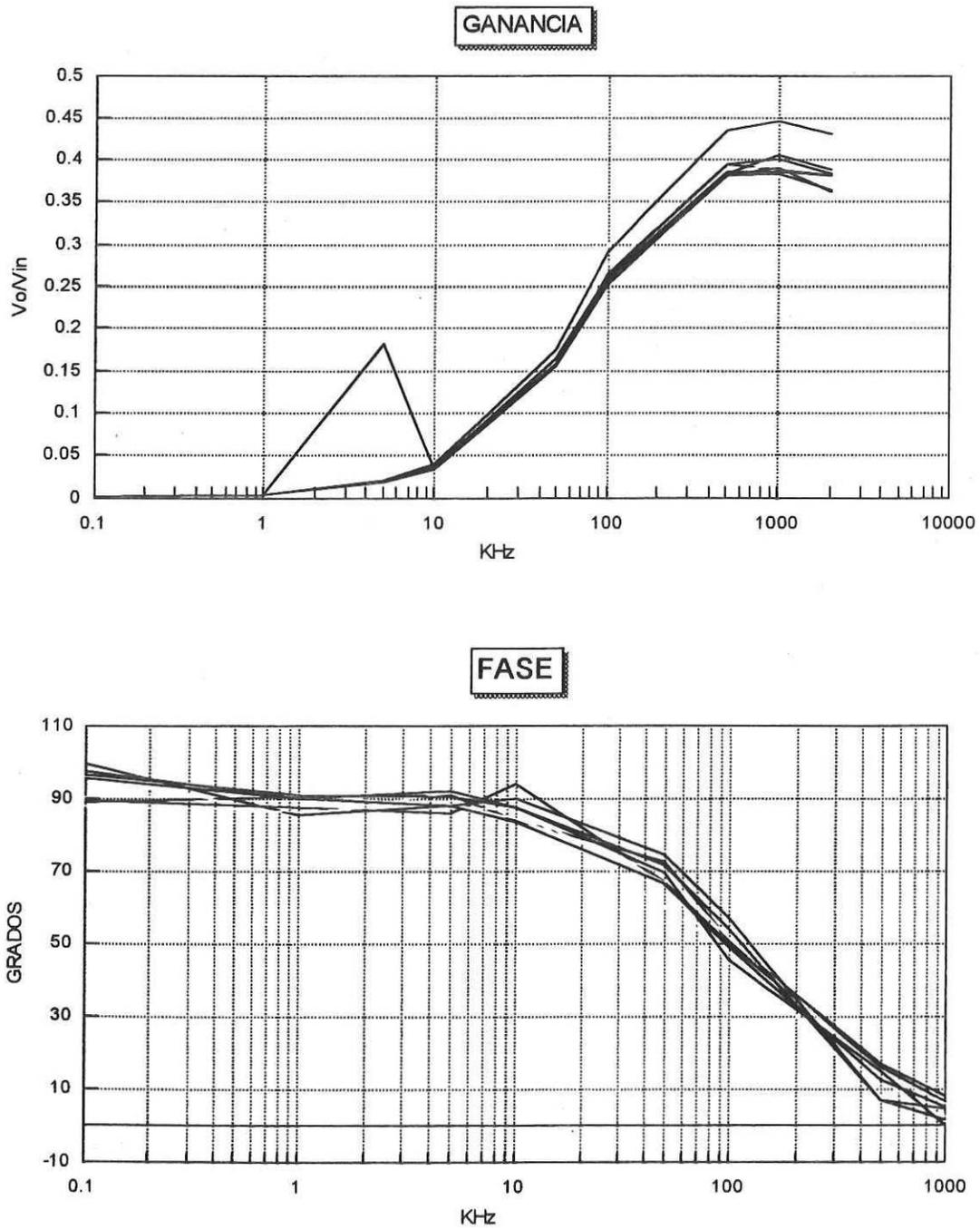


Figura 28 Respuesta a la frecuencia cuando el DUT es un capacitor de óxido térmico.

El óxido térmico se creció en atmósfera de O_2 en presencia de cloro, a 875 °C. El área de estos dispositivos fue de $200 \times 400 \mu m^2$. En estas muestras también se estudiaron los efectos de someterlo a las descargas del modelo del cuerpo humano, y su comportamiento en AC.

Los resultados muestran que voltajes del orden de 40 volts son suficientes para romper el dispositivo. Los resultados de la prueba de AC se muestran en la figura 29.

B II.3.2.2 Estructuras graduales (DEIS).

Estas estructuras se formaron cambiando la R_o durante el proceso de depósito. La estructura está formada por $Al/SRO_3 + SRO_{23} + SRO_3 / Si$. El substrato fue silicio tipo N y P, y en el Al se grabaron cuadros de área $1.5 \times 10^{-2} cm^2$. Las muestras fueron sometidas a las mismas pruebas de los dispositivos anteriores. En este caso no se puede medir el grueso SRO de los diferentes R_o . Sin embargo, el tiempo de depósito para el $R_o 23$ fue similar a los de estructuras simples, así que podemos suponer que el grueso del SRO_{23} será semejante al de estructuras simples. La razón para incluir inyectores es ver si el voltaje de rompimiento aumenta.

Los resultados para el voltaje de rompimiento, y la respuesta de AC se muestran en las figuras 30 y 31.

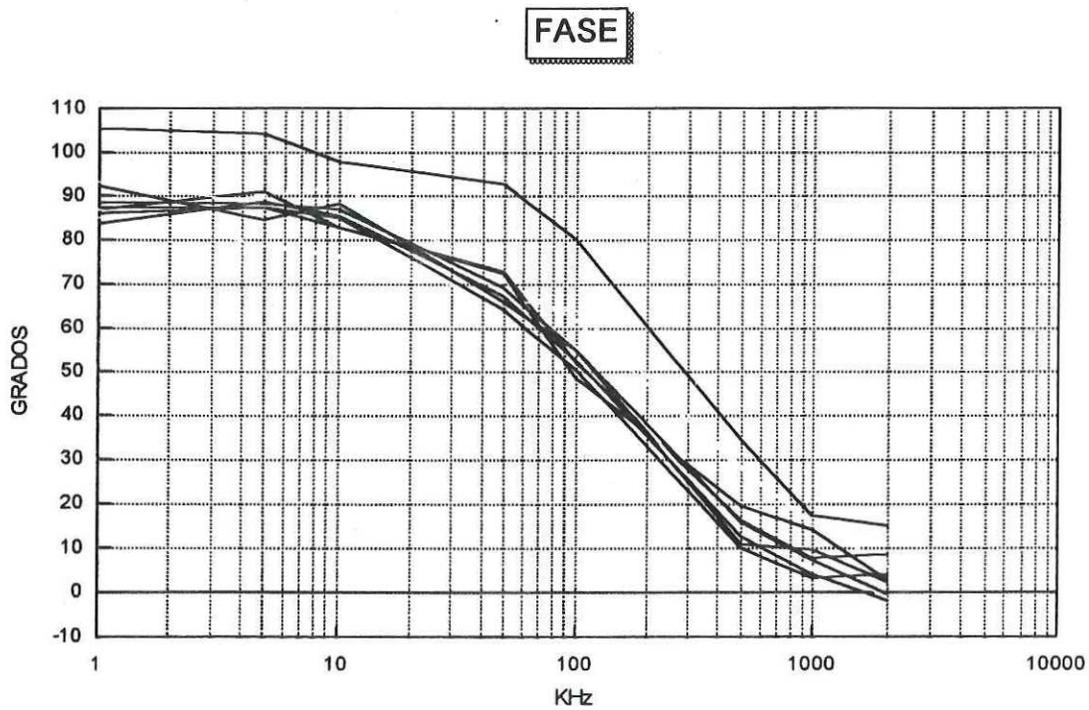
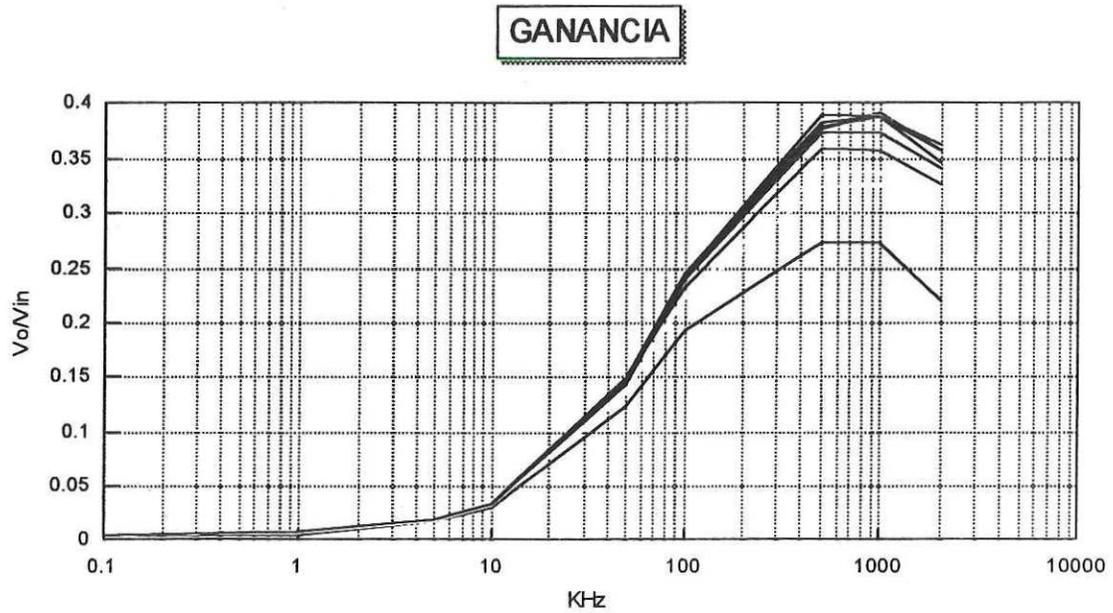


Figura 29 Respuesta a la frecuencia de los dispositivos abruptos.

Podemos ver que el rompimiento de las DEIS son similares a los de estructuras simples. Aunque existe un ligero aumento, no es posible precisar si este aumento se debe a los inyectores, o a un grueso diferente del SRO_{23} , inclusive, podría deberse a la variación en el área de los capacitores circulares. Sin embargo, suponemos que este aumento se debe a la presencia de los inyectores.

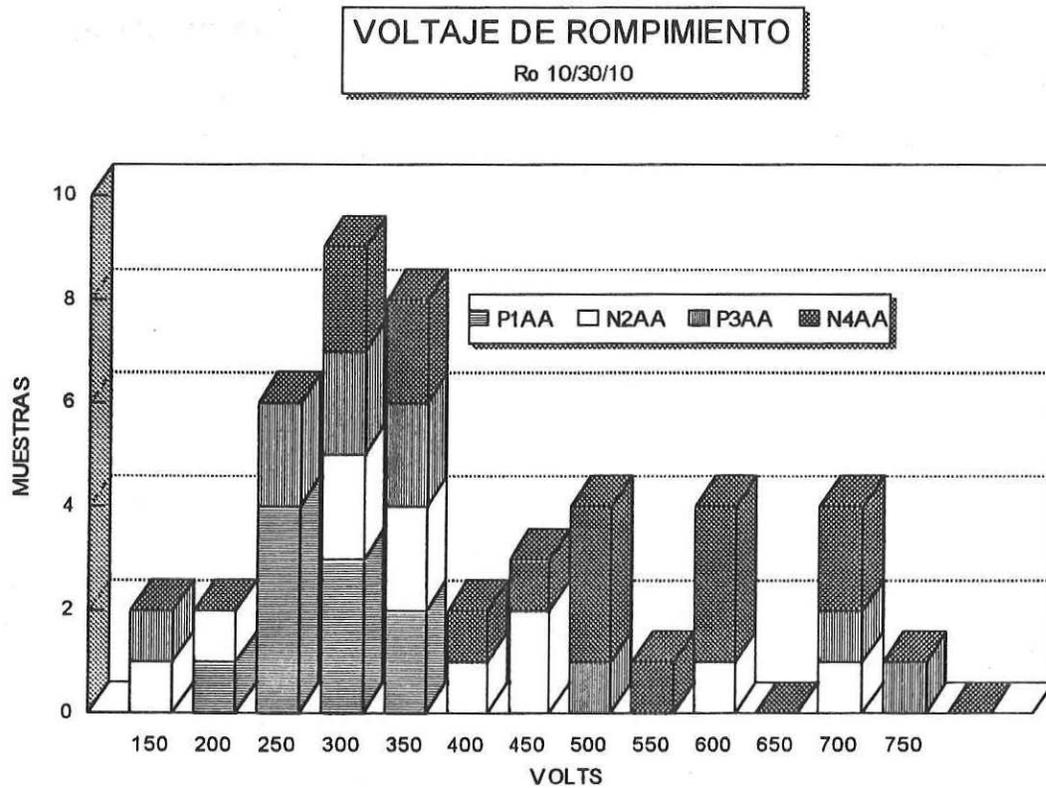


Figura 30. Voltaje de rompimiento de las estructuras DEIS. P1AA y N2AA son cuadros de área de $1.5 \times 10^{-5} \text{ cm}^2$. P3AA y N2AA son círculos de aproximadamente 2 mm de diámetro.

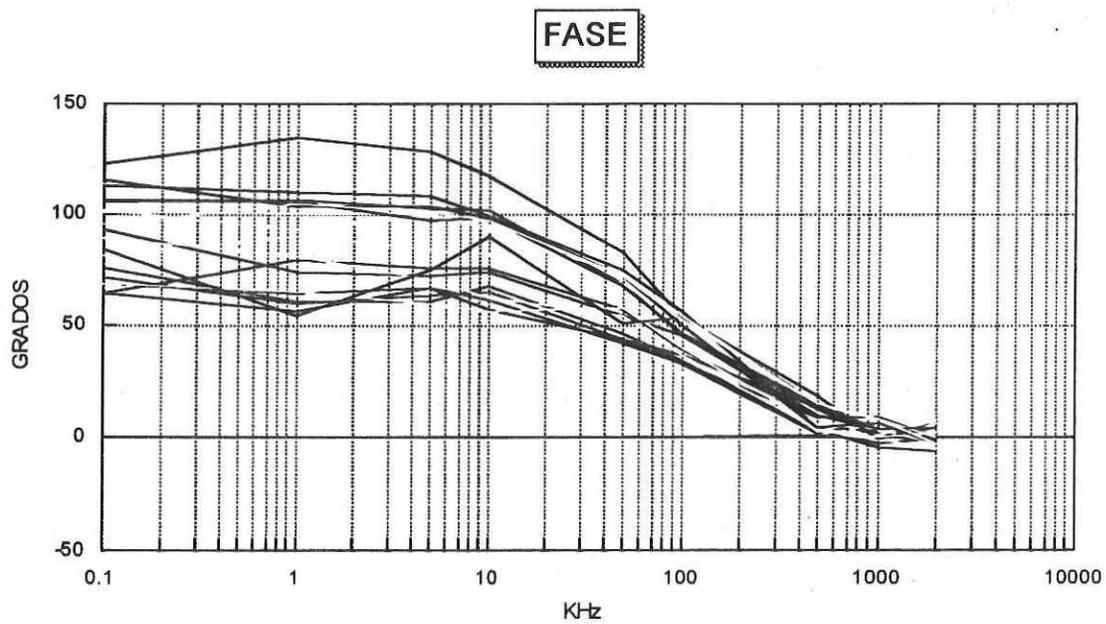
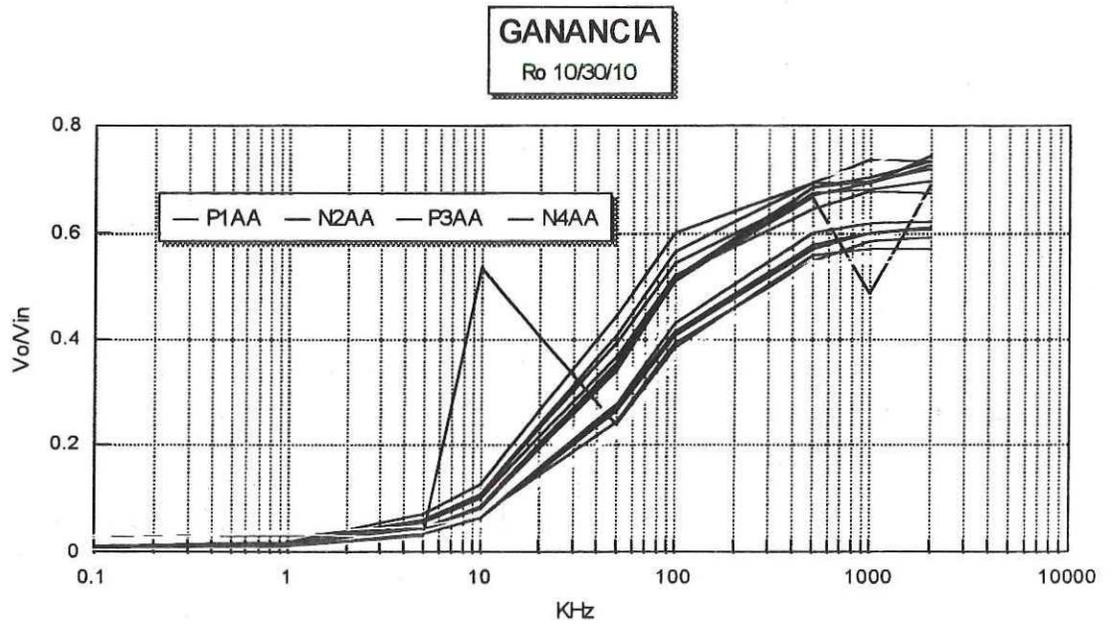


Figura 31. Respuesta a la frecuencia de los DEIS. P1AA y N2AA son cuadros de área de $1.5 \times 10^{-2} \text{ cm}^2$. P3AA y N2AA son círculos de aproximadamente 2 mm de diámetro.

II.3.2.3 Estructuras con SRO₁₀.

Con la intención de conocer el comportamiento de los inyectores con Ro 10, se sometieron a la prueba del cuerpo humano estructuras Al/SRO₁₀/Si. Las muestras fueron la P1CC y la N2CC, y la concentración del substrato en ambos casos fue $3 \times 10^{15} \text{ cm}^{-3}$. El grueso medido por elipsometría fue 922 y 978 Å respectivamente.

La figura 32 muestra la ganancia y la fase en función de la frecuencia para el dispositivo mencionado.

De esta figura se puede observar un ligero corrimiento hacia frecuencias menores, comparando con la respuesta de capacitores de Ro mayor. Sin embargo, este corrimiento no es significativo.

La figura 33 muestra los voltajes de pico aplicados usando el modelo del cuerpo humano, para los cuales el dispositivo mostró rompimiento. Como se puede observar el voltaje de rompimiento alcanza valores muy bajos, sin embargo, un dispositivo llegó hasta 700 volts.

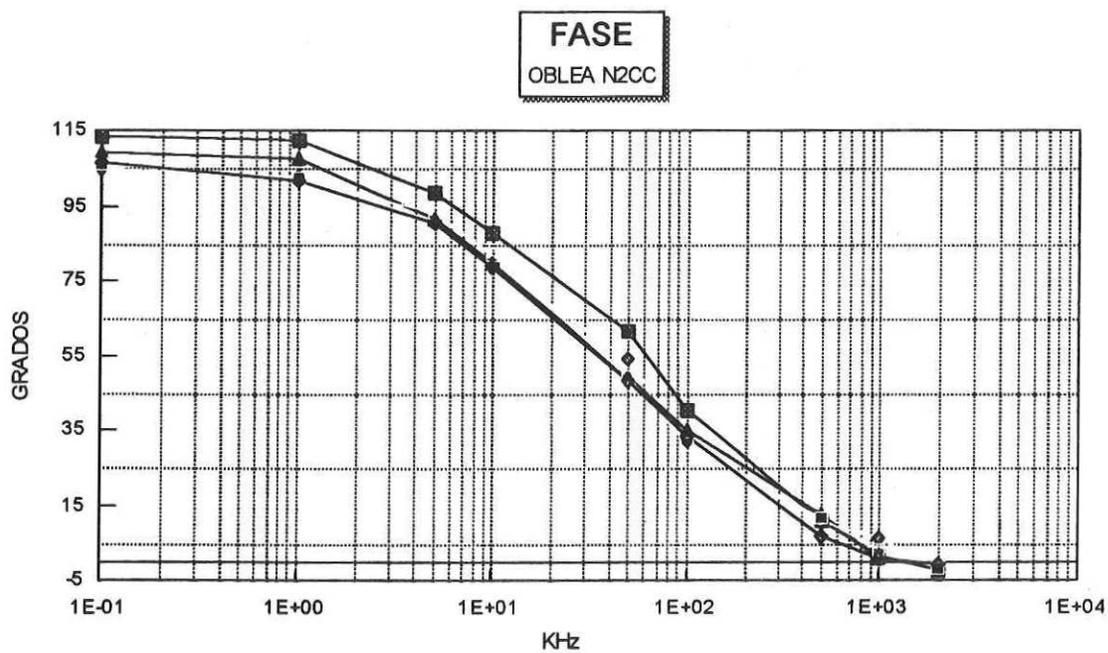
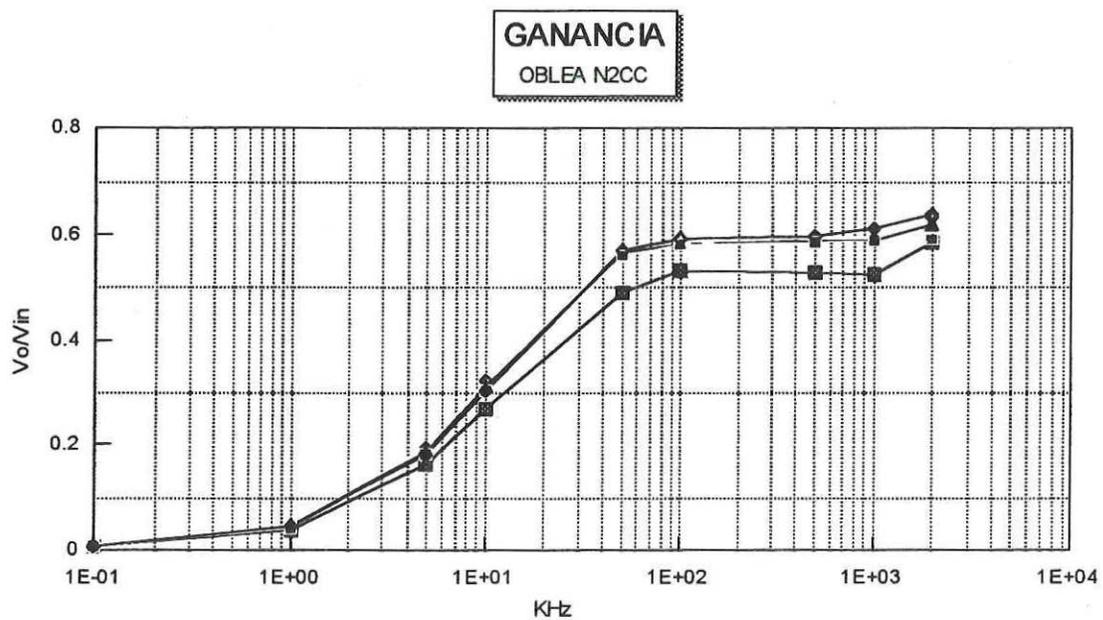


Figura 32. Ganancia y fase para un capacitor con R_o 10.

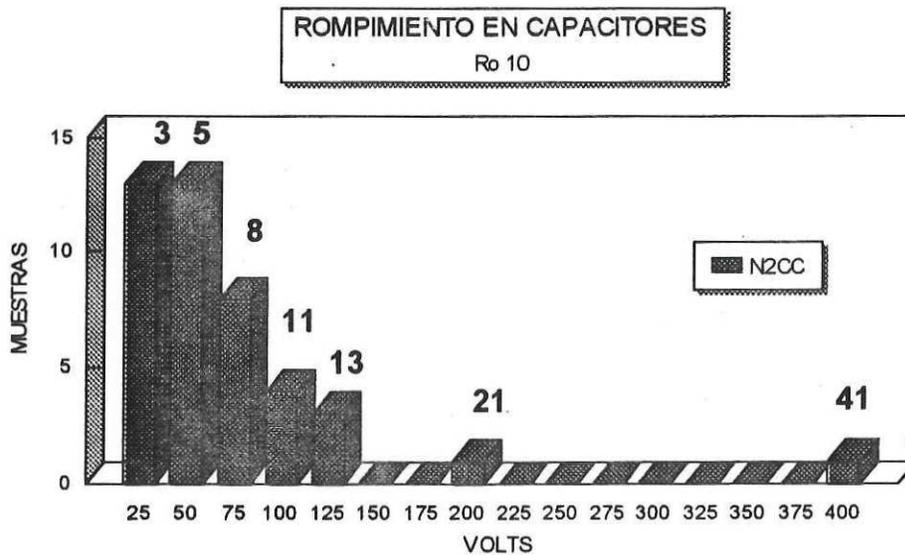
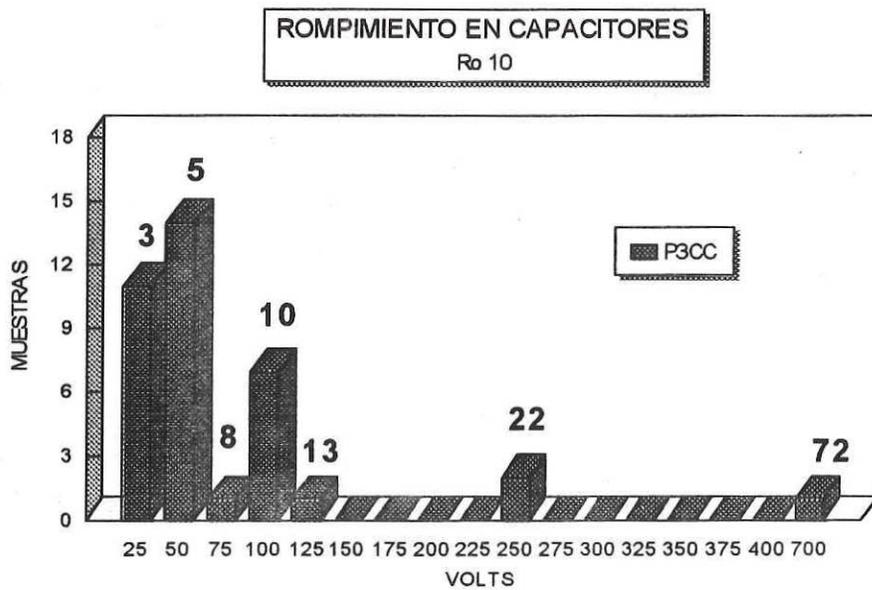


Figura 33. Voltaje de los picos aplicados al dispositivo utilizando el modelo del cuerpo humano. Sobre las barras se muestra el campo eléctrico en MV/cm.

III DISCUSIÓN DE LOS RESULTADOS EXPERIMENTALES

En este capítulo se discuten y se dan algunas hipótesis que explican los resultados experimentales. La discusión mantendrá el orden en que se presentaron los resultados experimentales en el capítulo anterior.

Supondremos que el efecto total del exceso de silicio en el SRO es producir trampas en el SiO_2 , y que estas trampas pueden ser negativas, positivas o neutras [Kalnitsky *et al.*, 1990]. Las trampas pueden atrapar, o donar un electrón. Para facilitar la discusión, la figura 34 representa en forma muy simple el estado de la superficie del Si y la carga atrapada en el SRO, como resultado de someter al dispositivo Al/SRO/Si a esfuerzos positivos y negativos. A continuación utilizaremos esta representación para discutir el efecto de aplicar esfuerzos de voltaje sobre las curvas C-V, y los resultados pueden explicarse en función de intercambio de cargas entre la superficie del silicio y la carga atrapada en el SRO.

III.1 Discusión de los resultados de las mediciones en DC.

III.1.1. Curvas C-V

Las curvas C-V mostradas en la figura 7 (a) y (b) son curvas típicas obtenidas en una muestra virgen, de Ro 23 y substrato tipo N o P, y posteriormente esforzada. Las curvas muestran los resultados esperados, es decir las muestras esforzadas a +100 volts, se desplazan hacia la derecha indicativo de carga atra-

pada negativa. La curva esforzada con -100 volts, se desplaza a la izquierda indicativo de carga atrapada positiva. Estos resultados están de acuerdo con lo reportado en la literatura especializada. Sin embargo, también se observa que la capacitancia mínima se altera con el voltaje de esfuerzo, es decir, la capacitancia mínima es diferente si la muestra es virgen, o si se aplica esfuerzo negativo o positivo. Más aún, se presenta un mínimo en esta capacitancia, el cual se marca en las curvas como codo, que se altera al aplicar esfuerzos a la muestra.

III.1.1.1 Substratos tipo N.

III.1.1.1.1 Esfuerzo positivo.

Al aplicar un esfuerzo positivo al dispositivo, el SRO atrapa carga negativa obligando al substrato tipo N a invertir su superficie. Para realizar la curva C-V se aplica una rampa de voltaje que comienza negativa. Si no existiera la carga atrapada en el SRO, la región de empobrecimiento y de inversión en la superficie del silicio produciría la C_{min} de una muestra virgen. Sin embargo, la carga negativa atrapada en el SRO se intercambia con los huecos de la región de inversión, y esto produce un crecimiento en la región empobrecida. Un aumento de la región vacía da por resultado una capacitancia C_{min} menor. Al continuar la rampa de voltaje negativo hacia cero, el voltaje disminuye y con él la generación de huecos. Así el intercambio de carga no puede ser sostenido, y da por resultado un nuevo crecimiento de la región empobrecida, y produciendo un mínimo en la C_{min} (codo).

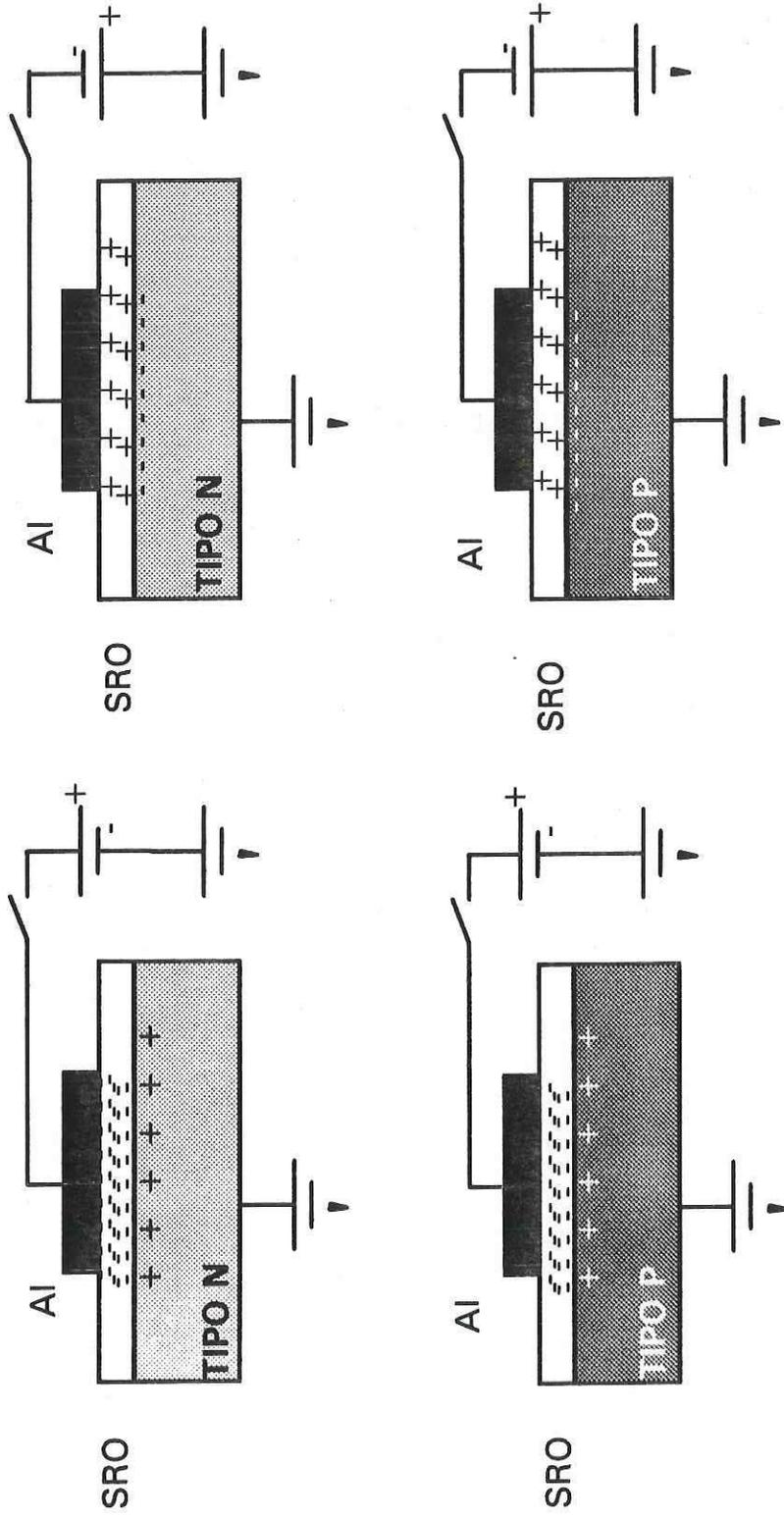


Figura 34. Esquema simplificado del dispositivo Al/SRO/ Si sometido a esfuerzo positivo y negativo.

Después la curva continúa su trayectoria normal hacia acumulación.

III.1.1.1.2 Esfuerzo negativo.

Al aplicar un esfuerzo negativo, la carga atrapada en el SRO es positiva, y la superficie está en acumulación. Al iniciar la rampa con voltaje negativo de un valor suficientemente alto la región de inversión se formará a pesar de la carga positiva presente en el SRO. Como la región de inversión está formada por huecos, no se produce intercambio de cargas con el silicio, de tal forma que la región de inversión, y por tanto la región vacía, no se ven afectadas como en el caso anterior. Dando por resultado que la C_{min} resulte similar a la C_{min} de la muestra virgen. Como se puede ver de la curva C-V el codo desaparece. El argumento de que la carga atrapada en el SRO no afecta a la formación de la región de inversión es también válido para "el abatimiento" del codo. La presencia del codo en la curva virgen indicaría que existe carga atrapada aún antes de que se sometan las muestras a esfuerzos. Se puede pensar que los tratamientos térmicos finales del proceso de fabricación de las muestras, son la causa de la carga atrapada inicial.

III.1.1.2 Substratos tipo P.

III.1.1.2.1 Esfuerzo positivo.

Al aplicar un esfuerzo positivo el SRO atrapa carga negativa manteniendo la superficie en acumulación. Para explicar esta curva se dan los mismos argu-

mentos a los usados para substrato tipo N y esfuerzo negativo.

III.1.1.2.2 Esfuerzo negativo.

En este caso la carga atrapada es positiva y la superficie del silicio esta en inversión, por lo que la explicación a esta curva es la misma que para el substrato tipo N y esfuerzo positivo.

III.1.2. Estimación de las trampas activas en el SRO a partir las curvas C-V.

De los trabajos de DiMaria, López y Kalnitsky se pueden considerar como válidos los siguientes resultados:

- El transporte de carga en el SRO se debe únicamente a electrones.
- Las trampas en el SRO son univalentes, es decir, atrapan o liberan solamente a un electrón.
- El SRO puede atrapar carga positiva y negativa. Si una trampa acepta un electrón la trampa será negativa, y si la trampa dona un electrón la trampa será positiva.

Con estas suposiciones podemos estimar la densidad de trampas activas en el SRO. La estimación se puede hacer sometiendo la muestra a un esfuerzo positivo, suficientemente alto y durante un tiempo suficientemente largo, como para llenar todas las trampas con electrones. En seguida realizar la curva C-V. A

continuación someter la misma muestra a un esfuerzo negativo, suficientemente alto y durante un tiempo suficientemente largo, para vaciar las trampas. Inmediatamente realizar la curva C-V de nuevo. Si suponemos que el número de trampas en el SRO es tan grande que podemos despreciar cualquier otro efecto sobre el desplazamiento de las curvas, entonces el corrimiento de las curvas se debe únicamente a la carga atrapada y liberada. De esta forma el desplazamiento total de las curvas incluye dos veces el número de trampas. Utilizando métodos comunes para el análisis de estructuras MOS [Zaininger y Heiman. 1970] tenemos:

$$T = C \frac{\Delta V / 2}{q} \quad (21)$$

donde T es la densidad de trampas (cm^{-2}), ΔV es el corrimiento total de las curvas, q es la carga electrónica y C es la capacitancia en acumulación (F/cm^2). Suponiendo que las trampas están uniformemente distribuidas en el SRO. La densidad volumétrica de trampas activas será:

$$T' = \frac{T}{t_{SRO}} \quad (22)$$

donde t_{SRO} es el grueso del SRO. T y T' se muestran en la tabla V para algunas de las muestras.

Por otro lado, sin importar el tipo de substrato, si la carga atrapada en el

SRO es tal que produce inversión en la superficie la capacitancia C_{\min} se reduce. Si como hemos dicho, el intercambio de carga entre la superficie invertida y la carga atrapada causa la variación en la capacitancia, entonces la variación en la C_{\min} debe estar relacionada con el número de trampas. Podemos pensar que el intercambio de cargas es equivalente a tener un sustrato de diferente concentración. Si aceptamos que sólo un electrón es atrapado o donado por cada trampa en el SRO, podemos relacionar la concentración equivalente del sustrato y el número de trampas.

TABLA V Densidad de trampas activas en el SRO calculadas de las curvas C-V.

OBLEA	T cm ⁻²	T' cm ⁻³	Ro	N+N' cm ⁻³
P136	1.78x10 ¹²	1.17x10 ¹⁷	30	1.2 x10 ¹⁷
P236	1.65x10 ¹²	1.64x10 ¹⁷	30	1.46x10 ¹⁷
P1J	1.9x10 ¹²	2.75x10 ¹⁷	23	8.82x10 ¹⁶
P3I	1.42x10 ¹²	2.03x10 ¹⁷	23	5.18 x10 ¹⁶

La concentración del sustrato se puede obtener de la relación de capacitancias como [Zaininger y Heiman. 1970]:

$$N \approx \frac{2kT\epsilon_{Si}}{q^2 \left(\frac{5C_n C_i}{(1 - C_n)\epsilon_{Si}} \right)^2} \quad (23)$$

donde k es la constante de Boltzman, T es la temperatura, ϵ_{Si} es la permitividad del Si, C_n es la relación de capacitancias y C_i es la capacitancia del dieléctrico. De la ecuación (23) se puede calcular N , la concentración del sustrato, y N' , la concentración equivalente, y estimar la densidad de trampas como la suma de ellas. En la tabla V también se muestra esta estimación. Debido a la carga atrapada en el SRO y sus efectos sobre el sustrato, es importante notar que la concentración N , o N' , no representa la concentración de donadores o aceptores del sustrato.

III.1.3. Estimación del exceso de silicio en el SRO a partir de la constante de permitividad.

En la tabla II del capítulo anterior se muestra la permitividad, ϵ , del SRO para los diferentes R_o . A partir de los valores estimados en la tabla es posible estimar el exceso de silicio en el SRO [Pérez Blanco, 1996]. Para esto suponemos una función lineal de las constantes de permitividad de los diferentes componentes del SRO, y el SRO, esto es,

$$\epsilon_{SRO} = \epsilon_{Si}(r) + \epsilon_{SiO_2}(1 - r) \quad (24)$$

donde los subíndices se refieren al material correspondiente, y r es la fracción volumétrica que ocupa el silicio dentro del SRO, con respecto al volumen total del SRO. Suponiendo que el exceso de silicio incrementa linealmente la fracción volumétrica, entonces

$$r = Az + B \quad (25)$$

donde z es la cantidad de silicio en el SRO, y se debe cumplir que para $r=0 \Rightarrow$

$\epsilon_{SRO} = \epsilon_{SiO_2}$, y para $r=1 \Rightarrow \epsilon_{SRO} = \epsilon_{Si}$, con estas condiciones obtenemos:

$$r = \frac{1}{0.67} (z - 0.33). \quad (25')$$

De las ecuaciones (24) y (25') estimamos la cantidad de silicio como:

$$z = \frac{\epsilon_{SRO}(0.67) + \epsilon_{Si}(0.33) - \epsilon_{SiO_2}}{\epsilon_{Si} - \epsilon_{SiO_2}}, \quad (26)$$

con $\epsilon_{SiO_2} = 0.34$ pF/cm y $\epsilon_{Si} = 1.04$ pF/cm obtenemos:

$$z = \epsilon_{SRO}(0.96) + 0.0046. \quad (26')$$

El porcentaje del exceso de Si, x , en el SRO será $z-0.33$, por tanto,

$$x = z - 0.33 \approx \epsilon_{SRO}(0.96) - 0.33. \quad (27)$$

La tabla VI muestra el exceso de silicio estimado en este trabajo y el obtenido por Dong *et al.* [1978].

Tabla VI. Exceso de silicio en función de R_o .

	$R_o=3$	$R_o=23$	$R_o=30$
Este trabajo	18.8	6.04	4.4
Dong	~15	~7	~6

III.1.4. Curvas I-V.

Las curvas I-V con esfuerzo 0 del dispositivo Al/SRO/Si se encuentran dentro de lo esperado, y en general concuerdan con lo reportado en la literatura. Es decir, a bajos voltajes la corriente es del orden de los pA, hasta que se alcanza el voltaje de encendido V_{on} . Voltajes más altos que V_{on} producen un gran aumento en la corriente. El voltaje V_{on} aumenta al aumentar la R_o , y en general la corriente es mayor para una rampa positiva que para una negativa.

Sin embargo cuando las muestras se someten a esfuerzo, y si se hace un análisis más detallado de la corriente en función de parámetros como la concentración y el tipo de oblea, se encuentran diferencias interesantes que se discuten a continuación.

III.1.4.1 Régimen de voltaje y corrientes bajas.

De las curvas I-V típicas mostradas en las figuras 9 a 13, se puede observar que la corriente se puede analizar en varios regímenes. Comenzaremos con la región de bajo voltaje. En este caso solamente los dispositivos con SRO₂₃ y SRO₃₀ pueden ser analizados. Para SRO₃ el V_{on} es demasiado pequeño y no se puede distinguir los efectos a campos bajos. Seguiremos usando la figura 34 como un esquema simplificado de los dispositivos con carga atrapada, y como ayuda para entender el intercambio de carga entre el SRO y el Si.

Las figuras 35 (a) y (b) muestran las curva I-V para muestras esforzadas positiva y negativamente, con rampa positiva y negativa, con substratos N y P, y con SRO₃₀ y SRO₂₃.

III.1.4.1.1 Esfuerzo Positivo.

De estas gráficas se puede observar que cuando el esfuerzo es positivo y la rampa es positiva la corriente inicial es siempre negativa, sin importar el tipo de substrato o la Ro. Después invierte su polaridad aunque se mantiene en el régimen de baja corriente hasta que alcanza el V_{on} .

Al someter la muestra a un esfuerzo positivo el SRO atrapa carga negativa, y por tanto la superficie del Si, en cualquier caso, es rica en huecos. Al aplicar la rampa positiva el voltaje, inicialmente pequeño, únicamente propicia el reacomodo e intercambio de carga entre el Si y el SRO, produciendo una corriente

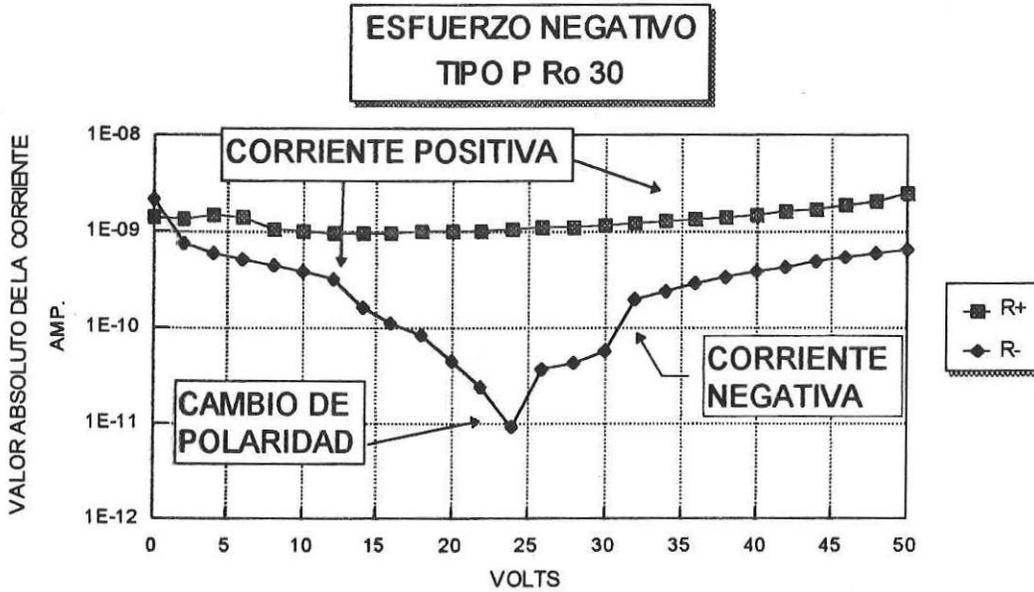
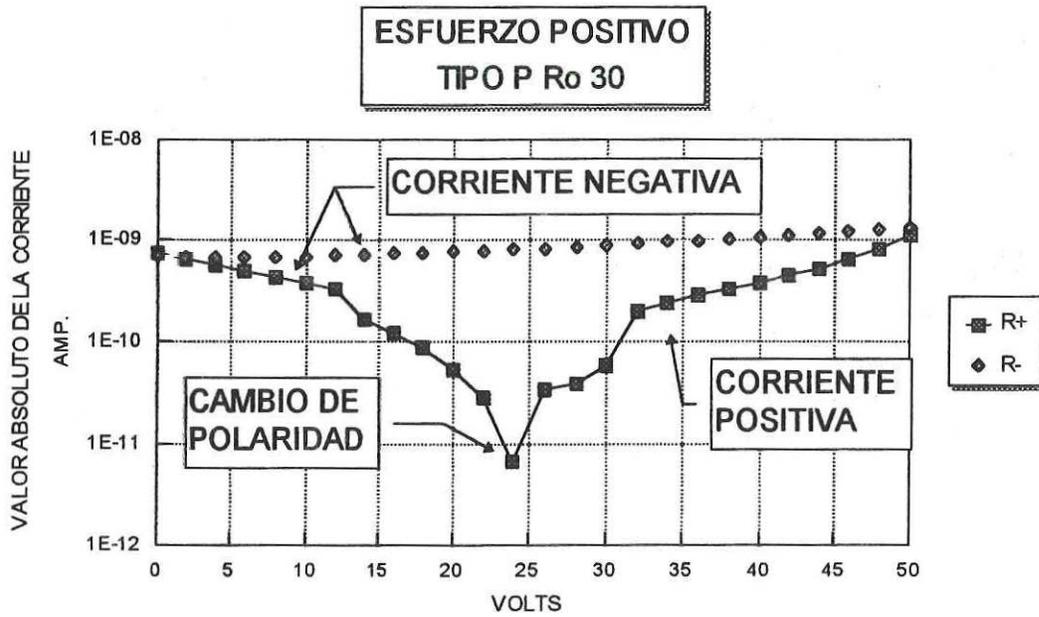


Figura 35. Región de baja corriente de las curvas I-V del dispositivo Al/SRO/Si, (a) Ro 30.

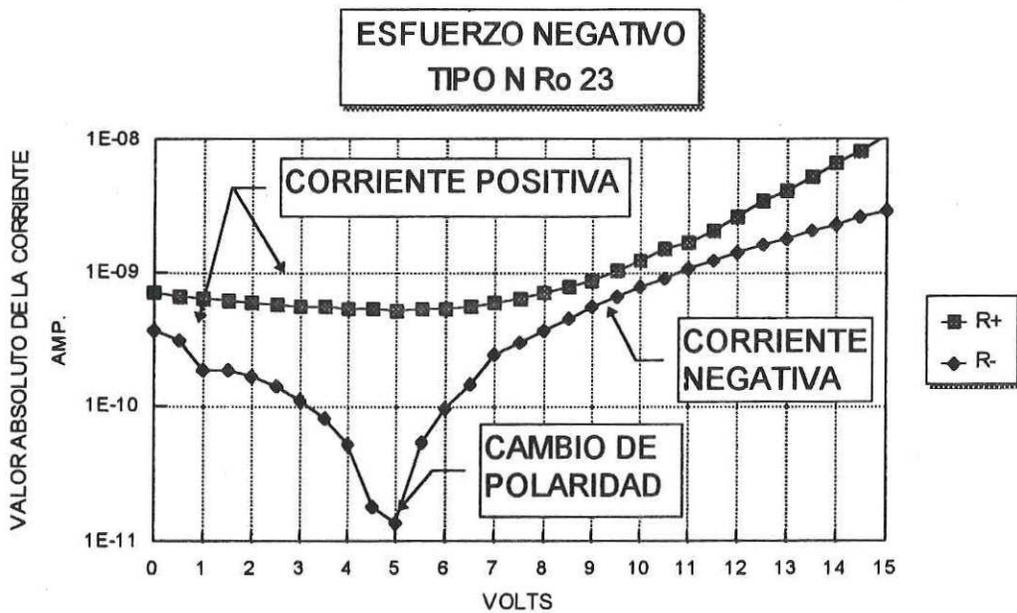
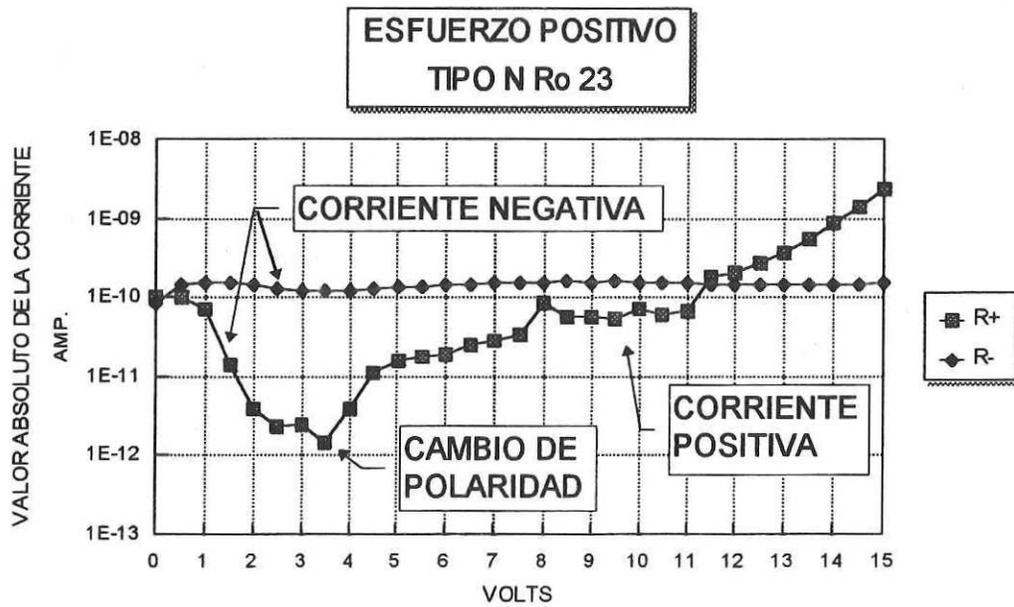


Figura 35 cont. Región de baja corriente de las curvas I-V del dispositivo Al/SRO/Si, (b) Ro 23.

de signo contrario a la esperada. Inicialmente, la corriente de intercambio de carga es mayor que la corriente de desplazamiento producida por la rampa de voltaje. Conforme se agotan las cargas atrapadas en la vecindad del silicio, la corriente disminuye hasta que se invierte la polaridad y la corriente de desplazamiento empieza a ser dominante. La corriente de desplazamiento domina hasta que el voltaje alcanza su valor de encendido.

Al aplicar una rampa negativa, se produce también la corriente de intercambio, pero esta vez es del mismo signo que la de desplazamiento, y por esta razón la corriente inicial es un poco mayor. Después decae al valor de la corriente de desplazamiento hasta que se alcanza el V_{on} , y se inicia el régimen de alto voltaje.

III.1.4.1.2 Esfuerzo Negativo.

Cuando se aplica un esfuerzo negativo, la carga atrapada en el SRO es positiva, y la superficie del silicio se encuentra rica en electrones sin importar el tipo. El mismo argumento del intercambio de carga entre el SRO y el silicio explica el cambio de corriente en la rampa negativa. Se debe tomar en cuenta que esta vez las corrientes son de signo contrario al caso de esfuerzo positivo.

Entonces, la corriente inicial siempre depende de la carga atrapada en el SRO, y no depende del tipo de substrato o de la polaridad de la rampa aplicada. En lo que se refiere a la dependencia con R_0 , como se mencionó en el primer

capítulo, la conducción en el SRO aumenta al disminuir la R_0 , y por tanto para R_0 pequeñas (digamos menores a 10) el atrapamiento de carga es despreciable o no existe, y la corriente de intercambio no se presenta. La inversión del signo de la corriente está de acuerdo con las observaciones de DiMaria *et al.* [1980] que predicen una inversión en el campo local debido a la carga atrapada.

El hecho de que la corriente inicial, y su signo, dependa en la carga atrapada y que esto ocurra a bajos voltajes, nos hace pensar que la barrera SRO/Si es tal que permite el transporte de carga más fácilmente que la barrera Al/SRO. Es posible que durante el depósito algunas islas de silicio se precipiten directamente sobre el substrato de silicio cristalino, dando lugar a estados o trampas en la interface que permiten un intercambio fácil de carga. Si esto es así, las grandes variaciones que se presentan en las características eléctricas, podrían ser función de los tratamientos en la superficie del substrato justo antes del depósito. Es decir, las limpiezas, los químicos usados y aun los tratamientos térmicos, como difusión de impurezas y oxidación, podrían alterar las características eléctricas de estos dispositivos. En el caso de la interface Al/SRO, el contacto directo entre las islas de Si y el Al es menos probable, ya que la evaporación del Al se hace después del depósito, y las islas de Si se oxidan al contacto con el medio ambiente tan sólo al sacarlas de la cámara de depósito.

III.1.4.2 Régimen de alta corriente.

De los resultados de la literatura para SIPOS y SRO se acepta que la conducción en el dispositivo es asimétrica, es decir, para una polaridad de la corriente a un cierto voltaje es diferente si el voltaje es positivo o negativo. Esta afirmación sin embargo debe analizarse con más detalle en función de la concentración y el tipo de sustrato y del estado de carga que guarde el SRO. De las curvas I-V del capítulo anterior, en general podemos decir que la rampa positiva requiere un voltaje menor para alcanzar una corriente dada que una rampa negativa. Sin embargo, siempre que se compara el comportamiento con rampas positivas y negativas una precede a la otra, lo que puede producir que la película de SRO almacene carga. También se debe analizar que la corriente satura en la polaridad que produce inversión en el silicio, como se mostró en el capítulo anterior.

III.1.4.2.1 Sustrato tipo P.

De la figuras 10 y 12 se puede observar que la pendiente de las curvas para muestras vírgenes y esforzadas es muy similar, también se puede observar que las curvas esforzadas requieren un V_{on} mayor. Esto se puede entender si pensamos que sólo los electrones pueden conducir corriente eléctrica en el SRO, así que es necesario que la superficie del silicio sea rica en electrones. Por tanto, el V_{on} para muestras esforzadas necesitará más energía para vencer las cargas almacenadas y producir la inversión. De aquí podemos decir, que el efecto de es-

forzar una muestra es únicamente correr el V_{on} a un voltaje mayor.

III.1.4.2.1.1 Rampa Positiva.

Como el efecto de aplicar un esfuerzo de voltaje sólo produce un cambio en el V_{on} , y como una vez que las muestras se han sometido a un voltaje no es posible regresarlas a su estado original, parece lo más adecuado analizar las muestras esforzadas. Entonces, al someter las muestras a una rampa de voltaje como la aquí utilizada, y de acuerdo con el análisis de bajo voltaje mostrado con anterioridad, la corriente inicial es debida al intercambio de cargas entre la superficie del silicio y el SRO. Al aumentar un poco el voltaje la corriente será meramente la de un capacitor con dieléctrico SRO. Es decir el resultado de aplicar el voltaje será el de formar una región N de inversión en la superficie del silicio, y la corriente de desplazamiento propia del capacitor. Mientras el voltaje aplicado sea menor que V_{on} la corriente será debida a la variación del voltaje únicamente. Cuando se alcanza el voltaje V_{on} , la energía es suficiente para iniciar el tuneo entre islas de silicio a través del óxido. Esta corriente será por arrastre de electrones, de la región de inversión, por el campo eléctrico. Entonces la corriente estará dominada por una función exponencial del voltaje [Falcony y Helman, 1983]. Podemos expresar esta corriente como la de un diodo:

$$I = I_0(e^{CV} - 1) \quad (28)$$

donde C es una constante [Chang y Rose 1986-2, Lenzlinger y Snow 1969], V es el voltaje aplicado. I_o es la corriente presente antes de alcanzar el V_{on} , y será:

$$I_o = I_{int} + I_{des} + I_{gen} \quad (29)$$

donde I_{int} es la corriente inicial de intercambio, I_{des} es la corriente de desplazamiento del capacitor, I_{gen} es la corriente de generación en la región vacía asociada a la región de inversión del capacitor. En DC, o razones de cambio de voltaje pequeñas (como es nuestro caso), I_{des} es lo suficientemente pequeño para que al inicio domine la corriente de intercambio, y justo en V_{on} la corriente de generación es aproximadamente la corriente medida, I_{on} . A voltajes mayores a V_{on} el campo eléctrico altera la región de inversión, es decir, electrones de la región invertida se suman a la corriente, y la aproximación de la corriente de generación ($I_{gen} = I$) ya no es válida. Debido a la existencia de una región N de inversión en la superficie del capacitor, podemos pensar que tenemos un diodo N-P polarizado en inversa. Es decir se forma un diodo polarizado en inversa con la región de inversión N, la región vacía y el substrato tipo P. La corriente de generación en una unión inversamente polarizada está dada por [Grove, 1967]:

$$I_{gen} = \frac{qn_iWA}{2\tau}, \quad (30)$$

donde q es la carga electrónica, n_i es la concentración intrínseca de portadores,

W es el ancho de la región de empobrecimiento, A es el área y τ es el tiempo de vida de generación en la región vacía. Igualando la corriente de generación con I_{on} , la corriente medida en V_{on} , podemos obtener el tiempo de vida como

$$\tau = \frac{qn_i W_D A}{2I_{on}} \quad (30')$$

Para esta aproximación se supone que las características del capacitor se mantienen, por tanto se substituye W con W_D el ancho máximo de la región de inversión en el capacitor.

En realidad la corriente I_{on} esta formada por la corriente de generación y la llamada corriente de difusión, ver por ejemplo Grove [1967]. Sin embargo, para concentraciones de substrato medias y bajas la región de empobrecimiento es suficientemente grande para que domine la generación en la región vacía. Se puede mostrar con ejemplos numéricos que la aproximación de la ecuación (30) es correcta, a temperatura de laboratorio. La tabla VII muestra el tiempo de vida estimado por esta aproximación. Se debe mencionar que el tiempo de vida para el proceso ECMOS 1 de INAOE se ha estimado ~ 1 microsegundo.

Al aumentar más el voltaje la corriente aumenta, podemos pensar que extraemos electrones de la región invertida. Esto produce que la región vacía aumente, en forma semejante a la región vacía de un diodo polarizado en inversa con un voltaje creciente. Cuando la corriente llega a la corriente de saturación,

I_{\max} , alcanzamos ahora un máximo de la región vacía del diodo P-N. La máxima corriente indica que la generación térmica de portadores no puede proporcionar más electrones, y por tanto la corriente satura. Si continuamos aumentando el voltaje es posible que se produzca la ruptura de la unión (por avalancha), o la ruptura del dieléctrico.

TABLA VII tiempo de vida para algunas muestras calculadas a partir de las curvas I-V.

OBLEA	$N \text{ cm}^{-3}$	$I_{\max} \text{ A.}$	$V_{\text{ON}} \text{ V.}$	$I_0 \text{ pA.}$	WD cm	τ
N4J	1E14	4E-10	----	I_s	2.5E-4	1.09E-5
N4L	1E14	5E-10	---	I_s	2.5E-4	8.70E-6
N2K	1E15	7E-11	----	I_s	9E-5	2.24E-5
N4I	1E15	4E-10	----	4.00E-10	9E-5	3.92E-6
P1L	1E15	4E-4	10	40@6V	9E-5	5.22E-6
P3J	1E15	5E-6	12	50@10V	9E-5	3.13E-5
P1K	1E16	1E-4	12	60@10	3E-5	8.70E-6
PI1	1E16	9E-5	8	60@6V	5E-05	1.45E-5

Como se sabe la capacitancia de un capacitor MOS está dada por:

$$\frac{1}{C} = \frac{1}{C_{diel}} + \frac{1}{C_{sem}} \quad (31)$$

donde los subíndices diel y sem se refieren a la capacitancia del dieléctrico y del semiconductor. Por tanto, la capacitancia total debe presentar dos mínimos: uno en la región de inversión y el otro cuando la corriente satura y se alcanza la W máxima del diodo. Experimentalmente esto se comprueba en la figura 36.

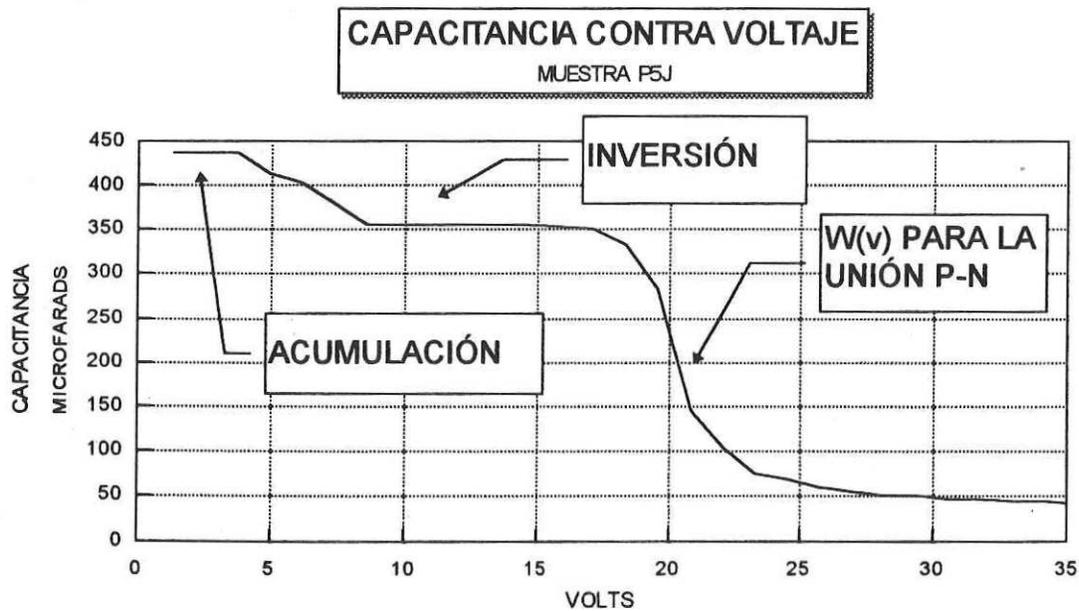


Figura 36. Gráfica C-V que muestra dos mínimos, uno debido a la capacitancia de la región vacía en el capacitor MOS, y el otro debido a la unión P-N en inversa.

Podemos suponer que la unión P-N es abrupta y por tanto la gráfica del inverso de C^2 debe ser una línea recta de acuerdo con la ecuación [Grove, 1967],

$$\frac{1}{C^2} = \frac{2(V + \phi_B)}{q\epsilon_{Si}N_B} \quad (32)$$

donde V es el voltaje aplicado a la unión, ϕ_B es el potencial interno, N_B es la concentración del sustrato y C es la capacitancia por unidad de área.

La figura 37 es la gráfica $1/C^2$ contra V de los datos de la figura 36 en la región de interés. De la pendiente de esta gráfica se calcula la concentración del sustrato. Para los datos de la figura 36 que corresponden a la oblea P5J se obtuvo $N_B=1.19E+15 \text{ cm}^{-3}$.

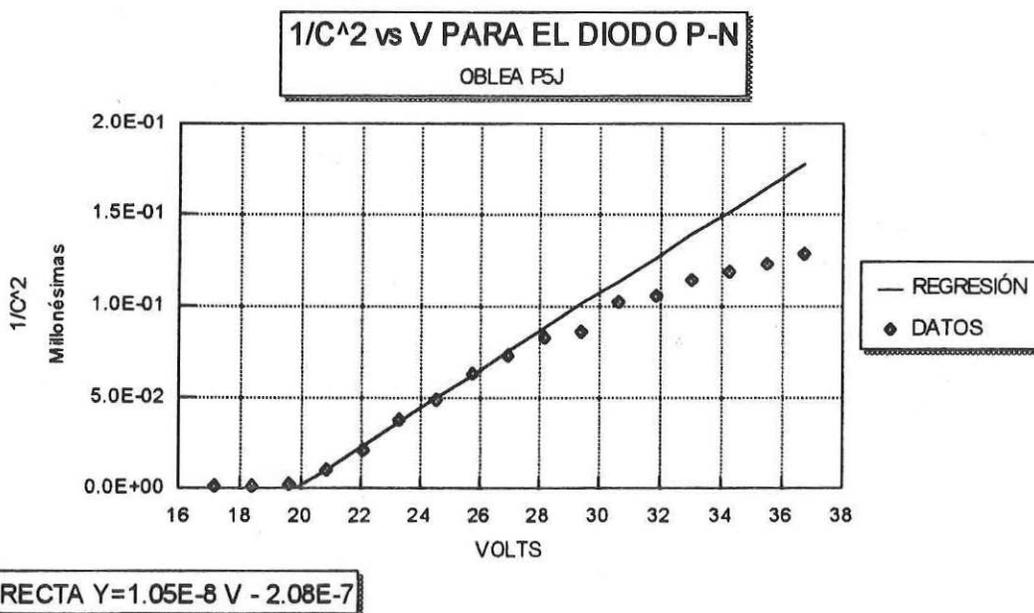


Figura 37. Gráfica $1/C^2$ vs. V y regresión lineal de los datos en la región de interés.

Una nota de precaución debe ser mencionada en la estimación de la corriente I_0 de la ecuación (28). En alta corriente la ecuación (28) puede ser aproximada por

$$I = I_0 e^{CV}. \quad (28')$$

De los datos experimentales I-V de cualquier muestra, por ejemplo de la figura 10, y tomando el logaritmo de ambos lados de la ecuación, se puede calcular la constante C, e I_0 . La ecuación (28') se puede expresar como:

$$\ln I = \ln I_0 + CV, \quad (28'')$$

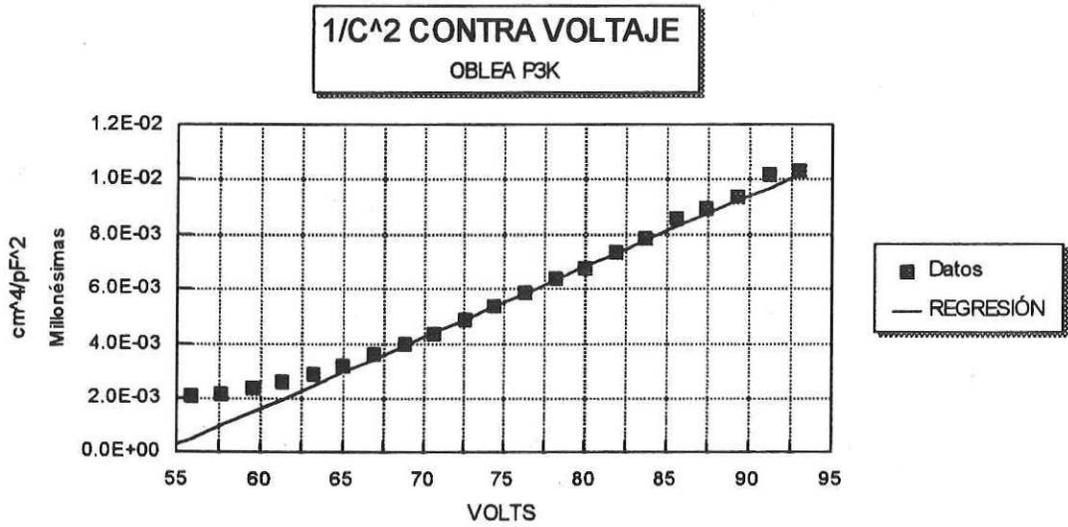
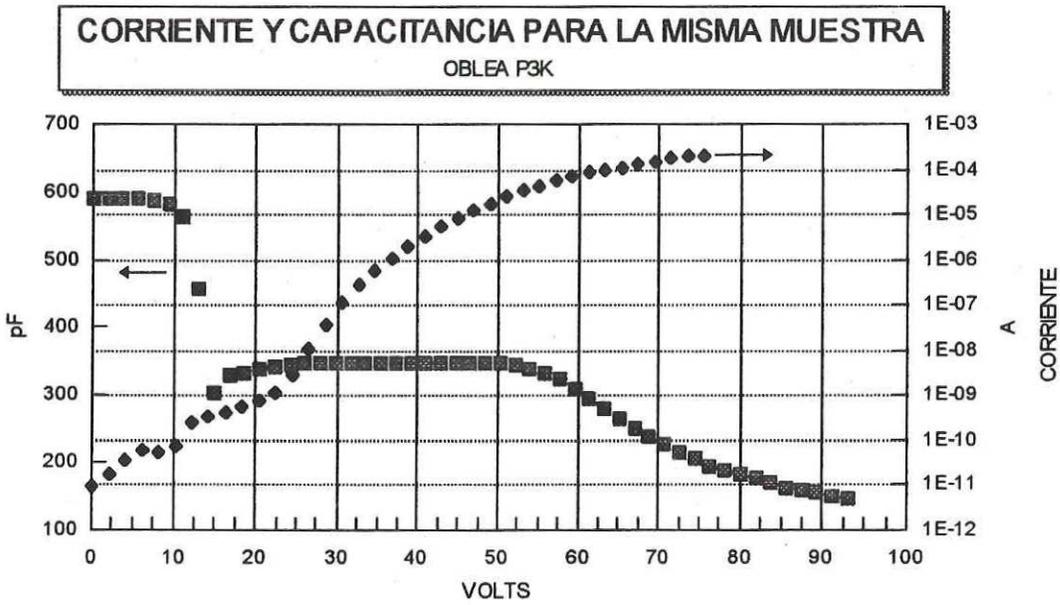
e I_0 será obtenido de la extrapolación al voltaje 0. Sin embargo, debido a la dualidad capacitor diodo la corriente obtenida de esta manera es demasiado pequeña comparada con los datos experimentales. Una mejor aproximación será estimarla al voltaje de encendido V_{on} , en este valor I_0 será aproximadamente igual a la corriente de generación, I_{gen} . Si las mediciones se hacen a DC y si consideramos la corriente de intercambio menor que, o del orden de I_{gen} , entonces esta corriente será una buena estimación de I_0 . En este caso, $I_0 \approx I_{gen}$ y esta estimación será suficientemente buena para estimar el tiempo de vida, así como representar al diodo mediante la ecuación (28).

La figura 38 muestra las curvas I-V y C-V en la misma gráfica, también se muestra la gráfica $1/C^2$ -V, para la muestra P3K. La concentración de impurezas

se calculó, y se obtuvo $4.3 \times 10^{16} \text{ cm}^{-3}$. Analizando estas curvas, podemos decir que la región de inversión del capacitor se mantiene aún cuando la corriente del dispositivo se ha iniciado. Esto justifica que la corriente inicial del dispositivo sea aproximadamente estimada por la ecuación (21').

De la gráfica inferior estimamos que la acción de diodo polarizado en inversa se inicia en aproximadamente 60 volts, lo que aproximadamente coincide con el decaimiento de la curva C-V.

Note también la coincidencia de los cambios de pendiente de la curva I-V con los acontecimientos de la curva C-V, un primer cambio de pendiente ocurre en aproximadamente 10 volts lo que coincide con el inicio del cambio de acumulación a inversión. Esto contribuye a la hipótesis que supone que el codo de la curva C-V es debido a intercambio de carga entre la región de inversión superficial y el SRO. El segundo, se relaciona con el V_{on} y corresponde cuando la superficie del Si ya está acumulada. Otro cambio ocurre en aproximadamente 50 V. En este caso, la región de inversión no se puede sustentar y el campo eléctrico afecta a la región vacía; empieza el comportamiento como diodo P-N y la corriente tiende hacia la saturación. Se debe señalar que las curvas I-V y C-V no se hicieron simultáneamente, por lo que podría existir una diferencia no significativa entre los acontecimientos mencionados.



$Y=2.6E-10 V - 1.4E-8$

Figura 38. Curvas I-V, C-V y 1/C² -V para la muestra P3K, de esta curva se obtuvo $N_a=4.3 \times 10^{16} \text{ cm}^{-3}$.

III.1.4.2.1.1.1 Efecto de la concentración del sustrato

Como se ha mostrado el dispositivo Al/SRO/Si presenta la dualidad capacitor MOS/diodo P-N. Para que esta dualidad exista es necesario que la región de inversión se forme. Bajo esta premisa la concentración del sustrato no debe ser tan alta que dificulte la inversión. Las figuras 11 y 12 muestran las características I-V para el dispositivo con sustrato de alta concentración. En este caso, la región de inversión no se puede formar, así que una vez que se alcanza el voltaje V_{on} la corriente queda controlada por el tuneo entre islas a través del SiO_2 . Los portadores, en este caso electrones, son minoritarios en el sustrato P, y por tanto el fenómeno se reduce al caso de extracción de portadores minoritarios en bajo nivel. De las gráficas logarítmicas de las figuras 11 y 12 se puede notar que la pendiente de la corriente empieza a cambiar, sin embargo, antes de alcanzar una saturación real el dieléctrico se rompió. Esto indica que en principio no existe una limitación de los portadores. En conclusión, para aprovechar la dualidad capacitor/diodo el dispositivo debe fabricarse en sustratos de moderada a baja concentración.

III.1.4.2.1.1.2 Efecto de la R_o .

La R_o se definió como la relación de los gases reactivos durante el depósito del SRO, y es una indicación del exceso de silicio en el SRO. R_o pequeñas, digamos menores a 10, nos proporcionan SRO con un gran exceso de silicio, y

por tanto, su conducción eléctrica es grande. En este caso el V_{on} es relativamente pequeño y por esto se espera que la formación de la región de inversión no se produzca. Este caso sería semejante al de substrato de alta concentración. R_o muy grandes, digamos mayores a 50, producen un óxido prácticamente estequiométrico, y este caso será semejante al de un capacitor MOS simple. Los experimentos que en este trabajo presentan características duales tienen R_o de 30 y 23, por lo que proponemos como un rango adecuado para R_o entre 20 y 40.

Las figuras 9 y 10 muestran curvas I-V típicas para substratos de resistividad media y R_o 23. Sin embargo, al aplicar procedimientos semejantes a obleas con SrO_{10} las curvas I-V no mostraron saturación (salvo muy raras excepciones), es decir, la corriente aumenta hasta dañar a la muestra en cualquiera de las polaridades. Las curvas C-V también mostraron la variación de la capacitancia mínima como en la figura 36. Este resultado se presentó para obleas tipo N y P con concentración de 10^{15} cm^{-3} . Se observó también, que el efecto del voltaje sobre la región vacía empieza aproximadamente en el mismo valor, y por tanto, se inicia una gran corriente al mismo voltaje para ambos tipos de substrato. Este resultado experimental está acorde con las observaciones hechas para capacitores MIS fuera de equilibrio [Hielscher y Prier, 1969; Quast y Schiek, 1969]. Un detalle importante con respecto a la R_o es que cuando la R_o fue 23 y 30 siempre se encontró la saturación de la corriente en la polaridad que produce inversión, más aún, para substratos tipo N la corriente se mantuvo baja (vea por ejemplo la figura 9) hasta

100 volts que es el límite del equipo usado. Esto indicaría que cuando la R_o es suficientemente pequeña como para presentar baja conductividad, esto es, permite el paso de corrientes altas a voltajes relativamente pequeños, otros efectos además de la generación térmica en la región de empobrecimiento se presentan. La baja corriente que se observa en los dispositivos con $SRO_{23,30}$ y substrato tipo N, se debe a que los huecos no se pueden mover en el SRO, y la generación térmica en la región vacía limita la recombinación de electrones inyectados desde el SRO. En el caso de SRO_{10} , es posible que los regímenes de inyección de electrones desde el SRO hacia el substrato sean tan altos que forcen la difusión de huecos generados en el cuerpo del semiconductor hacia la región vacía. Produciendo de esta manera corrientes altas en ambas polaridades. Entonces para R_o 's pequeñas pero que permiten la formación de la región invertida antes de iniciar el régimen de alta corriente, se presenta el caso particular de capacitores MIS fuera de equilibrio.

III.1.4.2.1.1.3 Efecto del grueso y la calidad del SRO.

De las discusiones anteriores es claro que el grueso que se debe utilizar para alcanzar la corriente máxima de saturación debe ser suficiente para que el campo eléctrico no produzca rompimiento en el SRO. Por otro lado, es bien sabido que el voltaje necesario para alcanzar la inversión es una función directa del grueso del óxido, es decir a mayor grueso mas alto el V_t . Es entonces necesario hacer un compromiso entre el grueso mínimo necesario para evitar el rompimiento

del SRO, y el grueso máximo necesario para alcanzar el voltaje V_t . Además la calidad de la capa de SRO se debe optimizar para que alcance el voltaje de ruptura más alto posible, y esto debe incluir los tratamientos térmicos posteriores al depósito.

III.1.4.2.1.2 Rampa Negativa.

Al aplicar una rampa negativa al dispositivo Al/SRO/Si, es decir al polarizar más negativo el Al que el Si, se formará una región de acumulación en la superficie del Si. Los electrones inyectados desde el aluminio se recombinarán con los huecos acumulados, y esta situación es equivalente a la inyección de portadores minoritarios en bajo nivel. De aquí que no se prevea ninguna razón que limite el flujo de portadores. Es posible, como en el caso de la unión P-N en polarización directa, que a muy altas corrientes los efectos resistivos empiecen a tener un papel importante. Sin embargo, antes de alcanzar niveles muy altos de corriente el SRO se romperá. En este trabajo cuando se intentó encontrar una corriente máxima de saturación, en esta polaridad, el dieléctrico siempre se rompió.

En esta polaridad, como en el caso de polaridad positiva, la corriente está controlada por el tuneo entre islas de silicio característico de la conducción en el SRO. Experimentalmente esto se puede comprobar en la figura 10. En la gráfica logarítmica de la figura 10 se puede observar que las corrientes para rampa positiva y negativa se comportan igual, y sólo cuando en la polaridad positiva

empieza la corriente máxima de saturación se nota la diferencia entre ambas. Bajo estas circunstancias, la ecuación (28) sigue siendo válida para predecir el comportamiento del dispositivo. Con la salvedad, que la corriente de generación en esta polaridad no existe debido a que no hay región de empobrecimiento.

III.1.4.2.2 Substrato tipo N.

La figuras 10 y 11 muestran las curvas I-V para substrato tipo N y diferente concentración.

III.1.4.2.2.1 Rampa Positiva.

En el caso de aplicar una rampa positiva al dispositivo Al/SRO/Si con substrato tipo N, se provoca una región de acumulación de portadores mayoritarios, es decir electrones. En esta situación el campo eléctrico favorece la extracción de portadores mayoritarios hacia el Al. Los electrones serán controlados por las características de tuneleo del SRO. Es decir, en este caso tenemos un semiconductor con extracción de portadores mayoritarios en bajo nivel. Por tanto tenemos un caso equivalente al de substrato tipo P con polaridad negativa, y todos los argumentos mencionados en la sección anterior son válidos para el presente caso.

III.1.4.2.2.2 Rampa Negativa.

Al aplicar una rampa negativa al dispositivo Al/SRO/Si con substrato tipo N

se forma una región invertida rica en portadores minoritarios, es decir huecos (sólo discutiremos en esta sección el caso de concentraciones bajas o medias, en el caso de concentraciones altas se refiere al lector a la discusión de la sección III.1.4.2.1.1.1). Este caso es similar al de sustrato tipo P con rampa positiva. En el caso de sustrato tipo P, cuando se alcanza el V_{on} la corriente debe estar controlada únicamente por el SRO. Sin embargo, en este caso el campo eléctrico propicia la extracción de huecos y los huecos prácticamente no se pueden mover en el SRO; lo que produce una gran limitación en la corriente. Para tratar de entender la física en esta situación pensemos que la corriente está formada por la inyección de electrones desde el Al y hacia el Si. Los electrones inyectados recombinarán con los huecos de la región de inversión. La corriente entonces será igual a la corriente de generación en la unión P-N, justo como en el caso de sustrato tipo P al inicio de la región de alta corriente. No obstante, una diferencia fundamental existe, en el caso de sustrato P, la región invertida está formada por electrones, y el campo eléctrico es tal que promueve la extracción de los mencionados electrones. Los cuales se pueden mover por tuneleo dentro del SRO, y esto produce una gran corriente además de la corriente de generación. En el caso de sustrato N y polaridad negativa, los huecos no se pueden mover en el SRO, y la corriente se tiene que limitar a la corriente de generación que substituye a los huecos que recombinan con los electrones inyectados desde el Al. Hasta los límites del equipo usado para este experimento, 100 v, no se obtuvo una corriente

grande (vea la figura 39), por lo que podemos suponer que no hay variación de la máxima región de empobrecimiento. Posiblemente, a voltajes muy altos se produzca rompimiento del dieléctrico o del Si. Como para el caso de substrato tipo P, la corriente medida experimental se puede igualar a la corriente de generación de la unión P-N y de esta forma estimar el tiempo de vida. Los tiempo de vida mostrados en la Tabla VII se estimaron por este método a partir de las gráficas I-V.

Los efectos de concentración del substrato, R_o 's, etc. son válidos también para este substrato, por lo que referimos al lector a la discusión anterior.

III.2 Voltaje de Rompimiento y Respuesta a la Frecuencia.

Los resultados de someter el Capacitor-N-P a picos de voltaje se muestran en las figuras 22, 25, 26 y 27. De estas gráficas es evidente la gran variación de los resultados, lo que ha sido un factor común para los dispositivos, sin embargo algunas características se pueden distinguir. Para comparar las diferentes estructuras nos referiremos al campo eléctrico, del tal forma, que el grueso del SRO no sea una causa para mal interpretar los resultados. Así, de la figura 22 podemos decir que el campo eléctrico que rompe a los capacitores es de 19 MV/cm. En el caso de los pads Z y 21 (vea la figura 25, oblea II y oblea IV) el rompimiento se presenta entre 12 y 15 MV/cm. En ambos casos las estructuras son capacitores con área muy diferente. De aquí se puede inferir, sin olvidar la gran variación que muestran los resultados, que el área del dispositivo puede ser un factor im

SATURACION DEL CAPACITOR-P-N

R₀ 30, SUBSTRATO N

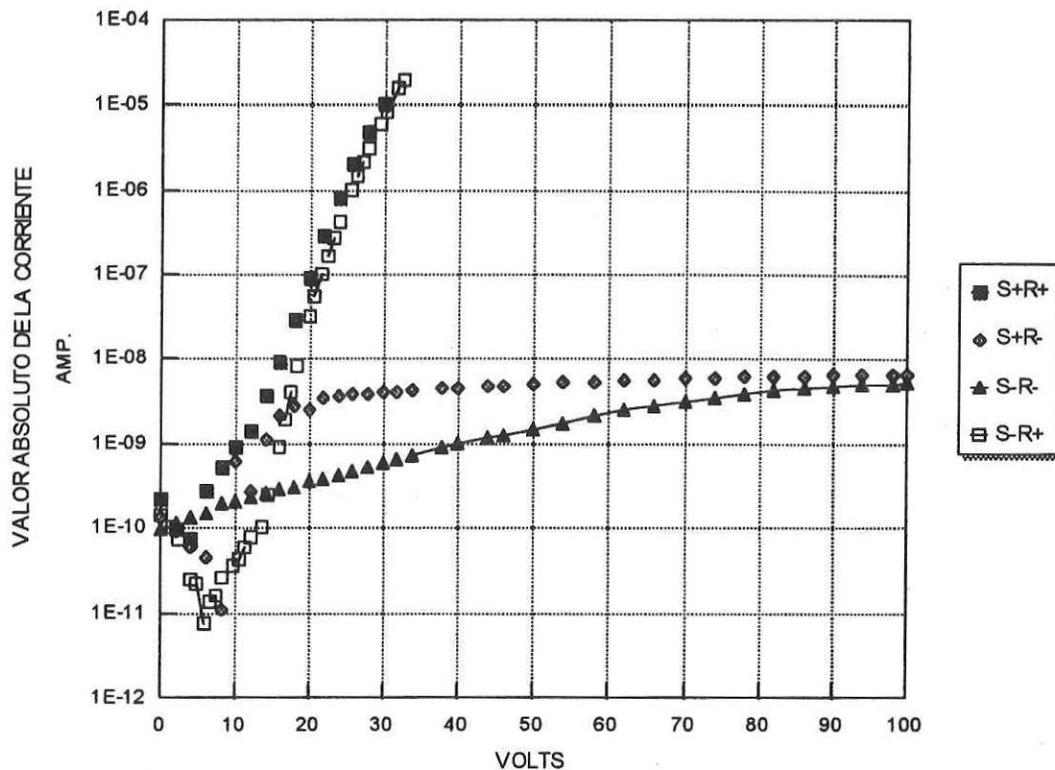


Figura 39. Esta figura muestra la gráfica I-V para la oblea N2J. Se muestran en escala logarítmica curvas de muestras esforzadas positiva y negativamente con la intención de mostrar que la corriente satura. Se pueden observar que:

1. La corriente a bajos voltajes es la esperada de intercambio de cargas.
2. Para rampas positivas la corriente entra en el régimen exponencial, y si se continuara aplicando voltaje se alcanzaría la ruptura del SRO.
3. En la polaridad negativa la corriente satura, y aún para voltajes tan grandes como 100 volts (15.8 MV/cm) la corriente se mantiene del orden de 10^{-9} A. Al mantenerse la corriente baja el SRO no se rompe.

portante para disipar la energía necesaria y soportar los picos de voltaje.

En el caso de pads conectados a transistores, la figura 26 muestra que los dispositivos rompen a campos mayores a 10 MV/cm (vea la figura 26 oblea II y IV P), este campo es más del doble de lo que soportan los capacitores con SiO₂. En el caso de pads conectados a compuertas de transistores N, el campo eléctrico de ruptura está entre 5 y 8 MV/cm. La diferencia entre el campo de ruptura para los pads N y P se puede deber a la forma como se conectaron los dispositivos y otro factor que pudiera influir es que los pads P tienen un sustrato N⁺. En cualquier caso, los pads con SRO brindaron una protección contra los picos aplicados a las compuertas de óxido delgado.

En el capítulo anterior se definió el modelo para respuesta a la frecuencia, vea la figura 19. Este modelo representa al dispositivo como si se tratara de un capacitor, C, en serie con un resistor, R_s, y una resistencia de DC, R_{DC}. De aquí podemos hacer una estimación para la densidad de corriente para diferentes magnitudes de picos de voltaje. Para esto supondremos primero que el DUT presenta una resistencia total de 0 ohms, vea la figura 22 (a). La corriente será limitada únicamente por la resistencia en serie de 100 ohms. La segunda suposición que haremos, es que el capacitor a altas frecuencias se comporta como un corto circuito. Por lo tanto la corriente será limitada por el paralelo de R_s y R_{DC} en serie con la resistencia de 100 ohms. Por último, de las curvas de I-V estimamos la re-

sistencia dinámica, y sustituimos este valor en lugar del DUT en la figura 19. De las figuras 11 y 12 se estima una resistencia dinámica de aproximadamente 150 Kohms. Es importante recordar que las curvas I-V presentadas en las figuras 11 y 12 fueron hechas a bajas frecuencias. La tabla VIII muestra la densidad de corriente para pads y capacitores en función de los picos de voltaje, y de acuerdo a las suposiciones previamente relatadas.

Tabla VIII. Máxima Densidad instantánea de corriente para el DUT en A/cm².

VOLTS	1ª APROXIMACIÓN		2ª APROXIMACIÓN		3ª APROXIMACIÓN	
	PAD	CAPCTR.	PAD	CAPCTR.	PAD	CAPCTR.
50	6493.5	33.3	432.9	2.2	4.3	2.2E-02
100	12987.0	66.7	865.8	4.4	8.7	4.4E-02
150	19480.5	100.0	1298.7	6.7	13.0	6.7E-02
200	25974.0	133.3	1731.6	8.9	17.3	8.9E-02
250	32467.5	166.7	2164.5	11.1	21.6	1.1E-01
300	38961.0	200.0	2597.4	13.3	26.0	1.3E-01

Es evidente que el área tiene un efecto importante sobre el voltaje de rompimiento. Entonces, podemos afirmar que si buscamos alcanzar un voltaje de rompimiento alto debemos tomar en cuenta el área del dispositivo.

En lo que respecta a la respuesta en frecuencia, es claro que esta es la parte más débil si queremos aplicar el dispositivo como protector de entrada. En este caso en tan sólo 10 KHz aproximadamente ya tenemos conducción a través del SRO. Debido a la gran dispersión de los datos experimentales es difícil asegurar que una u otra estructura tienen mejor respuesta.

Una posibilidad de aumentar el voltaje de rompimiento es usar estructuras del tipo DEIS, ver la figura 30. Sin embargo, el uso de DEIS reduce la resistencia del dispositivo y, aparentemente, empobrece la respuesta en frecuencia, como se puede ver en la figura 31.

De la figura 27 podemos observar que la mayoría de las veces el pico de voltaje positivo rompe el dispositivo, y que el pad con substrato implantado alcanza mayores voltajes de rompimiento. El primero de estos resultados podría indicar que debido a que el substrato es N se pueden alcanzar niveles de corriente más grandes con voltajes positivos que con negativos, sin embargo, el hecho que el pico positivo se aplica primero podría ser la causa de más rompimientos. El segundo resultado nos señala que para alcanzar voltajes de rompimiento más altos debemos de tener una superficie altamente concentrada. Debido a que la dura-

ción de los picos (0.5 microsegundos) es comparable con el tiempo de vida, no se puede hacer una extensión simple de los resultados obtenidos en baja frecuencia. Sin embargo, para una superficie altamente concentrada, podríamos pensar en inyección, o extracción, de bajo nivel desde el SRO como resultado de aplicar un pico de voltaje al dispositivo.

Como se mencionó anteriormente, de resultados de capacitores de óxido térmico, picos de magnitud tan pequeña como 4.3 MV/cm volts dañan el óxido térmico. Sin embargo, cuando se pusieron pads de entrada con SRO a la compuerta de transistores MOS el campo de rompimiento se elevó como mínimo a 5 MV/cm y hasta más de 15 MV/cm, ver la figura 26. Lo que indica que el dispositivo Al/SRO/Si sí proporciona una protección para el óxido delgado. La figura 26 muestra el resultado de someter dispositivos de cuatro obleas al modelo del cuerpo humano, y una vez más se hace evidente la gran variación entre ellas. Sin embargo es claro que sí se produce una protección para las compuertas de óxido delgado. Es importante mencionar que éstas son únicamente experimentos preliminares que demuestran la factibilidad de usar el SRO como protección de entrada. No obstante, es necesario realizar una optimización de los diferentes componentes del dispositivo para lograr voltaje de rompimiento más alto y mejor respuesta a la frecuencia.

III.3 Capacitor-N-P.

Como resultado del estudio metódico de las propiedades de transporte eléctrico del dispositivo Al/SRO/Si, podemos afirmar que el dispositivo Al/SRO/Si se comporta de muy diversas maneras dependiendo de la concentración y del tipo de substrato, el exceso de silicio en el SRO, es decir el R_o , y de la combinación de ambos. El comportamiento más obvio es como un capacitor MOS. En este caso se obtienen las curvas y corrientes de un capacitor MOS en equilibrio, pero también por las propiedades del SRO para R_o bajas se puede comportar como un capacitor MOS fuera de equilibrio [Hielscher and Preier, 1969, Quast and Schiek, 1969]. Otro comportamiento es cuando el substrato tiene alta concentración, en este caso se puede tener un buen conductor con prácticamente V_{on} despreciable, hasta un sistema que conduce alta corriente después de un V_{on} programable. Una tercera característica se presenta cuando tenemos bajas concentraciones de substrato (y en especial material tipo N) y R_o 's del orden de 30. En este caso, se puede tener contacto a la región invertida en la superficie del silicio, y de esta forma aprovechar al dispositivo como una herramienta analítica.

A partir de la discusión que hemos presentado, podemos definir un nuevo dispositivo semiconductor que llamaremos CAPACITOR-N-P. El nombre es una combinación de las características duales que puede presentar el dispositivo, es decir, como un capacitor y como una unión P-N. Este capacitor puede estar formado por un semiconductor, incluyendo materiales como polisilicio, una capa de

cualquier material que tenga propiedades de conducción baja, o nula, hasta un cierto umbral y entonces pueda conducir alta corriente. En principio, este material puede ser un óxido metálico fuera de estequiometría, o un óxido fuera de estequiometría de un semiconductor. Por último, una compuerta de un material altamente conductor, incluyendo un semiconductor cristalino o policristalino altamente contaminado. En particular, en este trabajo hemos descrito el dispositivo Aluminio/Óxido de silicio fuera de estequiometría/Silicio-monocristalino, pero otros materiales como los que hemos mencionado podrían ser usados, o combinaciones de ellos.

Las características eléctricas de este Capacitor-N-P pueden variarse desde un buen conductor, hasta un buen capacitor pasando por una mezcla de capacitor MOS y unión P-N. La variación dependerá, básicamente, de la concentración de impurezas del semiconductor y la desviación estequiométrica del óxido, es decir la R_o .

Por último, como resultado del análisis realizado, es posible definir la polaridad positiva, o directa, y la negativa, o inversa, del dispositivo. Definimos la polaridad positiva, del Capacitor-N-P como aquella que produce una región de enriquecimiento en el semiconductor, y la polaridad negativa como aquella polaridad que produce inversión en la superficie del silicio. Note que como en el caso de la unión P-N hay combinaciones de substrato y SRO que producen conducción en una polaridad y en la otra la conducción es despreciable.

IV CONCLUSIONES

IV.1 Resultados obtenidos en este trabajo

IV.1.1 Mediciones I-V y C-V

En este trabajo se estudiaron detalladamente las relaciones de capacitancia y corriente contra voltaje para estructuras Al/SRO/Si encontrándose datos que no se habían reportado en la literatura relacionada con el SRO.

Se encontraron dos regímenes de corriente. El primero a bajos voltajes en el cual dos componente de corriente se presentan: Una componente de intercambio de electrones entre el SRO y la superficie del silicio. Otra debida a la corriente de desplazamiento, dependiendo de la razón de cambio del voltaje aplicado dominará una o la otra componente de corriente. Se encontró experimentalmente, que la corriente inicial puede ser de signo contrario al voltaje aplicado dependiendo de la carga almacenada en el SRO. Se definió por primera vez el voltaje de encendido V_{on} , y se mencionaron las diferencias con el V_t de un capacitor MOS. El V_{on} se definió en la polaridad que produce acumulación en la superficie del substrato, y es el voltaje donde se inicia el segundo régimen de corriente, es decir el régimen de alta corriente. Se encontró además, que la corriente puede saturarse en la polaridad que produce inversión en la superficie del silicio, y que la saturación dependerá de la concentración y del tipo de substrato, de la R_0 y de la polaridad.

De las curvas de capacitancia contra voltaje también se obtuvo nueva información. Aprovechando el desplazamiento que la carga atrapada produce sobre las curvas C-V se propuso un método para estimar la densidad de trampas activas. Este método supone que el exceso de silicio en el SRO produce trampas que sólo pueden atrapar o donar un electrón. Bajo esta premisa, el desplazamiento de las curvas C-V será proporcional al número de electrones atrapados y liberados durante los esfuerzos de voltaje aplicados al dispositivo. Otro método independiente del anterior, también propuesto en este trabajo, para estimar la densidad de trampas activas en el SRO, consiste en suponer que el intercambio de carga entre el SRO y la superficie del silicio altera la región de inversión. El cambio del ancho de la zona de empobrecimiento debida al efecto del intercambio de cargas de la región de inversión y el SRO produce un cambio en la capacitancia mínima de la curva C-V, este cambio se observa experimentalmente. La variación de la relación de las capacitancias máxima y mínima debida a la variación de la zona empobrecida, produce que al estimar la concentración del substrato se obtengan valores relacionados con la carga atrapada, más bien que con la concentración real del substrato.

Otro resultado interesante obtenido a partir de las curvas C-V es la constante de permitividad del SRO. Ésta se obtuvo a partir de la capacitancia en acumulación. Sin embargo se encontró, que para SRO obtenido por CVD la variación de los datos obtenidos es muy grande, por lo que no se puede estimar la R_0 a

partir de una sola curva C-V. No obstante, se pueden hacer estimaciones del exceso de silicio si se hacen un número grande de mediciones de tal forma que se obtenga un promedio realmente representativo de la R_o . Bajo esta suposición se propuso en conjunto con otro trabajo [Pérez Blanco, 1996] un método para estimar el exceso de silicio a partir de la permitividad medida. Este método se basa en suponer una relación lineal entre el exceso de silicio y su fracción volumétrica.

IV.1.2 Análisis en AC

Se estudió al dispositivo Al/SRO/Si como parte de un circuito pasa altas. Se obtuvieron gráficas de Bode y se propuso un modelo electrónico simple. Este modelo sin embargo, predice con precisión el comportamiento del dispositivo. La principal conclusión que podemos obtener de este estudio es que la respuesta en frecuencia es pobre, es decir la conducción a través del dispositivo Al/SRO/Si comienza en frecuencias relativamente bajas.

También se estudiaron estos dispositivos sometiéndolos a picos de voltaje utilizando el modelo del cuerpo humano. Se hicieron dos pruebas: en capacitores del tipo Al/SRO/Si aislados, y en pads, también con estructura Al/SRO/Si, conectados a transistores NMOS y PMOS.

De los capacitores obtenemos dos conclusiones importantes: la primera es que el SRO₂₃ es capaz de soportar campos tan grandes como 66 MV/cm. La segunda es que un factor importante para mejorar el rompimiento del dispositivo es

el área del capacitor. Con la intención de aumentar el voltaje de rompimiento, se hicieron pruebas también en otras estructuras encontrándose que en DEIS se mejora el rompimiento ligeramente.

Las pruebas en pads muestran que el rompimiento del conjunto Al/SRO/Si y el transistor MOS presenta una mejora significativa. Este conjunto rompe con picos de mayor magnitud de voltaje comparado con dispositivos de óxido delgado sin esta protección. Otra conclusión de este experimento es que si el substrato es altamente concentrado se requieren picos más altos de voltaje de rompimiento. De esto podemos afirmar que el dispositivo Al/SRO/Si sí presenta una protección real para transistores PMOS y NMOS. Se debe señalar que este resultado se obtuvo simplemente colocando SRO bajo el pad de entrada de los transistores, pero no se hizo ningún esfuerzo para optimizar el funcionamiento del Al/SRO/Si para esta tarea.

IV.1.3 Otros resultados laterales

Una conclusión que no está directamente relacionado con el objetivo de este trabajo pero que resulta muy importante es que el dispositivo Al/SRO/Si se puede comportar como un capacitor MOS en equilibrio, un capacitor MOS fuera de equilibrio, como un elemento que hace contacto a una unión P-N inducida y como un elemento que, después de un voltaje de encendido, conduce alta corriente eléctrica exponencialmente con polaridad positiva y negativa. Por estas carac-

terísticas decimos que el dispositivo Al/SRO/Si es un nuevo dispositivo, y lo hemos llamado el CAPACITOR-N-P.

El Capacitor-N-P cambiará sus características en función de la R_o del SRO, del tipo de sustrato y de la concentración del sustrato. Por ejemplo, en un sustrato altamente concentrado y variando la R_o se puede lograr un dispositivo que conduzca alta corriente, en ambas polaridades, pero que el inicio de esta corriente puede ser cambiado en un gran rango de voltajes, es decir, el V_{on} puede seleccionarse para diferentes aplicaciones. En cambio, con un sustrato de concentración del orden de 10^{15} cm^{-3} tipo N y una R_o de alrededor de 30 se puede hacer contacto a la unión P-N inducida y usar este dispositivo como una herramienta analítica, y estimar variables como el tiempo de vida y la concentración del sustrato. El conocimiento de las cualidades del Capacitor-N-P abre una posibilidad muy amplia de aplicaciones, de las cuales se mencionan algunas en la siguiente sección.

IV.1.4 SRO en protecciones de entrada y salida de circuitos integrados

El objetivo de este estudio es evaluar la posibilidad de utilizar el Capacitor-N-P en protecciones de entrada y salida de circuitos integrados. Hemos encontrado que colocando el SRO bajo un pad de entrada conectado a la compuerta de un transistor, se puede someter este sistema a picos de voltaje de 125 V (12 MV/cm). Pero potencialmente se podría llegar a picos de hasta 375 V (37 MV/cm). Por lo

que podemos concluir que el Capacitor-N-P sí tiene la posibilidad de ser usado como protección de entrada y salida de CI's. Sin embargo, también debemos decir que para lograr una protección de entrada adecuada se deben mejorar al menos el voltaje de rompimiento y la respuesta en frecuencia.

La respuesta en frecuencia deberá ser mejorada para usar el dispositivo como protector de entrada. Es claro que por el comportamiento como conductor del Capacitor-N-P la frecuencia sólo será mejorada agregando algún otro elemento. Un diodo puede ser una solución simple y adecuada.

Con la intención de ejemplificar el funcionamiento del pad simularemos en computadora el circuito de la figura 40. En este circuito R_{DC} , R_C y C_C son los componentes del modelo del pad de entrada, y los valores usados son los mismos de la figura 19, es decir $2M\Omega$, $1.42K\Omega$ y 560 pF respectivamente.

La figura 41 muestra la corriente que pasa por la resistencia R_C en función de la frecuencia, como resultado de la simulación. Los resultados se muestran con el diodo D, como se muestra en la figura 40, y sin éste. Se debe notar que la corriente es despreciable cuando el diodo D está presente aún a frecuencias tan altas como 1 Ghz.

Sin embargo, como se muestra también en la figura 41, cuando se somete el circuito a un transitorio de 200 V de magnitud y 50 nano-segundos de amplitud, por el pad se fuga una corriente muy grande a partir de $\sim 50V$. Es decir, la pre-

sencia del diodo mejora mucho la respuesta en frecuencia, sin reducir la efectividad para proteger al dispositivo. Debe considerarse que esta simulación es muy simple y no se consideran efectos como la conducción del Capacitor-N-P, ni como la corriente de fuga del diodo.

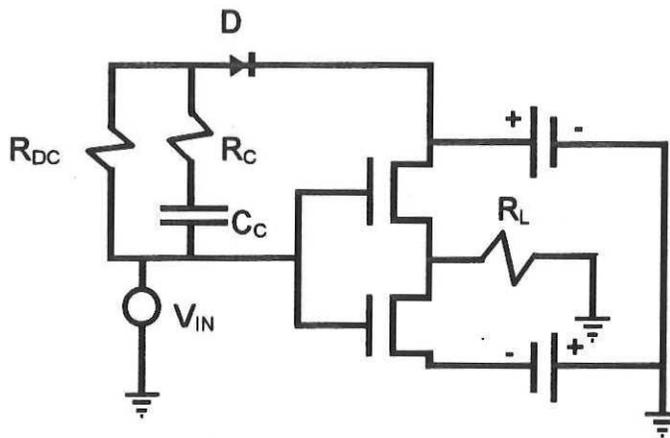


Figura 40. Circuito utilizado para simular el comportamiento del Capacitor-N-P como pad de entrada.

Entonces, es posible que el utilizar un diodo como substrato nos permita tener una amplia variación en el R_o sin afectar otros parámetros como la respuesta en frecuencia, y así poder ajustar el E_{on} .

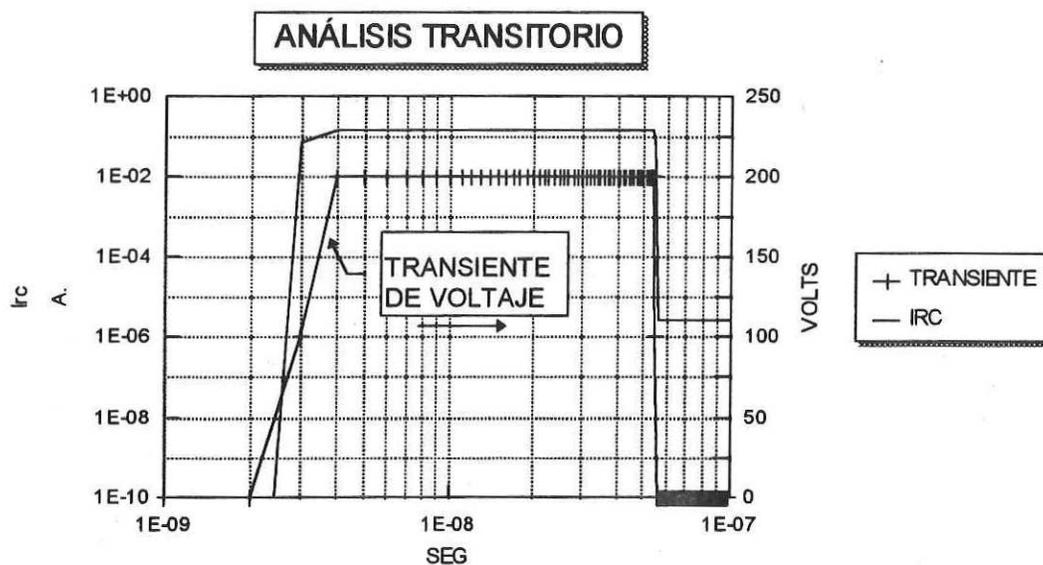
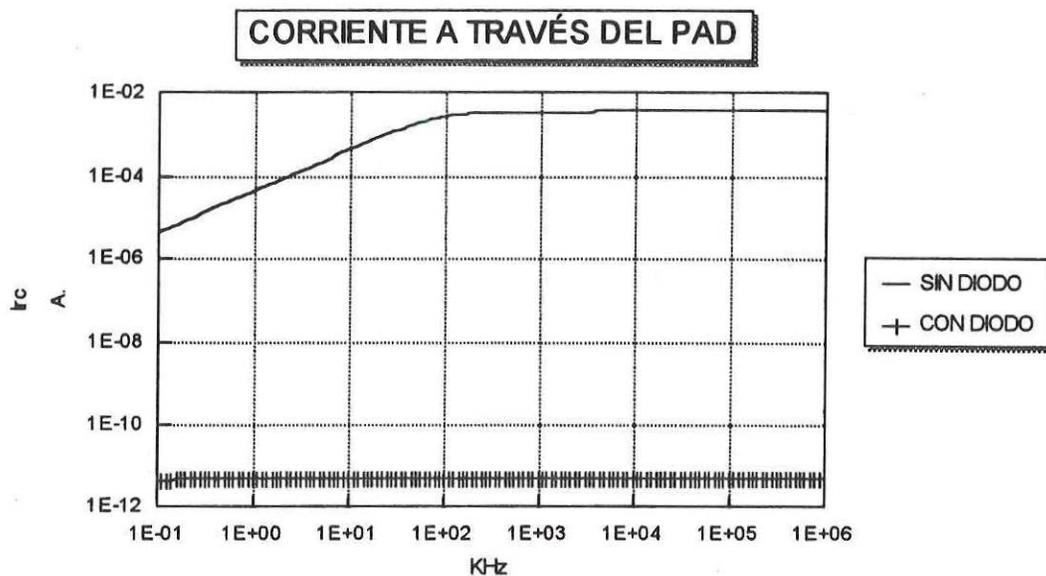


Figura 41. Resultados de simulación del circuito de la figura 40 en función de la frecuencia, y al aplicar un transitorio en la entrada. También se simuló la respuesta a la frecuencia sin el diodo D.

Una propuesta para el Capacitor-N-P usado como protección de entrada es mostrada en la figura 42. En esta figura se muestra el dispositivo en sustrato N, y para sustrato P se utilizarían las capas contrarias. Las región P⁺ forma el diodo con el sustrato. La región N⁺ tiene la intención de mejorar la respuesta para picos positivos.

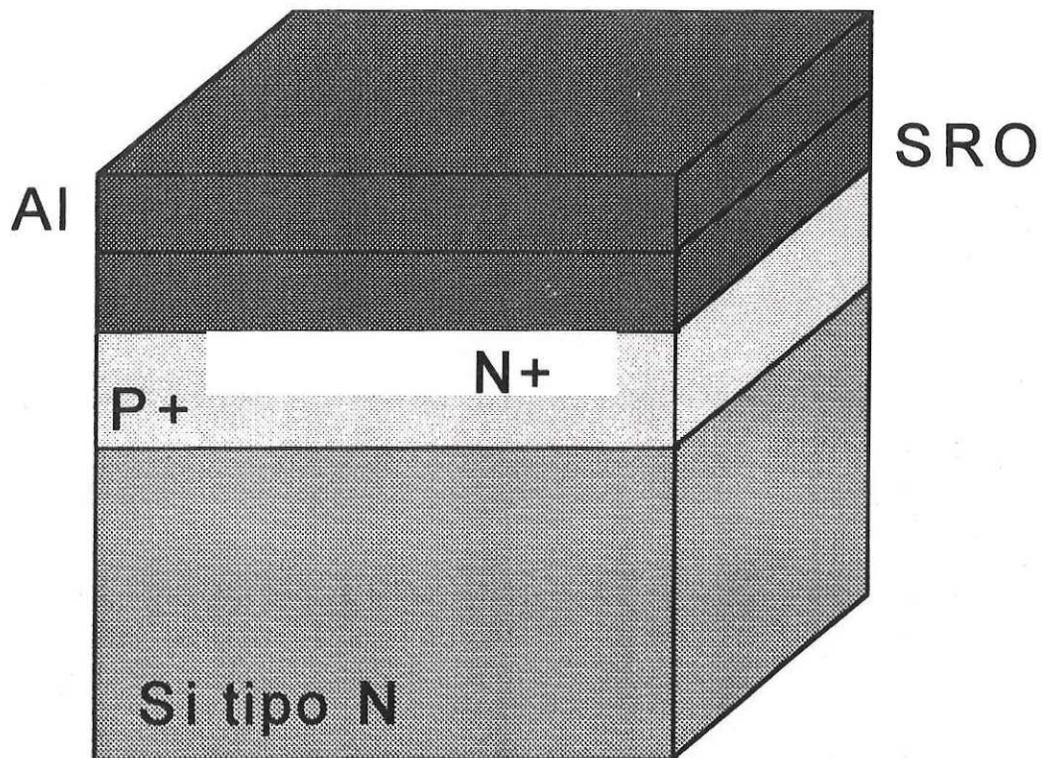


Figura 42. Protección de entrada propuesta.

Con un pad como el propuesto se lograría tener una protección de entrada/salida para circuitos integrados que prácticamente no utilizaría área de la región activa del circuito. Además, no se tendrían las capacitancias parásitas de los sistemas convencionales, y por tanto se eliminarían las limitaciones de frecuencia inherentes de las protecciones con dispositivos como diodos etc.

IV.2 Estudios propuestos para trabajo futuro.

IV.2.1 Mejoras necesarias para la protección de entrada.

El objetivo de este trabajo es estudiar las características de conducción del Capacitor-N-P para su posible aplicación como protector de entrada/salida de circuitos integrados. De lo discutido en capítulos anteriores se puede decir que el Capacitor-N-P en principio sí protege al óxido delgado, sin embargo, bastante trabajo debe hacerse para optimizar el dispositivo para este uso. Tres puntos deben de ser estudiados para lograr esta aplicación:

- Reducir la variación de los dispositivos.
- Mejorar el rompimiento del SRO con picos de voltaje.
- Mejorar la respuesta en frecuencia.

Para reducir la variación del dispositivo en todos los parámetros se recomienda hacer estudios estadísticos de reducción de variación. Se deberá tomar

en cuenta además de las condiciones de depósito y sus posibles interacciones, los tratamientos superficiales anteriores al depósito. Como demostramos en este trabajo, las características de la interface SRO/Si dominan sobre la interface Al/SRO. Lo que puede causar, en gran parte, la variación de parámetros como el voltaje de encendido. Es entonces importante considerar parámetros como limpiezas, implantaciones, difusiones, etc. Posiblemente, un problema más difícil de resolver, es la variación que se tiene al depositar mezclas de materiales, como es el caso del SRO. Un ejemplo de materiales mezclados lo tenemos en los diferentes compuestos utilizados en los llamados circuitos de capas gruesas, en este caso la variación resultante es altamente dependiente de las condiciones de preparación de los compuestos, así como de los parámetros de proceso [Harper A, 1974]. Para realizar esta tarea será necesario estudiar la morfología del SRO con análisis como EDX, WDX, SIMS etc., y los datos obtenidos cruzarlos con las características eléctricas. De tal forma que se obtengan las condiciones de depósito que permitan tener características eléctricas repetitivas. Otra posibilidad es estudiar el uso de óxido térmico implantado con silicio, de esta manera se podría tener un control preciso sobre el exceso de silicio.

El voltaje de rompimiento del SRO se puede mejorar de varias maneras, éstas incluyen el uso de capas más gruesas, así como variar la R_o y usar inyectorres de R_o pequeños (~ 3). Al variar las R_o 's y los gruesos también se puede establecer un rango de valores para el E_{on} . Al usar capas gruesas de SRO se esta-

blece un compromiso, ya que posiblemente se requerirán capas suficientemente gruesas para alcanzar voltajes de rompimiento altos, pero entre más gruesas presentarán un mayor V_{on} . Si los dispositivos presentan V_{on} grande no se tendrá protección para voltajes de DC relativamente pequeños. Este compromiso habrá que considerarlo en el diseño de los dispositivos de protección.

IV.2.2 Estudios de las características del Capacitor-N-P

Bajo la nueva perspectiva del Capacitor-N-P, el silicio puede estar en acumulación, empobrecimiento o inversión dependiendo del voltaje aplicado, por esto será necesario realizar estudios más detallados sobre la respuesta en frecuencia. Para cada estado del silicio el comportamiento de las trampas en el SRO podrá tener un efecto diferente sobre la respuesta en frecuencia.

También se deberá estudiar al Capacitor-N-P como una herramienta analítica para conocer más sus potencialidades. Entre otras cosas se podrá estudiar a las trampas en el SRO, su posición dentro de la región prohibida del SiO_2 , su densidad, su distribución etc. También, se deberá estudiar qué otros elementos del substrato se pueden estimar a través de las características I-V y C-V. Para esto, tal vez será necesario cruzar datos obtenidos por SIMS y DLTS con datos obtenidos de I-V a diferentes temperaturas, y de esta forma entender mejor las trampas en el SRO.

IV.2.3 Otras aplicaciones del SRO

Otro punto que se deberá estudiar en trabajos futuros es la conducción lateral del SRO. Este estudio podría llevar a la fabricación de estructuras de protección útiles en otras tecnologías como la de silicio sobre aislante.

Que la estructura Al/SRO/Si proteja de picos de voltaje a los transistores NMOS y PMOS, nos lleva a otra posible aplicación directa de la estructura: la supresión de picos de voltaje en cualquier otra aplicación.

Otras posibles aplicaciones del Capacitor-N-P que se deben estudiar en trabajos futuros, y que se deben mencionar aunque no están relacionadas con la protección de entrada, son los sensores de radiación y de temperatura.

Estas son sólo tres de las múltiples posibilidades de aplicación que se pueden estudiar con el Capacitor-N-P.

LITERATURA CITADA

- Aceves M., C. Falcony, A. Reynoso, W. Calleja, A. Torres. 1996. "The Conduction Properties of the Silicon/Off-Stoichiometric SiO₂ Diode." *Solid State Electronics*. 39(5): 637-644.
- Aceves M., R. Murphy, A. Torres, W. Calleja. 1995. "Quality assurance in polysilicon deposition using statistics" *Quality Engineering*. 8(2): 255-262.
- Aceves M. et. al 1989. "Proceso de fabricación de circuitos integrados MOS complementarios ECMOS I" Reporte Técnico No 74, INAOE.
- Bolt M. J., and J. G. Simmons. 1987. "The conduction Properties of SIPOS." *Solid State Electronics*. 30(5): 533-542.
- Bolt M. J., J. G. Simmons, G. W. Taylor and C. Zimmerman. 1987. "Experimental and theoretical electrical characteristics of metal-SIPOS-n-p⁺ structures." *Semicond. Sci. Technol.* 2: 666-674.
- Bouldin D., C. Lam, K. Rose. 1990. "Composition of microcrystalline two-phase Silicon Rich Oxide." *Mat. Res. Soc. Symp. Proc.* 164: 33-38.
- Brüesch P., Th. Stockmeier, F. Stuki, P.A. Buffat. 1993. "Physical Properties of semi-insulating polycrystalline silicon I Structure, electronic properties, and electrical conductive." *J. Appl. Phys.* (73)11: 7677-7689, y 7690-7700, y 7701-7707.
- Cohen S., J. I. Raffel, P. W. Wyatt. 1992. "A novel double-metal structure for voltage-programable links" *IEEE Electron Device Letters*. 13(9): 488-490.
- Chang-Hoon C., P. Young-Kwan, L Sang-Hoon, K. Kyung-Ho. 1996. "Novel ESD Protection Transistor Including SiGe Buried Layer to Reduce Local Temperature Overheating" *IEEE Trans. Electron Devices*. 43(3): 479-488.
- Chan M., J. King, P. Ko, C. Hu. 1995 "SOI/Bulk Technology on Simox Wafers for High Performance Circuits with Good Immunity" *IEEE Electron Device Letters*. 16(1): 11-13.
- Chan M., S. S. Yuen, Z. Ma, K. Hui, P. Ko, C. Hu. 1995a "ESD Reliability and Protection Schemes in SOI CMOS Output Buffers" *IEEE Trans. Electron Devices*. 42(10): 1816-1821.
- Chang, K.T. and K. Rose. 1988 "Dominance of Interface Effects in SRO-SiO₂-SRO DEIS Structures for EAROM's." *IEEE Trans. Electron Devices*. 35(10):1645-1649.

- Chang, K.T. and K. Rose. 1986 "Enhanced injection at Silicon-Rich oxide interfaces." *Appl. Phys. Lett.* 49(14): 868-870.
- Charitat G., M. A. Bouanane, P. Rossel. 1992. "A self-isolated and efficient power device for HVIC's: RESURF LDMOS with SIPOS layer." *Microelectronics Engineering*. 19: 149-152.
- Chuang T-M., R. J. Gutmann and K. Rose. 1993. "Modeling and characterization of SIPOS emitter and Quasi-SIS emitter bipolar transistor." *IEEE trans. on Electron Devices*. 40(4): 796-803.
- DiMaria D. J., D. W. Dong, F. L. Pesavento, C. Lam, S. D. Brorson. 1984.. "Enhanced conduction and minimized charge trapping in electrically alterable read-only memories using off-stoichiometric silicon dioxide films." *J. Appl. Phys.* 55(8):3000-3019.
- DiMaria D. J., D. W. Dong, C. Falcony, T. N. Theis, J. R. Kirtley, J. C. Tsang. 1983. "Charge transport and trapping phenomenon in off-stoichiometric SiO₂ films." *J. Appl. Phys.* 54: 5801.
- DiMaria D. J., D. W. Dong, C. Falcony, S. R. Brorson. 1982. "Extended cyclability in electrically-alterable read-only-memories." *IEEE EDL*. EDL-3(7): 191-195
- DiMaria D. J., K. M. DeMeyer and D. W. Dong. 1981. "Dual electron injector structure read-only-memory modeling studies" *IEEE EDL*. ED-28(9): 1047-1053.
- DiMaria D. J., R. Ghez, and D. W. Dong. 1980. "Charge trapping studies in SiO₂ using high current injection from Si-rich SiO₂ films." *J. Appl. Phys.* 51(9): 4830-4841.
- DiMaria D. J., D. W. Dong. 1980. "High current injection into SiO₂ films and experimental applications." *J. Appl. Phys.* 51(5): 2722,
- DiMaria D. J., D. W. Dong. 1980a. "Dual electron injector structure" *appl. Phys. Lett.* 37(1): 61-64.
- Dong D. W., E. A. Irene and D. R. Young. 1978. "Preparation and some properties of chemically vapor deposited Si-rich SiO₂ and SiN₄ films." *J. Electrochem. Soc.* 125(5): 819-823.
- Dori L., A. Acovic, D. J. DiMaria and C. Hsu, 1993. "Optimized silicon rich oxide (SRO) deposited process for 5-V only flash EEPROM application." *IEEE EDL*. 14(6): 283-285.

- Falcony C., J. S. Helman. 1983 "High Field Conduction in Off-Stoichiometric SiO₂ Films" J. Appl. Phys. 54(1): 442-444.
- Greason W. D. 1987 "Electrostatic Damage in Electronics: Devices and Systems" Research Studies Press Ltd./John Wiley. USA.
- Grove A. S. 1967. "Physics and Technology of Semiconductor Devices" John Wiley and Sons, Inc. USA.
- Hamasaki M., T. Adachi, S. Wakayama and M. Kikuchi. 1978. "Crystallographic study of semi-insulating polycrystalline silicon (SIPOS) doped with oxygen atoms." J. Appl. Phys. 49(7): 3987-3992.
- Harper Charles, editor. 1974. "Handbook of Thick film Hybrid Microelectronics" McGraw-Hill, USA.
- Hielscher F.H., and H.M. Preier 1969. "Non-Equilibrium C-V and I-V Characteristics of Metal-Insulator-Semiconductor Capacitors." Solid-state Electronics 12: 527-538.
- Kalnitsky A., A. R. Boothroyd and J. P. Ellul. 1990. "A model of charge transport in thermal SiO₂ implanted with Si." Solid State Electronics. 33(7): 893-905.
- Lai S. K., D. J. DiMaria and F. F. Fang. 1982. "Silicon-rich SiO₂ and thermal SiO₂ dual dielectric for yield improvement and high capacitance." IBM research report RC 9681 (#42747)
- Lenzlinger, M. and E. H. Snow. 1969. "Fowler-Nordheim tunneling into thermally grown SiO₂" J. Appl. Phys. 40(1): 278-283.
- Lopez M., C. Falcony. 1989 "Electrical charge injection in off-stoichiometric SiO₂ films" J. Mater. Res., 4(5):1233-1237.
- Lopez Bello R. 1995. "Estudio y Especificaciones para el Diseño de Circuitos combinacionales Basados en FPGA" Bachelor Thesis, Universidad Autonoma de Puebla, Puebla, Pue. México.
- Millman J., C. Halkias. 1972. "Integrated Electronics: Analog and Digital Circuits and Systems". Mc Graw-Hill. Inc. USA.
- Mimura A., M. Oohayashi, S. Murakami and N. Momma. 1985. "High voltage planar structures using SiO₂-SIPOS-SiO₂ film." IEEE EDL. EDL-6(4): 189-191.
- Ni J., E. Arnold. 1981. "Electrical Conductivity of SIPOS and its Dependence Upon Oxygen Content." Appl. Phys. Lett. 39(7): 554-556.

- Pérez Blanco. R. Tesis de licenciatura. "Caracterización Electrica del Óxido de Silicio Rico en Silicio." Universidad Autonoma de Nuevo Leon, monterrey, NL, México. a presentarse.
- Quast W., B. Schiek. 1969. "Experimental Determination of the Ratio of Injected Hole Current and Total Current in Silicon Nitride" *Electronic letters* 5(20): 485-487.
- Ross P. 1985 "Taguchi Techniques for Quality Engineering" Mcgraw-hill Inc. USA.
- Schwartz P. V., C. W. Liu and J. C. Sturm. 1993. "Semi-Insulating Poly-Crystalline silicon formed by oxygen doping during low-temperature chemical vapor deposition." *Appl. Phys. Lett.* 62(10): 1102-1104.
- Sze, S. M. 1969. "Physics of Semiconductor Devices." John Willey & Sons, Inc. USA.
- Tarng M. I. 1978. "Carrier transport in oxygen-rich polycrystalline-silicon films." *J. Appl. Phys.* 49(7): 4069-4076.
- Yablonovitch E., T. Gmitter, R. M. Swanson and Y. H. Kwark. 1985. "A 720 mV Open Circuit SiO_x :c-Si: SiO_x Double heterostucture Solar Cell" *Appl. Phys. Lettr.* 47: 1211-1213.
- Zaininger K. H., F. P. Heiman. 1970 " The C-V technique as an analitic tool" part 1, *Solid State Technology.* pp 49-56 May and Part 2, pp 46-55 June
- Zommer N. 1980. "Characterization of CO2 deposited SIPOS films." *IEEE trans. on Electron Devices.* ED-27(11): 2056-2063.

Apéndices

Se presentan a continuación algunos artículos que han resultado de este trabajo.



THE CONDUCTION PROPERTIES OF THE SILICON/OFF-STOICHIOMETRY-SiO₂ DIODE

M. ACEVES¹, C. FALCONY², A. REYNOSO-HERNANDEZ³, W. CALLEJA¹
and A. TORRES¹

¹Instituto Nacional de Astrofísica, Óptica y Electrónica, Apdo. Postal 51, 72000 Puebla, Pue. México

²Centro de Investigación Científica y Estudios Avanzados del IPN, Dept. de Física, Apdo. Postal 14-740, 07000 México, D.F. México

³Centro de Investigación Científica y de Educación Superior de Ensenada, División de Física aplicada, Km 107 carretera Tijuana-Ensenada, 22860 Ensenada, B.C. México

(Received 31 June 1995; accepted 14 August 1995)

Abstract—The study of the silicon/silicon rich oxide diode is presented. The behaviour of the $C-V$ and the $I-V$ characteristics when the structure is positively and negatively bias stressed for N and P substrates is reported. It is found that the C_{\min} in the $C-V$ curves is affected by the charge status of the SRO. A way to estimate the density of traps in the SRO from the $C-V$ curves is proposed. In the case of the $I-V$ curves a comparison between the results obtained for samples deposited on N or P type wafers is performed. The electric characteristics of this device are explained assuming that silicon islands introduce univalent traps in the SRO.

1. INTRODUCTION

The off-stoichiometry silicon oxide, or silicon rich oxide (SRO) and semi-insulating polysilicon (SIPOS), are two phase materials formed by silicon dioxide and silicon[1]. The excess of silicon can be as high as 17% for SRO, and around 90% for SIPOS[2]. These materials are normally obtained by chemical vapor deposition (CVD) using silane and nitrous oxide as reactive gases. In this method, the ratio $R_o = [N_2O]/[SiH_4]$ is adjusted to determine the excess of silicon. In this work, $R_o > 3$ designates SRO. Recently[3–5], SRO obtained by silicon implantation into silicon oxide has also been reported.

SIPOS has been used in several devices such as high power devices[6,7]. On the other hand, SRO has found its main application as electronic injection enhancer in non-volatile memory structures[8–10]. Also the electron trapping properties of SRO make this material useful as an active memory material[11]. Due to this application, the SRO properties have been extensively studied in dual structures on silicon (a dual structure is a combination of SRO and SiO₂ layers)[12–15]. However, the properties of the SRO in a metal/SRO/Si structure have received less attention.

It is known, specially from the work of DiMaria *et al.*, that CVD SRO has non-ohmic $I-V$ characteristics, and that the electric current is different for positive and negative bias for a given applied voltage. For a thin SRO layer, it has suggested that the electric current mechanism is mainly due to electron tunnelling throughout the oxide between silicon islands, and that it is a bulk limited rather than interface

limited phenomena. They also observed that the associated energy to electrons reaching the gate electrode from the SRO is lower than the energy of electrons travelling at the bottom of the SiO₂ conduction band.

In the case of SIPOS, silicon islands are rather large and each island behaves as a shell surrounded of a high density of electronic traps distributed in the bandgap that create a space-charge region between the Si crystals in the film. As a result, band bending occurs which introduces a potential barrier of height ϕ_b for carrier transport through the grain boundaries. Then, the $I-V$ characteristics are modelled as a series of one-dimensional symmetrical Schottky barriers, and an adjusting factor known as the number of grains is considered in this model[16,17].

With the attainment of SRO by ion implantation into silicon dioxide, new information has been added in relation to the conduction properties of this material and, specially on the SRO/Si diode. It was found that implanted silicon introduced electronic traps in the oxide. These traps are neutral at the end of device fabrication. However, these traps can donate or accept an electron, remaining negatively charged if an electron has been accepted and, positively charged if an electron is donated. Then, the SRO may have positive or negative charge. In this model Kaltnintsky *et al.*, also suggested that there are some interface traps or states, that are in intimate contact with the silicon. The neutral and negative traps are located some meV below the Si conduction band, and the positive traps above it. The occupation of these traps is dependent on the Fermi level position

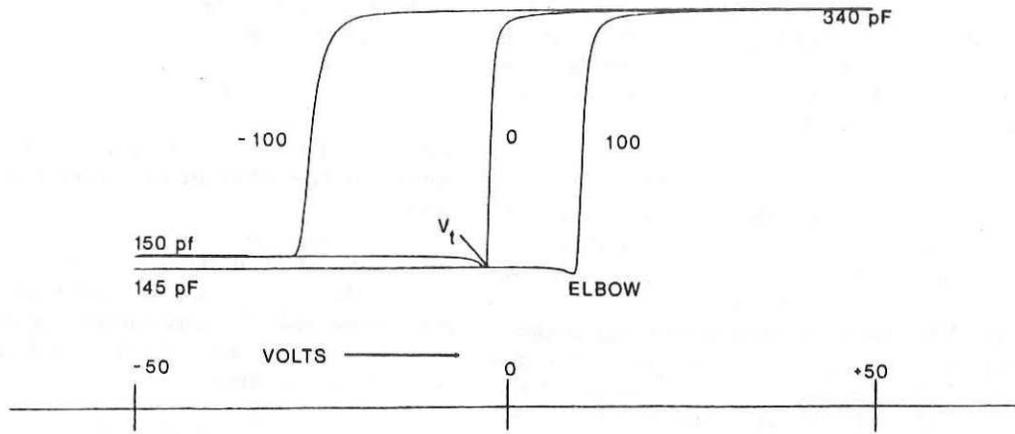


Fig. 1. Typical $C-V$ for an N type substrate. The curve marked 0 is the curve for a virgin sample, ± 100 indicates that the curve was obtained after applying ± 100 V stress. Also it is shown the point where the V_t is taken.

3.1. The $C-V$ curves

3.1.1. N type substrates. Figure 1 shows the $C-V$ curve for a SRO/Si diode on N type substrate. The curve marked 0 corresponds to the diode as processed. The curves marked ± 100 were taken after the diode was stressed ± 100 V.

3.1.1.1. Positive stress

After a stress of $+100$ V, the $C-V$ curve shifts to the right, which indicates negative trapped charge in the SRO; this shifting is typical for SRO. However, as we can see in Fig. 1, there is a change in the shape

of the curve at the minimum capacitance as a consequence of the stress. This could be due to interaction between the negative trapped charge in the SRO and the silicon surface holes in the inversion layer. When a negative ramp is applied to start the $C-V$ curve, and the negative voltage is high enough, electrons in the traps (specially the ones nearest to the interface) recombine with some of the holes in the inversion region. This disturbs the inverted surface and affects the depletion region. As a consequence, the minimum capacitance (now C'_{min}) is lower than in any other situation. When the voltage moves towards V_t , the voltage is not enough to sustain the density of holes

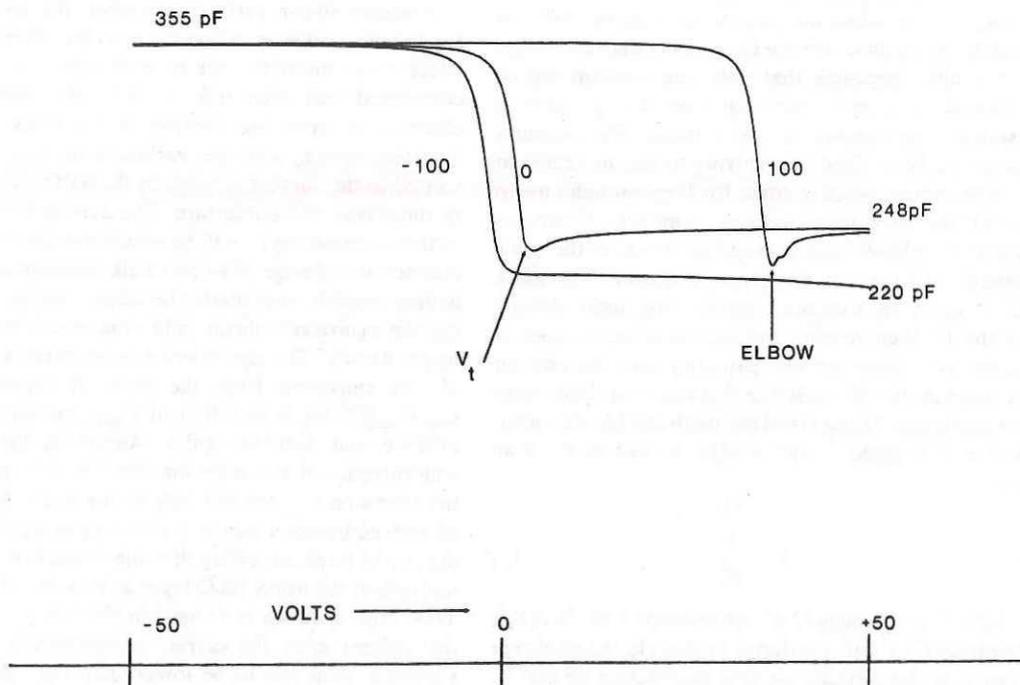


Fig. 2. Typical $C-V$ curve for a P type substrate. The curve marked 0 is the curve for a virgin sample, ± 100 indicates that the curve was obtained after applying ± 100 V stress.

authors, and the conduction mechanism is the same for either type of substrate, regardless of the previous history.

It is concluded then, that the electric current in the Si/SRO can be explained assuming that the silicon islands in the SRO produce trap levels. The current transport will depend on the trap state (i.e. if it is neutral, positive or negative), and will be different in each case. V_{on} depends on the Al/SRO interface and on the bulk conduction mechanism in the SRO rather than on the silicon type or the Si/SRO interface. In the high conduction regimen the current depends mainly on the SRO bulk properties.

3.3. Comparison of N and P substrates

For N and P type substrates, and virgin samples, the initial current is only the displacement current, and as mentioned before, in the high voltage regimen the current is higher for a positive bias ramp than for a negative one. However, when a stress is applied the three current components are observed as shown in Fig. 6(a,b). Clearly the initial current is related to the charge state of the SRO and to the silicon surface state and not to the silicon type. At higher currents the negative and positive currents are not so different as for the virgin samples. This confirms that the high regimen current depends more on SRO conduction properties than on silicon type or interfaces proper-

ties. The initial current for stressed samples is the same for N and P type substrates and is the same for both positive and negative ramps. The similarities of both current components for N and P substrates, at low and high regimen and for both positive and negative bias ramps, suggest that the current does not depend on the silicon type.

4. CONCLUSIONS

Experimental evidence has been presented to support the theory that the electric behaviour of Al/CVD-SRO/Si devices can be explained by assuming that silicon islands introduce trap levels in the forbidden gap of SiO₂. This hypothesis implies that CVD-SRO behaves similarly to that of implanted-SRO. Bias-stressed devices were studied. Traps' status in the SRO affects the inversion region, and it causes modifications to the C_{min} in the C-V curves. A simple way is proposed to estimate the density of active traps from the C-V curves using two independent approaches; in both cases similar values are obtained. Three components of current are distinguished: the exchange current, that is due to the exchange of electronic charge between the Si and the SRO, the normal displacement current, and the electronic conduction between silicon islands in the SRO. The combination of these current components can result in a current decrease as the applied voltage increases. It was also found that the high current regimen depends on the charge status of the silicon surface and not on the type of substrate. V_{on} is dependent on the Al/SRO interface and the conduction properties of the SRO.

Acknowledgements—The authors want to thank the technicians of the Microelectronics Department, and especially Pablo Alarcón and Ricardo Pérez, for the preparation of the samples, also to Dr Peter Peykov for his helpful comments. We thank also CONACyT for the support to this project.

REFERENCES

1. D. W. Dong, E. A. Irene and D. R. Young, *J. Electrochem. Soc.* **125**, 819 (1978).
2. M. Hamasaki, T. Adachi, S. Wakayama and M. Kikuchi, *J. Appl. Phys.* **49**, 3987 (1978).
3. A. Kalnitsky, A. R. Boothroyd and J. P. Ellul, *Solid-St. Electron.* **33**, 893 (1990).
4. A. Kalnitsky, J. P. Ellul, E. H. Poindexter, P. J. Caplan, R. A. Lux and A. R. Boothroyd, *J. Appl. Phys.* **67**, 7359 (1990).
5. A. Kalnitsky, A. R. Boothroyd, J. P. Ellul, E. H. Poindexter and P. J. Caplan, *Solid-St. Electron.* **33**, 523 (1990).
6. G. Charitat, M. A. Bouaname and P. Rossel, *Microelectronics Engineering* **19**, 149 (1992).
7. A. Mimura, M. Ohayashi, S. Murakamy and N. Momma, *IEEE Electron Devices Lett.* **EDL6**, 189 (1985).
8. D. J. DiMaria and D. W. Dong, *J. Appl. Phys.* **51**, 2722 (1980).
9. L. Dori, A. Acovic, D. J. DiMaria and C. Hsu, *IEEE Electron Devices Lett.* **14**, 283 (1993).

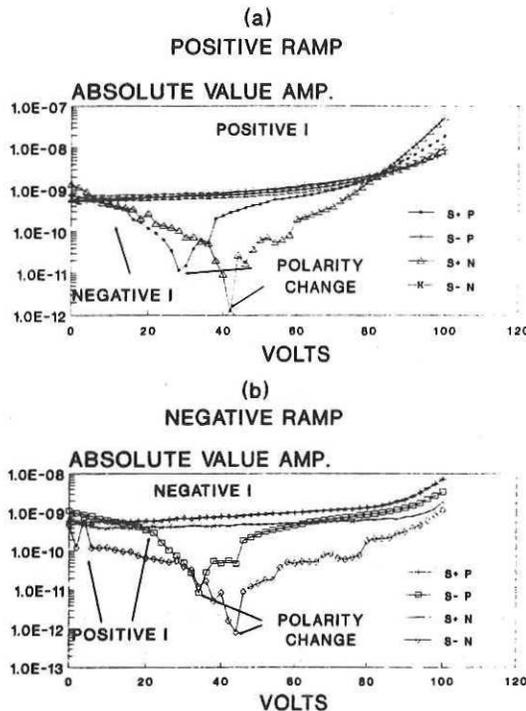


Fig. 6. I - V plots for N and P substrates on: (b) samples positively stressed; (c) samples negatively stressed—in these cases the initial current does not depend on the type of substrate or the ramp bias polarity. S⁺ and S⁻ are used for positive and negatively stressed samples. R⁺ and R⁻ are used for positive and negative ramp bias polarity.

QUALITY ASSURANCE IN POLYSILICON DEPOSITION USING STATISTICS

Mariano Aceves-Mijares, Roberto Murphy-Arteaga, Alfonso Torres-Jacome,
and Wilfrido Calleja-Arriaga

Instituto Nacional de Astrofisica, Optica y Electronica
Tonantzintla, Puebla, Mexico

Key Words

Polysilicon deposition; Integrated circuits; Low-pressure chemical vapor deposition (LPCVD); Taguchi techniques; Orthogonal arrays; Variance analysis (ANOVA); Variability reduction; Control charts; Moving-range charts.

Introduction

Polycrystalline silicon, or polysilicon, is widely used in the fabrication of MOS (metal-oxide-semiconductor) integrated circuits. It is used primarily as a first- and second-level interconnect and as the gate electrode (1-3). It is deposited by CVD (chemical vapor deposition), generally at reduced pressure (LPCVD; low pressure CVD), but sometimes plasma-enhanced CVD is also used (PECVD) (2,3). Polysilicon is normally deposited on silicon oxides, and in the case of gate oxides, these can be as thin as 50 Å (4). If the polysilicon is doped after it has been deposited, there is a risk that the channel will also be doped if the oxide is not of the correct thickness or if the thickness is not uniform. In the case of field oxides and intermetallic layers, nonuniformity can cause problems with step coverage. In all the cases, defects in polysilicon deposition will result in catastrophic failure of the integrated circuit. Thus, it is very important to control and reduce the variation in polysilicon deposition.

In this article, we present the use of statistical tools, such as Taguchi orthogonal arrays and variance analysis, to optimize polysilicon deposition and reduce the variation of layers deposited in an LPCVD system. Using these tools, a method was established to ensure the least possible variation from run to run. Control charts are established to monitor the process over time.

In accordance with the suggestions for a multivariate analysis (5), a work team was formed to analyze and select the most important variables. These were determined using Ishikawa diagrams, brainstorming, and variable cross-reference (dependent/independent). All decisions were made through consensus.

Metrology

Angular lapping was used to measure the thickness of polysilicon layers. This technique has been widely used to measure junction depth in semiconductor devices (6), and we have also been using it successfully to determine polysilicon thickness. It is a simple, fast, and sure method, and it is completely compatible with a MOS fabrication process. Figure 1 is a photograph of a thin layer of polysilicon prepared to be measured.

The reproducibility and repeatability (R&R) obtained for the method is 30%, which places it within the acceptable limits for a measuring method. The long-method R&R is obtained (5) from

Table 1. Column Assignment and Level

COLUMN	FACTOR	VARIABLE	LEVEL 1	LEVEL 2
1	A	Reduced pressure	1 torr	3 torr
2	B	Temperature gradient	Flat	Ramp
3	C	Furnace temperature	625°C	725°C
4	D	System cleanliness	Clean	Dirty
5	E	Boat	Flat	Slanted
6	F	Gas input	Top	Bottom
7	G	Gas flowmeter	Near	Far

Initial State of the System

Because the system was assembled at our laboratory, we had no inkling of the best settings for the deposition variables, and therefore a traditional capability study (5) was not done. Instead, it was decided that a multivariate analysis was best, although it is not commonly used for this purpose.

In order to determine the system's state, an experiment using a Taguchi orthogonal array (OA) L_8 in two levels and with two external factors (external array) was designed. The columns and levels are shown in Table 1.

Table 2 shows the internal and external arrays together. In the internal array, numbers 1 and 2 refer to the two levels, whereas in the external array the two factors were a $\pm 50\%$ variation in working pressure. A total of 16 experiments was conducted. The average results of the experiments are shown in Table 3.

We immediately notice from these results that when variable C is in a low level (625°C), there is no deposit, even at an excess pressure of +50%. This result does not agree with the literature (1-3), which reports deposits at furnace temperatures of 575°C and above. We also found

a variation in thickness as large as 40%, even for points on the same wafer.

Even though there were many experiments which produced no deposit, a variance analysis (ANOVA) was performed on the data. In this analysis, the error term was the dominant one, which means that we were not considering all the important parameters, or that the system was unstable.

The objective of performing experiments is to obtain reasonable and measurable results, in order to determine the amount of variation attributable to each variable. Having so many experiments with no deposit led us to conclude that the system was highly unstable, and, therefore, a mathematical study of the data (such as ANOVA) would be of little help in interpreting the results.

On the other hand, not obtaining a deposit at low temperature and an uncontrolled pressure indicated that we might have oxygen in the lines, which provoked oxidation of silane in the lines and the subsequent plugging of the meters and silane depletion.

Even though the system was unstable, we tried to deduce some results from this experiment. Table 3 show that variables B, D, E, F, and G, both in the case of having a

Table 2. Orthogonal Array L_8

EXPERIMENT	INTERNAL L_8							EXTERNAL	
	A	B	C	D	E	F	G	F1	F2
1	1	1	1	1	1	1	1	+50%	-50%
2	1	1	1	2	2	2	2	+50%	-50%
3	1	2	2	1	1	2	2	+50%	-50%
4	1	2	2	2	2	1	1	+50%	-50%
5	2	1	2	1	2	1	2	+50%	-50%
6	2	1	2	2	1	2	1	+50%	-50%
7	2	2	1	1	2	2	1	+50%	-50%
8	2	2	1	2	1	1	2	+50%	-50%

Table 5. Orthogonal Array L_9 and Average Results

EXPERIMENT	A	B	C	D	RESULT (FILAR UNITS)
1	1	1	1	1	0
2	1	2	2	2	97.9
3	1	3	3	1	112.8
4	2	1	2	1	3
5	2	2	3	1	208.6
6	2	3	1	2	104.3
7	3	1	3	2	47.9
8	3	2	1	1	55.6
9	3	3	2	1	438.7

hand, it is interesting to note that at low temperature, there is still no deposit, in accordance to the previous experiment in which we had assumed it was due to the depletion of the silane. This fact prompted a more thorough analysis of the experiment. First, the ANOVA indicates that the order of importance of the variables is B, C, A, and D; that is, the temperature is the variable that influences the variation of polysilicon thickness the most. Table 7 shows the experiments arranged in the order of ascending deposition rates.

We decided to work with deposition rate, instead of thickness, to make the results of the experiment "independent" of time (obviously, the longer the time, the thicker the film, for a given set of conditions). On the other hand, the experiment confirms that variable D (gas input) is irrelevant, as its state does not affect the result of the experiment, as is shown in Table 7. Then, variables B (furnace temperature) and A (reduced pressure) are the only ones that affect the deposition rate.

The results of experiments 1, 4, 7, 2, 5, 8, 6, and 9 show that when the temperature is increased, the deposition rate also increases, and at a given temperature, the deposition rate increases with increasing pressure. In experiment 3, however, in which the temperature was set to

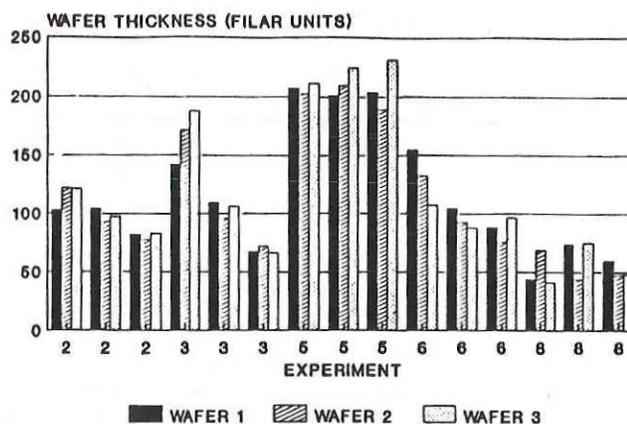


Figure 2. Results of experiments performed after optimizing the system.

the highest value, the deposition rate is not among the highest values (it should be similar to the rates obtained in experiments 6 and 9). But because the pressure was set to its lowest value for experiment 3, the result indicates that there are combinations of temperature and pressure that can strongly affect the deposition rate. All this indicates that there is a temperature-pressure interaction, such that some combinations of temperature and pressure have a much larger effect on the deposition rate than each of these variables taken independently. This type of interaction can only be observed through multivariate analysis, which shows the importance of this type of analysis.

In order to determine the best operating conditions, the average results were analyzed, as is shown in Table 8. As can be seen from this table, conditions A2 and B2, A2 and C3, A3 and D1, B2 and C3, B3 and D1, and C2 and D1 are the ones that gave a thickness close to the desired value. From the analysis, we chose conditions A2, B2, C3, and D1. As can be seen, these are the conditions for experiment 5.

Table 6. ANOVA Table for OA L_9

SOURCE	POOL	DF	SS	V	F	SS'	$\rho\%$
A	[N]	2	1.723E5	8.615E4	53.296	1.691E5	12.11
B	[N]	2	5.485E5	2.743E5	169.694	5.453E5	39.06
C	[N]	2	2.175E5	1.088E5	67.309	2.143E5	25.35
D	[Y]	1	5.078E4	5.078E4			
e1	[N]	1	3.392E5	3.392E5	209.844	3.376E5	24.18
e2	[Y]	72	6.717E4	9.329E2			
(e)		73	1.180E5	1.616E3		1.293E5	9.26
Total	[-]	80	1.396E6	1.745E4			

Table 9. Data Array for ANOVA and Random Effects Method

RUN POSITION	1			2			
	1	2	3	1	2	3	
Zone	1	212	200	194	206	202	211
	2	208	218	227	201	209	224
	3	219	217	220	203	189	231

Table 10. ANOVA Table of the Data in Table 9

SOURCE	SYMBOL	DF	SS	V
Run	A	1	84.5	84.5
Zone	B	2	379.1	189.5
Run/zone	AB	2	185.3	92.6
Position	C	2	491.6	245.8
Run/position	AC	2	369.4	184.7
Zone/position	BC	4	557.7	139.4
Error	e	4	176.5	44.1
Total		17		

Table 11. Variation Components

VARIANCE COMPONENT	ESTIMATED VALUE	%
σ_{BC}^2	47.70	25.7
σ_{AC}^2	46.85	25.2
σ_e^2	44.13	23.8
σ_{AB}^2	16.17	8.7
σ_B^2	16.15	8.7
σ_C^2	10.18	5.5
σ_A^2	4.48	2.4
Total	185.66	100.0

process (as this one) and the \bar{X} charts are given as in Ref. 8:

$$LC = \bar{X} \pm 3 \left(\sigma_A^2 + \frac{\sigma_e^2}{AB} \right),$$

where AB is the product of the number of points per wafer and the number of wafers per run. In this case, we get

$$LC = 208 \pm 28.2. \quad (2)$$

In order to obtain the upper control limit for a moving-range chart, a great number of points are needed; that is, we would have to wait for a large number of runs to get them. It was then decided to proceed as follows:

According to Ref. 9,

$$LC = \bar{X} \pm 3 \left(\frac{\bar{R}}{d_2} \right), \quad (3)$$

where $d_2 = 1.128$ (9). From Eqs. (2) and (3), we get

$$\bar{R} = 10.60,$$

and, consequently,

$$UCLR = D_4 \bar{R} = 3.268 \bar{R}$$

where $D_4 = 3.268$ (9). This value can be used as an initial estimate of the upper control limit in a moving-range chart, and through time, as more points are obtained, the upper control limit for the moving range chart can be recalculated.

Conclusions

The multivariate method has been utilized to optimize the thickness and uniformity of polysilicon deposited in a hot-wall LPCVD reactor. Taguchi orthogonal arrays were used to find the system's initial state and reduce the number of variables to study. From the analysis, the system was improved without having to resort to costly solutions. The optimal deposit conditions were obtained from a deeper study, in three levels, using only the fundamental variables. A temperature-pressure interaction that cannot be observed in an experiment where only one variable is changed was found. Finally, control charts for moving ranges were obtained, without having to wait for the results of many runs.

Acknowledgments

The authors wish to thank the technicians of the Microelectronics Laboratory at the Instituto Nacional de Astrofísica, Óptica y Electrónica, especially Mauro Landa and Israel Fuentes, for having prepared and measured the samples, and the CONACYT for its partial support of this project.

References

1. Ghandhi, S. K., *VLSI Fabrication Principles: Silicon and Gallium Arsenide*, John Wiley & Sons, New York, 1983, pp. 432-433, 459-460.
2. Vossen, J. L. and Kern, W., *Thin Film Processes*, Academic Press, Orlando, FL, 1978, pp. 274-275.
3. Runyan, W. R. and Bean, K. E., *Semiconductor Integrated Circuit Processing Technology*, Addison-Wesley, Reading, MA, 1990, pp. 137-139, 151.
4. Yoon, G. W., Joshi, A. B., Kirn, J., and Kwong, D. L., High Field Induced Leakage in Ultra Thin N_2O Oxides, *IEEE Electron Dev. Lett.*, 14(5), 231-233 (1993).
5. Pérez-Wilson, M., *Machine/Process Capability Study*, Advanced System Consultants, Scottsdale, AZ, 1989.

**NEW EXPERIMENTAL OBSERVATIONS ON THE
ELECTRICAL CHARACTERISTICS OF THE Al/SRO/Si
DIODE, AND ANNEALING EFFECTS.**

M. Aceves, C. Falcony¹, J. A. Reynoso², W. Calleja, R. Pérez.

Artículo enviado por invitación a la revista

Journal of Solid-State Devices and Circuits

**NEW EXPERIMENTAL OBSERVATIONS ON THE
ELECTRICAL CHARACTERISTICS OF THE Al/SRO/Si
DIODE, AND ANNEALING EFFECTS.**

M. Aceves, C. Falcony¹, J. A. Reynoso², W. Calleja, R. Pérez.

Instituto Nacional de Astrofísica, Óptica y Electrónica. Apdo. Postal 51, 72000, Puebla, Pue. México. Tel:+22 47-2011 email: maceves@inaoep.mx.

¹Centro de Investigaciones y Estudios Avanzados del IPN, Depto. de Física, Apdo. Postal 14-740, 07000, México D.F.

²Centro de Investigaciones Científicas y de Educación Superior de Ensenada, Apdo. Postal 2732, 22800, Ensenada, B.C. México.

Abstract. The Silicon Rich Oxide (SRO) also known as off-stoichiometric silicon dioxide, or SIPOS is studied in the Al/SRO/Si diode. Different silicon bulk concentration, n and p type wafers, different SRO excess silicon and thickness were used. In this work we present that I-V relationship of the Al/SRO/Si saturates. This saturation depends on the concentration of the Si substrate. It is, also shown that E_{on} is lightly influenced by annealing at high temperature. This variation is more clear as the excess silicon increases, and this effect can be associated to the change of structure that high temperature annealing produces on the SRO. Also, a simple method to estimate the excess silicon is proposed.

I. INTRODUCTION

The off-stoichiometry silicon oxide, or silicon rich oxide (SRO) also known as semi-insulating polysilicon (SIPOS), is a material formed by silicon dioxide with excess of silicon [1]. The excess of silicon can be as high as 17% for SRO, and around 90% for SIPOS [2]. This material is normally obtained by Chemical Vapor Deposition (CVD) from silane and nitrous oxide as the reactive gases. In this method, the ratio $R_o = [N_2O]/[SiH_4]$ determines the excess of silicon. Recently [3], SRO obtained by silicon implantation into silicon oxide has been reported.

SIPOS has found its use in several devices such as high power devices [4,5]. On the other hand, SRO has been applied to enhance the electronic injection into SiO_2 in non-volatile memories [6 - 9]. The electron trapping properties of SRO make this material useful as a memory material [10]. In view of this application, the SRO properties have been extensively studied in dual structures on silicon, (a dual structure is SRO deposited onto SiO_2) [9]. Nevertheless the properties of the SRO in a metal-SRO-Si system have received minor attention. However, the SRO/Si junction has a lot of potential applications, but it still requires some study to understand all its properties.

It is well known that CVD SRO/Si has a non ohmic behavior in its I-V characteristics, i.e., at low electric fields the electric current is negligible, and when the electric field reaches a threshold (E_{on}) value the current increases drastically. After the E_{on} is reached the I - V relationship is exponential and high currents can be obtained [11]. Also it is known that the E_{on} depends on the silicon excess, or equivalently on the R_o , E_{on} increases as R_o increases. It is also known, that the physical characteristics of the SRO change with annealing at high temperature, but no one has reported the effect of these changes on the electric properties.

It has been studied that the excess of silicon can be amorphous, crystalline or can agglomerate forming clusters. The deposition conditions and the heat treatments are factors that determine the state of the silicon excess [12,13,14,15]. However, the electrical characteristics of the Al/SRO/Si have not been related either to these factors, or to the substrate properties as silicon concentration or impurities. No one has neither reported how the Si bulk, or at least, the surface concentration affects the E_{on} and other electrical characteristics, nor how the silicon type alters the I-V relationship. It is also known, that the structure of the SRO change with annealing at high temperature, but no one has reported the effect of these changes on the electric properties. In this paper we present the study of the electrical properties of the Al/SRO/Si for

different process parameters as annealing, type and concentration of Si substrates. It will be shown that I-V results are in agreements with previous results.

II. EXPERIMENTAL PROCEDURE.

a) Sample preparation

SRO with R_o varying from 3 to 200 was deposited on (100) n and p type Si-wafers. A hot wall LPCVD system was used, and the reactive gases used were nitrous oxide and silane. The deposition temperature was varied from 650 °C to 800 °C, and the pressure used was from 0.5 to 1.2 Torr. A 1000 °C, 30 minutes annealing in an inert environment (N_2) was realized on some of the samples. The wafers were divided in two groups. One group was use to obtain information on the electrical properties, and the other was used to obtain optical properties. In all wafer lots at least on one wafer, Al was e-beam evaporated on the samples through a metal mask for fast C - V measurements. Al was also evaporated for back contacts. Finally the samples were sintered at 450 °C in forming gas.

b) Diode fabrication and electrical test.

After the deposition, and annealing if it was accomplished, on the wafers used for electrical characterization, Al gate electrodes with an area of $1.49E-2 \text{ cm}^2$ were patterned on the SRO layer to have a precise control on the area. Al was also evaporated for back contacts. Finally the samples were sintered at 450 °C in forming gas. The SRO thickness was measured just after deposition using an ellipsometer, and after the electrical test was performed Al was striped off, and SRO steps were etched and measured with a profiler stylus.

C-V and I-V characteristics were measured on the samples. For the C-V a Princeton Applied Research model 410 plotter was used. All measurements were done in presence of light and started from the inversion region to finish in the accumulation region. The I-V was measured

using an electrometer Keithley 617 and a 230 Keithley power supply. The C-V and I-V measurement systems were computer controlled. Several SRO thickness were tested. A ramp voltage was applied in 2 seconds steps for all I-V curves. For C-V curves the voltage ramp was 100 mV/s.

c) Samples and optical test

The IR percentage of transmission was measured with a commercial Fourier transformed instrument. The measured spectra were corrected for substrate absorption using a clean substrate as a reference. The refractive index and the SRO thickness were obtain with a 630 nm ellipsometer.

III. RESULTS

Figures 1 through 4 are typical I-V curves for the Al/SRO/Si with substrates N and P and concentration from 10^{15} to 10^{18} . In order to have substrates with high surface concentration, some P and N samples were Boron, P^+ , and Phosphorous, N^+ , diffused. In this way we assure that the surface that is in contact with the SRO would be higher than 10^{18} cm^{-3} . In these figures S0, S+, and S- are used for samples non-stressed, positively stressed, and negatively stressed respectively. R+ and R- mean that they were positively and negatively ramped. Positively polarization is defined as having the top electrode, Al, positive respect to the substrate bulk, Si. Figure 5 is a typical I-V relationship in logarithmic scale this one is shown to see the details at low currents. It shows only two curves for the sake of clarity.

From those figures, it is possible to see the effect of surface concentration on the I-V relationship. As can be seen, the current saturates in the polarity that produce Si surface inversion. In the case of very high concentration, it was not possible to observe any current saturation, at least until the limits of the equipment we were using. In the logarithmic scale of these

graphs, it is shown the absolute value of the current, it can be seen that samples stressed and ramped positively have a negative initial current. For samples negatively stressed and ramped the initial current is positive. That is the initial current reverses. This phenomenon was observed no matter the silicon concentration.

The high concentration substrates behave in both ramp polarities as that of low level carrier injection, so no saturation is observed, Figures 3 and 4.

The Table 1 shows the E_{on} measured for different wafers. E_{on} was calculated taking the average V_{on} from the curve I-V for virgin samples and ramped positively, S0R+. The V_{on} , and the average SRO thickness, t_{SRO} , was used to calculate the E_{on} as

$$E_{on} = \frac{V_{on}}{t_{SRO}} \quad (1)$$

Even the big variation shown for the E_{on} it is possible to see tendencies, as the one shown in Figure 6. In this figure it possible to verify that the E_{on} tends to decrease when the wafer concentration increase in N type wafers. However, in case of P type substrate the contrary was observed. It was also observed that E_{on} increase when the sample was annealed at 1000 °C Figure 7. This tendency was very clear for samples with high concentration of Si excess, that is Ro 3, but for wafer with less content of excess silicon, Ro 30, that tendency was not so clear.

In table 1, it was included the Permittivity of the SRO. The SRO Permittivity, ϵ_{SRO} , was calculated from the C-V curves using the well-known relationship:

$$C = \frac{\epsilon \cdot A}{d} \quad (2)$$

Where ϵ is the Permittivity of the dielectric material, A is the area ($1.5 \times 10^{-2} \text{ cm}^2$), and d is the dielectric thickness. In this case no tendencies were found. The Permittivity of stoichiometric

oxide is 0.33 pF/cm, so it is a lower limit for the Permittivity of the SRO. The experimental values lower than 0.33 pF/cm could be taken as experimental errors. Ignoring the samples considered as experimental errors, the Permittivity averages are shown as ϵ' in the table. It has to be pointed out that in any case the variation is big.

Table 1 Average electric field, E_{on} , and Permittivity

Ro	3	23	30
E_{on} average MV/cm	0.010	1.43	3.42
E_{on} variation	1.5 E-2-0.46	0.7-2.8	1.6-5.5
ϵ average pF/cm	0.54	0.38	0.37
ϵ variation	0.53-0.57	0.14-0.45	0.25-0.41
ϵ' average pF/cm	0.54	0.41	0.39
ϵ' variation	0.53-0.57	0.36-0.45	0.37-0.41

IV. DISCUSSION

In other reports it has been mentioned that the effect of the silicon excess is to produce traps in the forbidden band of the SiO_2 [3]. These traps can be positive, neutral or negative if they accept or donate an electron. Even though these results were stated for SRO obtained by implantation of silicon on Thermal SiO_2 , this model can be used for SRO obtained by CVD. In [11], it was shown that it is possible to explain the behavior of the C-V characteristics using the idea of SRO traps. The traps can accept or donate an electron, and then, when the SRO is electrically charged the exchange of charge between the silicon substrate could alter the C-V curves. In Figure 5, the I-V curve in logarithmic scale shows that the initial current can be in

opposite direction as expected. This result was also explained as exchange of charge between the silicon surface and the SRO charge. That is in agreement with previous work that suggest that due to the charge trapping property of the SRO the local electric field reverses [6]. The exchange of charge between the charged SRO and the Si in the Al/SRO/Si device will produce that the Si surface will run out of charge carriers, especially in the case of surface inversion. The depletion of carrier will cause that electric current will be limited, causing a current saturation as shown in Figures 1-4.

The current can be explained as follows:

a) P type substrate and positive voltage ramp.

At the beginning the device current is due to electronic exchange, as mentioned before, or is a displacement current characteristic of a capacitor, and depending of the voltage ramp velocity one or another dominates. As voltage increases, the inversion region develops. At voltages similar to V_{on} or higher, electrons from the inversion region start to move trough the silicon islands by tunnelig. The current increase with the voltage until the generation and extraction of electrons are the same, then the current saturates, Figure 2.

b) P type substrate and negative voltage ramp.

In this case the surface of substrate is accumulated, and then the injection of electrons from the SRO to the substrate becomes that of a low level carrier injection. So there is no limitation until the dielectric breakdown.

c) N type and negative voltage ramp.

In this case the surface is rich in holes due to the inversion layer, the same arguments as in a) can be used, but the holes cannot move as electrons in the SRO, so the current is limited, Figure 1.

d) N type substrate and positive voltage ramp.

This case can be explained as case b).

DiMaria et al. [7,12] have shown that SRO has a mosaic like structure with Si islands surrounded by SiO₂. The size of the islands is around 10 to 20 Å, and if an annealing at 1000 °C is performed the Si islands increases at around 1000 Å forming clusters. More recent reports [13,14,15] have been adding information on the physical structure of this material. Their results have been obtain for SIPOS, but can be used for SRO as well. These authors propose that as deposited SIPOS, that is, without any annealing, is formed by silicon grains surrounded by an inner shell consisting of transition SiO_{0.86} and an outer shell of SiO₂. This transition oxide also exists in the interface Si-SiO₂.

As mentioned, our IR observations on as grown samples show a peak that is normally associated to suboxidized silicon, and this peak was not found in annealed samples[16,17]. Following the ideas of Brüesch et al., it is possible that this peak corresponds to a transition oxide SiO_x with $x < 2$. When a high temperature annealing is performed even in an inert atmosphere, in our case 1000 °C and Nitrogen, the silicon grains try to form clusters, and it possible that at least some of the suboxidized species becomes SiO₂. This could explain why the peak is not observed in annealed samples. If this is so, our experiment reinforces the proposition of SiO_x as a transition oxide coexisting with Si and SiO₂ not only in SIPOS but also in SRO. Of course more work has to be done to confirm this proposal.

The increase of E_{on} after the annealing can also be explained on these arguments. If we suppose that SiO₂ has a higher barrier than any suboxidized specie, and thickness of this specie is much thinner than the SiO₂ (specially in the case of SRO). Then more energy will be required to have an electron on the conduction band or tunneling for conduction trough the SiO₂. As a result of SiO_x to convert in SiO₂ the E_{on} has to increase. However, ϵ is not affected by the an-

nealing because the excess silicon in the SRO has not been altered during the high temperature process.

As seen in table 1, ϵ_{SRO} is specific for each Ro, so it is proposed a method to estimate the excess of silicon using this experimental constant. Supposing that there is a linear relationship between the permittivity of the Si and the SiO₂ [18], that is:

$$\epsilon_{SRO} = \epsilon_{Si}(r) + \epsilon_{SiO_2}(1 - r) \quad (3)$$

where ϵ is the Permittivity and the subscript refers to the different materials involved, "r" is a linear function of the percent of silicon excess in the SRO. If z is the total amount of silicon in SRO, Then

$$r = Az + B \quad (4)$$

and, when r=0 then $\epsilon_{SRO} = \epsilon_{SiO_2}$, and when r=1 then $\epsilon_{SRO} = \epsilon_{Si}$. Using these conditions and formulas (3) and (4) it is possible to estimated the silicon amount as:

$$z = \frac{\epsilon_{SRO}(0.67) + \epsilon_{Si}(0.33) - \epsilon_{SiO_2}}{\epsilon_{Si} - \epsilon_{SiO_2}} \quad (5)$$

Approximating $\epsilon_{SiO_2} = 0.34$ pF/cm, $\epsilon_{Si} = 1.04$ pF/cm and the excess of silicon, x, as z-0.33, the silicon excess is:

$$x \approx \epsilon_{SRO}(0.96) - 0.33 \quad (6)$$

Using this approximation and the permittivity in table 1, the silicon excess was estimated and shown in the table 2.

It is important to notice that wrong estimations of any of the parameters can be obtain if a few samples are measured. That is, a big enough quantity of samples has to be measured to obtain a reliable averages of the experimental results.

Table 2. AVERAGE SILICON EXCESS AS A FUNCTION OF R_o .

	R_o 3	R_o 23	R_o 30
THIS WORK	18.42	6.12	4.23
VARIATION	17-21	1.4-9.9	2.3-6.1
DONG [1]	~ 15	~ 7	~ 5

V. CONCLUSIONS

Al/SRO/Si device was studied. Experimental I-V and C-V curves were obtained. It was found that in the high voltage regimen, current saturates for low and medium substrate's concentration. In the low voltage regimen, reverse current can be observed. This phenomenon could be explained as exchange of charge between the Si and the SRO trapped charge. Also experimental data is presented for E_{on} and the permittivity of the SRO as a function of the R_o . It was found that E_{on} has a small dependency on the annealing and on the substrate concentration. The dependency with annealing is more clear in samples with high content of silicon excess. The variation of E_{on} could be explained as a result of structural changes when the sample is annealed at high temperature. From the experimental permittivity of the SRO data a method to estimate the SRO silicon excess was proposed.

Acknowledgments: The authors want to thank to the technicians of the microelectronics department, and specially to Pablo Alarcon and Mauro Landa for the preparation of the samples. We thank also to CONA-CyT for the support to this project.

VI. REFERENCES.

- 1] D. Dong, E. A. Irene, D. R. Young. "Preparation and Some Properties of Chemical Vapor-Deposited Si-Rich SiO_2 and Si_3N_4 Films." *J. Electrochem.Soc.* Vol.125, No. 5, (1978), p 819.
- 2] M. Hamasaki, T. Adachi, S. Wakayama, M. Kikuchi. "Crystallographic Study of Semi-Insulating Polycrystalline Silicon (SIPOS) Doped with Oxygen Atoms." *J. Appl. Phys.* Vol. 49, No. 7, (1978) p. 3987.
- 3] A. Kalnitsky, A. R. Boothroyd, J. P. Ellul. "A Model of Charge Transport in Thermal SiO_2 Implanted with Si." *Solid-State Electronics*, Vol. 33, No. 7, (1990) p 893.
- 4] G. Charitat, M.A. Bouaname, P. Rossel. "A Self-Isolated and Efficient Power Device for HVIC's: Resurf LDMOS with SIPOS Layer." *Microelectronics Engineering* 19 (1992) 149.
- 5] A. Mimura, M. Ohayashi, S. Murakamy, N. Momma. "High-Voltage Planar Structure Using SiO_2 -SIPOS- SiO_2 Film." *IEEE Electron Devices Letters*, Vol. EDL 6, No. 4 (1985) p. 189.
- 6] D. J. DiMaria, D. W. Dong. "High Current Injection into SiO_2 from Si Rich SiO_2 Films and Experimental Applications." *J. Appl. Phys.* Vol. 51, No. 5, (1980), p. 2722.
- 7] L. Dori, A. Acovic, D. J. DiMaria, C. Hsu. "Optimized Silicon-Rich Oxide (SRO) Deposition Process for 5-V-only Flash EEPROM Applications." *IEEE Electron Devices Letters* Vol. 14, No. 6, (1993), p. 283.
- 8] K. T. Chang, K. Rose. "Enhanced Injection at Silicon Rich Oxide Interfaces." *Appl. Phys. Lett.* Vol. 49, No. 14, (1986), p. 868.
- 9] D. J. DiMaria, D. W. Dong. "Dual Electron Injector Structure." *Appl. Phys. Lett.* Vol. 37, No. 1, (1980), p. 61.
- 10] M. López, C. Falcony. "Electrical Charge Injection and Storage in Off-stoichiometric SiO_2 Films." *J. Mater. Res.*, Vol. a, No. 5, (1989), p.1233.

- 11] M. Aceves, C. Falcony, A. Reynoso, W. Calleja, A. Torres. "The Conduction Properties of the Silicon/off-stoichiometry-SiO₂ Diode", *Solid State Electronics* Vol. 39, No. 5. p. 637-644.
- 12] D. J. DiMaria, D. W. Dong, C. Falcony, T. N. Theis, J.R. Kirtley, J.C. Tsang, D. R. Young, F. L. Pesavento, and D. R. Brorson. "Charge Transport and Trapping Phenomena in Off-Stoichiometric SiO₂ Films" *J. Appl. Phys.* Vol. 54, No. 10, (1983), p. 5801.
- 13] P. Brüesch, Th. Stockmeir, F. Stucki, P. A. Buffat, "Physical Properties of Semi-insulating Polycrystalline Silicon. I Structure, Electronic properties, and Electrical Conductivity", *J. Appl. Phys.* 73(11) 1993, 7677
- 14] P. Brüesch, Th. Stockmeir, F. Stucki, P. A. Buffat, J. Lindner, "Physical Properties of Semi-insulating Polycrystalline Silicon. II Optical Studies of Thin Films", *J. Appl. Phys.* 73(11) 1993, 7690.
- 15] P. Brüesch, Th. Stockmeir, F. Stucki, P. A. Buffat, J. Lindner, "Physical Properties of Semi-insulating Polycrystalline Silicon. III Infrared Diagnosis of the Polycrystalline-Si/c-Si interface.", *J. Appl. Phys.* 73(11) 1993, 7701.
- 16] W. Calleja, C. Falcony, A. Torres, M. Aceves y R. Osorio, "Optical properties of non-stoichiometric SiO₂ as a function of excess silicon content and thermal treatments", *Thin Solid Films*, vol. 270, (1995), p. 114-117.
- 17] C. Falcony, W. Calleja, et. al. "Characterization of excess silicon in non-stoichiometric SiO₂ films by optical and surface analysis techniques", to be published in *Journal of Electrochemical Society*.
- 18] R. Pérez, "Caracterización del Oxido de Silicio Rico en Silicio", Bachelor thesis University of Nuevo León, Monterrey, México. To be published.

Figure caption

Figure 1. I-V Relationship of the Al/SRO/Si, N type substrate, 10^{15} cm^{-3} .

Figure 2. I-V Relationship of the Al/SRO/Si, P type substrate, 10^{16} cm^{-3} .

Figure 3. I-V Relationship of the Al/SRO/Si, N type substrate, 10^{18} cm^{-3} .

Figure 4. I-V Relationship of the Al/SRO/Si, substrate type P, 10^{18} cm^{-3} .

Figure 5. I-V Relationship in log. scale of the Al/SRO/Si, N type substrate, 10^{15} cm^{-3} .

Figure 6. E_{on} tendency to decrease as a function of substrate concentration N type. E_{on} tendency to increase as a function of substrate concentration P type.

Figure 7. Effect of annealing at 1000 °C on E_{on} , it is possible to see that annealed samples tend to have higher E_{on} .

Figura 1.

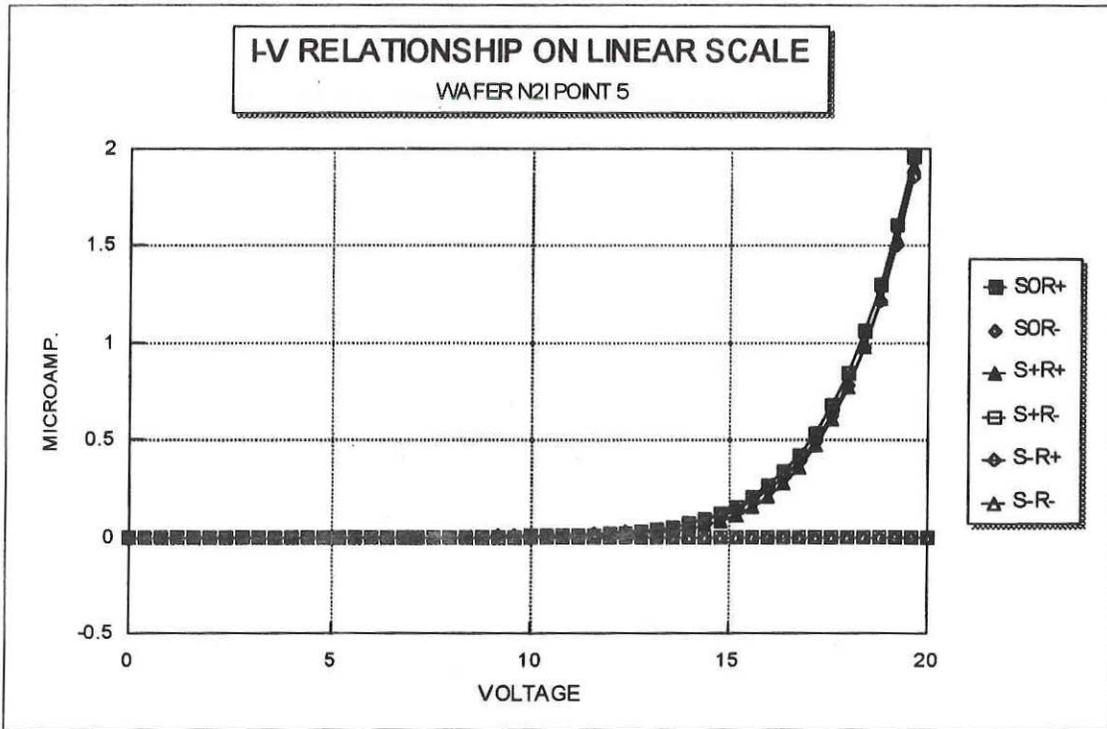


Figura 2

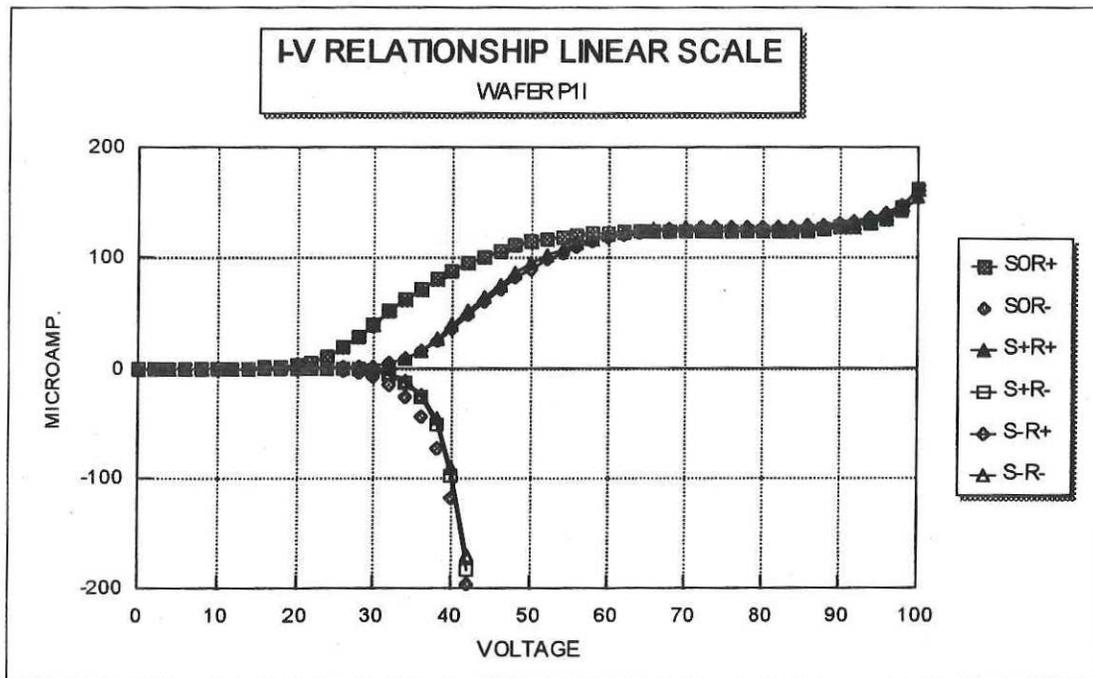


Figura 3

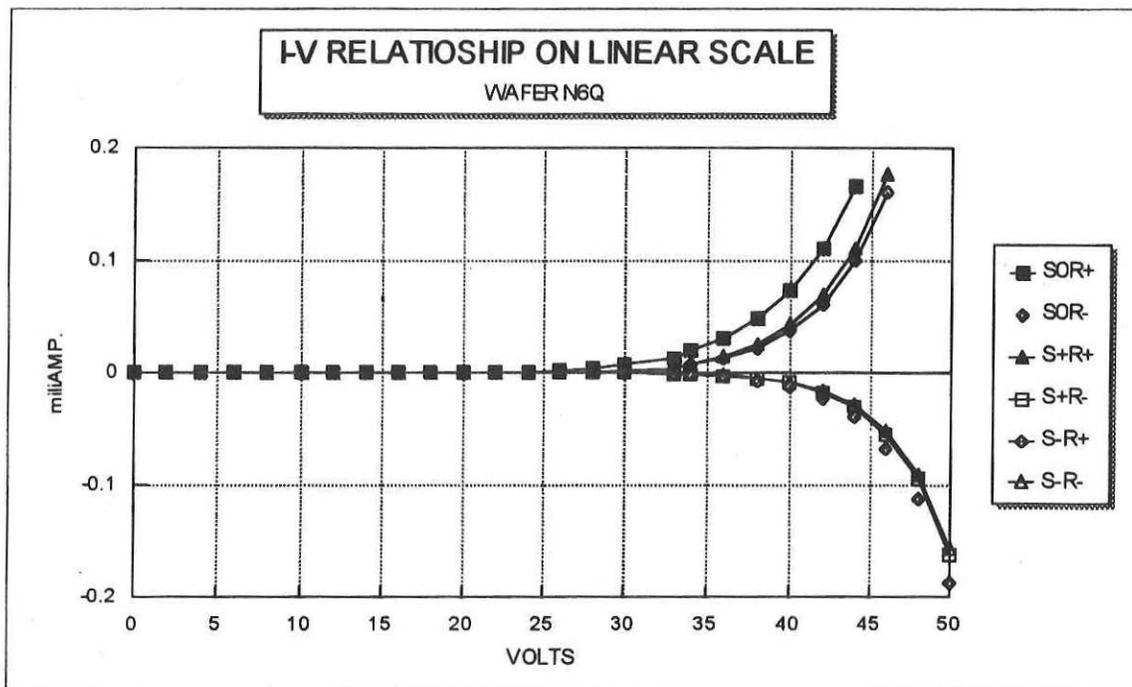


Figura 4

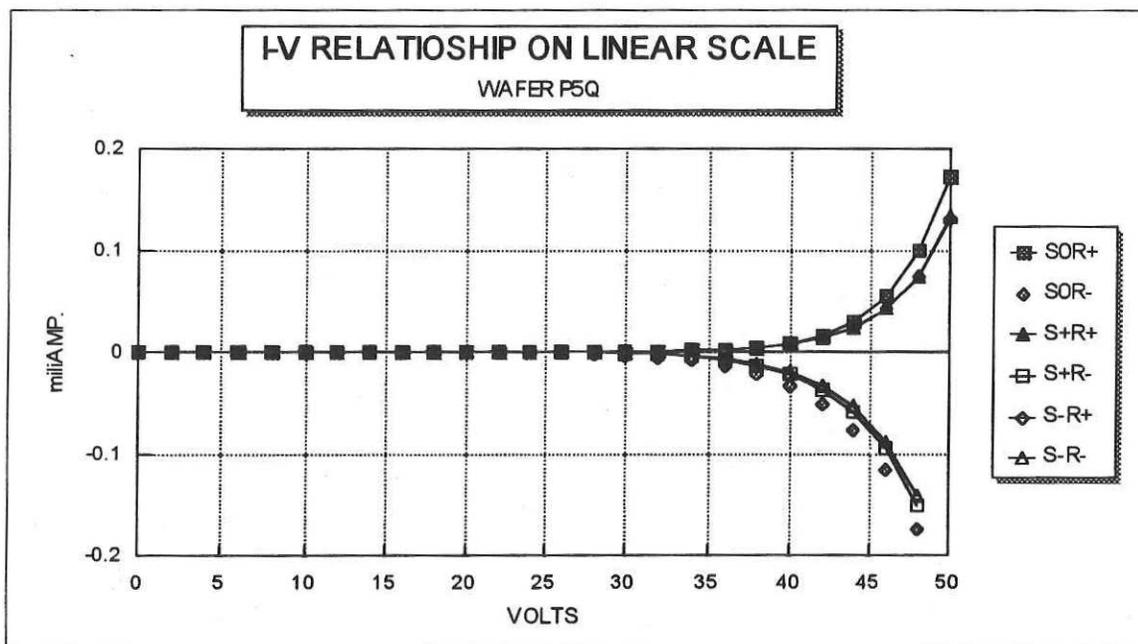


Figura 5

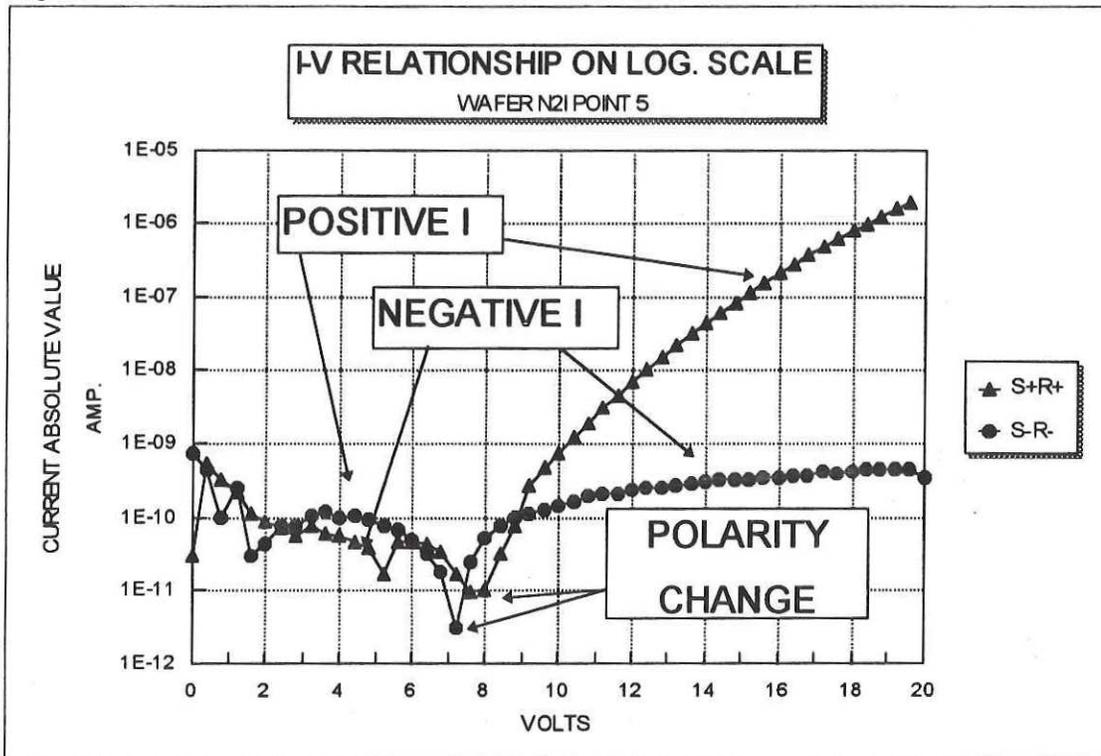


Figura 6

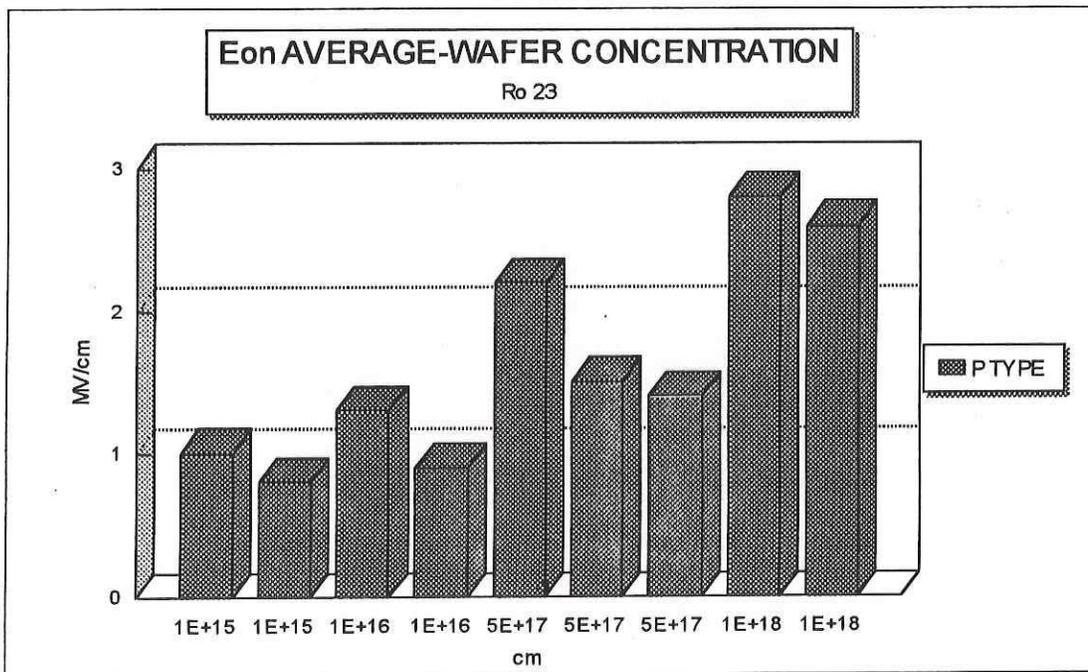
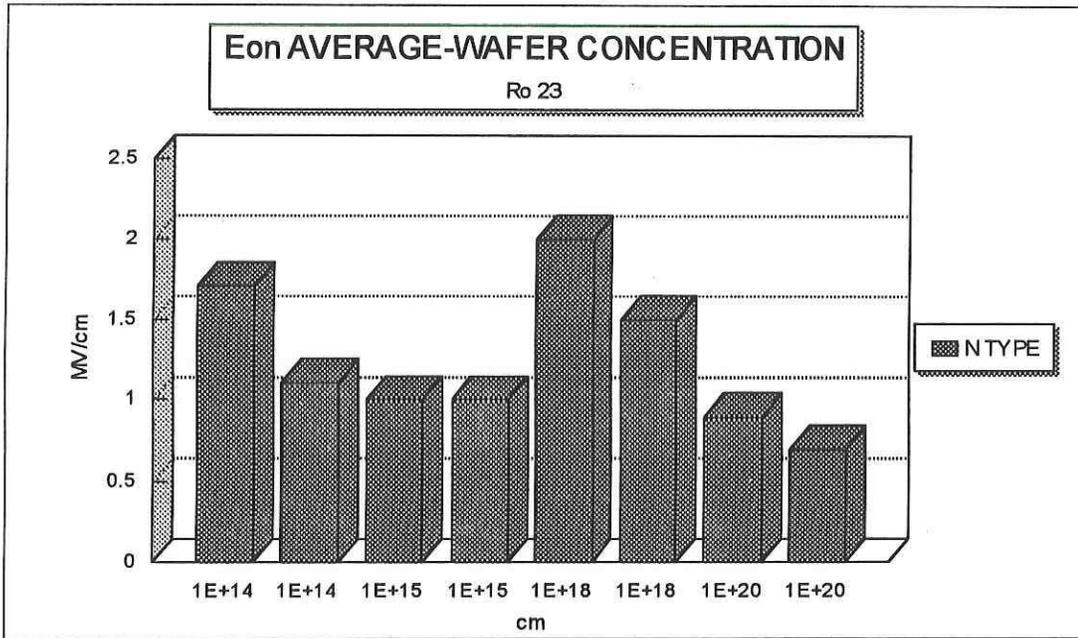


Figura 7

