

**Centro de Investigación Científica y de
Educación Superior de Ensenada**



DISEÑO Y CONSTRUCCIÓN DE AMPLIFICADORES DE POTENCIA CLASE A

TESIS

MAESTRÍA EN CIENCIAS

LUIS ALFONSO VALLES GONZÁLEZ

Ensenada Baja California, México Agosto del 2007

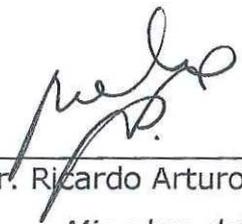
TESIS DEFENDIDA POR
Luis Alfonso Valles González
Y APROBADA POR EL SIGUIENTE COMITÉ



Dr. J. Apolinar Reynoso Hernández
Director del Comité



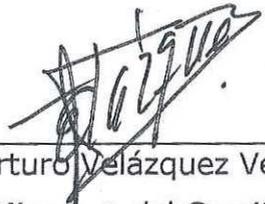
Dra. María del Carmen Maya Sánchez
Miembro del Comité



Dr. Ricardo Arturo Chávez Pérez
Miembro del Comité



Dr. Pedro Negrete Regagnon
Miembro del Comité



Dr. Arturo Velázquez Ventura
Miembro del Comité



Dr. Arturo Velázquez Ventura

*Coordinador del programa de
posgrado en Electrónica y
Telecomunicaciones*



Dr. Edgar Gerardo Pavía López

Director de Estudios de Posgrado

26 de Agosto de 2007

**CENTRO DE INVESTIGACIÓN CIENTÍFICA Y DE EDUCACIÓN
SUPERIOR DE ENSENADA**



**PROGRAMA DE POSGRADO EN CIENCIAS
ELECTRÓNICA Y TELECOMUNICACIONES**

DISEÑO Y CONSTRUCCIÓN DE AMPLIFICADORES DE POTENCIA CLASE A

TESIS

que para cubrir parcialmente los requisitos necesarios para obtener el grado de
MAESTRO EN CIENCIAS

Presenta:

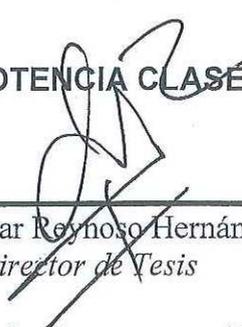
LUÍS ALFONSO VALES GONZÁLEZ

Ensenada, Baja California, México, Agosto del 2007

RESUMEN de la tesis de **Luis Alfonso Valles González**, presentada como requisito parcial para obtener el grado de **MAESTRO EN CIENCIAS en ELECTRÓNICA Y TELECOMUNICACIONES**. Ensenada, B.C., México, Agosto del 2007.

DISEÑO Y CONSTRUCCIÓN DE AMPLIFICADORES DE POTENCIA CLASE A

Resumen aprobado por:



Dr. J. Apolinar Reynoso Hernández
Director de Tesis

La presente tesis tiene como objetivo principal el diseño, simulación, construcción y caracterización de amplificadores de potencia clase A, utilizando transistores MESFET's. Estos amplificadores de estado sólido trabajan con el transistor operando en régimen no-lineal. Este modo de operar nos enfrenta directamente con el tema de modelado no-lineal de transistores de potencia. En la simulación y diseño del amplificador se efectúa el análisis en gran señal utilizando un modelo no-lineal del tipo circuito eléctrico equivalente. Se utiliza un modelo no-lineal $I(V)$ obtenido con mediciones de corriente voltaje en modo pulsado. Se diseña un amplificador clase A con una ganancia mayor a 9 dB a 4 GHz, una ROEV menor a 1.5 dB a la entrada y a la salida, ancho de banda de 3.8 a 4.2 GHz y el punto de 1 dB de compresión (P_{1dB}) igual o mayor a 21 dB, las redes de adaptación se diseñan utilizando acoplamiento conjugado para máxima ganancia. La simulación del amplificador se hace utilizando el modelo no-lineal extraído de la caracterización de el transistor de potencia de encapsulado NE800299 y se simula utilizando el simulador de circuitos ADS (Advance Design System), se utiliza la teoría clásica de diseño de amplificadores por medio de impedancias conjugadas para obtener valores iniciales en las redes de adaptación de manera que se pueda optimizar dentro de ADS utilizando el modelo no-lineal como simulación del transistor. El amplificador se fabrica utilizando como sustrato FR4 y utilizando los valores optimizados de ADS. Éste se caracteriza utilizando un banco de medición automatizado, en donde se miden los parámetros S para obtener su respuesta en ganancia (S_{21}) y adaptación a la entrada (S_{11}) y a la salida (S_{22}). Se realizan mediciones de 1 tono para obtener su respuesta en potencia. Al final se comparan los datos experimentales y los datos obtenidos por simulación donde se observa que las simulaciones con el modelo no-lineal y los datos experimentales son similares y donde se obtienen las especificaciones de diseño con una ganancia arriba de 9.4 dB, un ancho de banda de 3.6 a 4.2 GHz, una ROEV menor a 1.5 en la entrada y la salida y el P_{1dB} se encuentra en 21 dB.

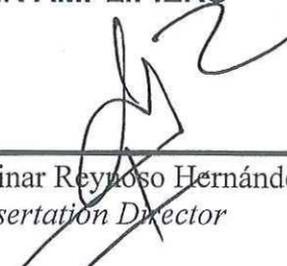
Como parte complementaria, se diseñan y simulan redes de alimentación propuestas por Wei *et. al* [2003] para banda ancha, también se simula y analiza la distorsión AM/PM del transistor usando el modelo no-lineal de circuito equivalente.

Palabras claves: Amplificadores de potencia clase A, AM-AM, AM-PM, MESFET, modelo no-lineal, redes de adaptacion.

ABSTRACT of the dissertation presented by **Luis Alfonso Valles González**, in order to obtain the **MASTER of SCIENCE DEGREE** in **ELECTRONICS AND TELECOMMUNICATIONS**. Ensenada, Baja California, August of 2007.

DESIGN AND CONSTRUCTION OF CLASS A POWER AMPLIFIERS

Abstract approved by:



Dr. J. Apolinar Reynoso Hernández
Dissertation Director

The present dissertation's main objective is the design, simulation, construction and characterization of class A power amplifiers using MESFET transistors. These solid state amplifiers work with the transistor by operating it on the non-linear region. This operating mode confronts us directly with non-linear modeling of power transistors. In this thesis large signal analysis will be done in the simulation and design of the class A power amplifier utilizing non-linear equivalent electric circuit. A non-linear model is obtained through pulsed I(V) measurements. A class A amplifier is designed with the specifications of a gain greater than 9 dB at 4 GHz, VSWR lower than 1.5 dB on both input and output, a bandwidth of 3.8 to 4.2 GHz and a 1dB compression point (P_{1dB}) equal or greater than 21 dB, the matching networks are design utilizing conjugate matching for maximum gain. The simulation of the amplifier is done by using the non-linear modeling extracted from the characterization of the encapsulated power transistor NE800299 and it's simulated using the circuit simulator ADS (Advance Design System), classical design theory is used on the design of the amplifier in order to obtain initial values on the matching networks that can later be optimized in ADS utilizing the non-linear model as the simulation of the transistor. The amplifier is built utilizing FR4 as its substrate and with the optimized values from ADS later it is characterized with an automatized measurement bank where the S parameters are measured so their I/O adaptation (S_{11} , S_{22}) and gain (S_{21}) response are obtained. 1 tone measurements are done also to obtain their power response. At the end, experimental data and simulation data are compared where it is noted that the simulations with the non-linear model and the experimental data are similar and the design specifications are met, a gain greater than 9.4 dB, a bandwidth of 3.6 to 4.2 GHz, a VSWR lower than 1.5 dB on both input and output and a P_{1dB} equal to 21 dB is observed.

As an additional test, a design and simulation of a bias network proposed by Wei *et. al* [2003] will be done with the non-linear model and also simulation and analysis of AM/PM distortion on both the transistor and the amplifier.

Keywords: Class A power amplifiers, AM-AM, AM-PM, MESFET, non-linear model, matching networks.

CONTENIDO

	Página
I. INTRODUCCIÓN.....	1
I.1. Antecedentes.....	2
I.2. Objetivo.....	3
I.3. Organización del trabajo.....	3
II. CONCEPTOS BÁSICOS SOBRE CARACTERIZACIÓN DE TRANSISTORES DE POTENCIA.....	5
II.1. Descripción básica del MESFET.....	5
II.1.1. Características en DC.....	5
II.2. No linealidades en el transistor.....	9
II.2.1. Distorsión AM/AM Y AM/PM.....	10
II.2.2. Contenido armónico.....	11
II.2.3. Productos de intermodulación (IM_n).....	11
II.2.4. Efectos de Memoria.....	13
II.3. Modelado no lineal.....	15
II.3.1. Modelo de Angelov.....	16
II.3.1.1 Mejora al Modelo de Angelov.....	16
II.3.2. Medición del transistor en modo pulsado I(V).....	17
II.4. Caracterización del transistor.....	18
II.4.1. Elementos Extrínsecos.....	18
II.4.2. Elementos Intrínsecos.....	21
III - CARACTERIZACIÓN Y SIMULACIÓN DEL TRANSISTOR NE800299III.....	24
III.1. Caracterización del transistor NE800299.....	24
III.1.1. Extracción de los elementos extrínsecos.....	25
III.1.1.1. Extracción de las Resistencias e Inductancias Parásitas..	27
III.1.1.2. Extracción de las capacitancias parásitas C_{PG} y C_{PD}	28
III.1.2. Extracción de los elementos intrínsecos.....	30
III.1.2.1. Extracción de los elementos intrínsecos en función de la tensión de alimentación V_{DS} y V_{GS}	30
III.1.3. Curvas I(V) del transistor en modo pulsado.....	33
III.1.4. Extracción del modelo de corriente Angelov.....	35
III.2. Implementación del circuito equivalente en ADS.....	39
III.2.1. Bloque del circuito equivalente.....	39
III.2.2. Bloque de simulación del transistor.....	39
III.2.2.1 Simulación y Comparación del modelo en parámetros S..	40
III.2.2.2 Simulación y comparación de modelo en potencia.....	41

CONTENIDO (continuación)

	Página
IV - TEORÍA Y DISEÑO DEL AMPLIFICADOR CLASE A.....	45
<i>IV.1. Amplificadores Clase A.....</i>	<i>45</i>
IV.1.1. Comportamiento de los amplificadores Clase A.....	45
IV.1.2. Punto de operación, acoplamiento para ganancia y potencia..	49
<i>IV.2. Teoría del diseño del amplificador.....</i>	<i>50</i>
IV.2.1. redes de alimentación.....	50
IV.2.2. redes de acoplamiento.....	51
IV.2.3. Caracterización Load-Pull.....	57
<i>IV.3. Diseño de un amplificador clase A.....</i>	<i>59</i>
IV.3.1. Diseño de las redes de adaptación.....	59
IV.3.2. Diseño de las redes de alimentación.....	65
V – RESULTADOS.....	67
<i>V.1. Simulación del amplificador en ADS.....</i>	<i>67</i>
V.1.1. Simulación de los parámetros S.....	67
V.1.2. Simulación en potencia.....	69
<i>V.2. Fabricación del amplificador.....</i>	<i>70</i>
V.2.1. Fabricación de las redes de acoplamiento.....	70
<i>V.3. Caracterización del Amplificador.....</i>	<i>74</i>
V.3.1. Medición de parámetros S.....	74
V.3.2. Medición AM-AM de 1 tono.....	76
<i>V.4. Comparación de datos medidos y simulados.....</i>	<i>77</i>
<i>V.5. Respuesta en Ancho de banda de la Red Wei.....</i>	<i>79</i>
<i>V.6. Simulación de AM-AM y AM-PM.....</i>	<i>82</i>
VI - CONCLUSIONES.....	87
<i>VI.1. Conclusiones.....</i>	<i>87</i>
<i>VI.2. Aportaciones.....</i>	<i>88</i>
<i>VI.3. Recomendaciones.....</i>	<i>88</i>
BIBLIOGRAFÍA.....	89

LISTA DE FIGURAS

Figura		Página
1	Transistor MESFET.....	6
2	- Región de corte.....	6
3	Región lineal.....	7
4	Variación en la forma del canal dado el cambio de voltaje que ocurre dentro.....	8
5	Región de saturación.....	8
6	Curva característica del MESFET.....	9
7	Distorsión AM-AM (a) y AM-PM (b).....	10
8	Contenido armónico.....	11
9	Configuración básica para la caracterización en 2-tonos.....	12
10	Análisis en espectro de una caracterización en 2-tonos.....	12
11	(a) Diferencia de magnitud en IM_3 , (b) Cambios de fase en componentes de distorsión IM_3	13
12	Cambios de fase en IM_3 por los efectos de memoria (Térmico y Eléctrico).....	14
13	Circuito equivalente del transistor MESFET.....	15
14	Medición en pulsado (o) y el punto de reposo (x) vs Medición convencional (-).....	17
15	Circuito Equivalente resultante con V_{DS} flotante y $V_{GS} > V_{bi} > 0$	19
16	Gráfica de $Re(Z_{11})$ vs $1/I_{GS}$ y la recta con pendiente $n_s kT/q$	20
17	Circuito Equivalente resultante de $V_{DS} = 0$ y V_{GS} mas alla del voltaje de pinc off como lo describe Dambrine.....	20
18	Modelo de circuito equivalente.....	22
19	Eliminación de los elementos extrínsecos propuesto por Dambrine..	22

LISTA DE FIGURAS (Continuación)

Figura		Página
20	Mediciones físicas del transistor NE800299.....	24
21	Banco de medición automatizado.....	26
22	Circuito de la caja de interruptores.....	26
23	Configuración del circuito del transistor para extracción de resistencia e inductancias parásitas.....	27
24	Respuesta inductiva del transistor NE800299.....	28
25	Configuración del circuito para la extracción de las capacitancias parásitas.....	28
26	Respuesta capacitiva del transistor NE800299.....	29
27	Polarización del transistor para medición multipunto.....	30
28	Respuesta del transistor NE800299 a un punto de polarización ($V_{GS} = -1.75$ V, $V_{DS} = 8.7$ V)	31
29	Capacitancia intrínseca C_{GS} del transistor NE800299.....	32
30	Capacitancia intrínseca C_{GD} del transistor NE800299.....	32
31	Capacitancia intrínseca C_{DS} del transistor NE800299.....	33
32	Banco de medición en pulsado para transistores de potencia.....	34
33	Curvas del NE800299 obtenidas de DIVA-265 con punto de reposo en $V_{DS} = 6$ V y $V_{GS} = -1$ V.....	34
34	G_m vs V_{GS} (a) y G_{DS} vs V_{DS} (b)	35
35	Circuito equivalente del transistor.....	36
36	Simplificación del circuito equivalente modelado en DC.....	36
37	Esquemático en ADS del circuito equivalente reducido para la extracción del modelo Angelov.....	37
38	Curvas del transistor Medidas (-) y Simuladas (Δ) sin optimización.	38

LISTA DE FIGURAS (Continuación)

Figura		Página
39	Curvas del transistor Medidas (-) y Simuladas (Δ) después de la optimización.....	38
40	Circuito equivalente para transistor de empaquetado modelado en ADS.....	39
41	Esquemático en ADS de simulación del transistor NE800299.....	40
42	Parámetros [s] del transistor a $V_{DS}=4.5v$ y $V_{GS}=-1v$ (-Medidas vs Δ Simuladas).....	41
43	Esquemático en ADS del bloque de simulación en potencia del NE800299.....	42
44	Banco de medición para 1 tono.....	42
45	Respuesta de la fundamental del NE800299 (Δ Simulado, -Medido).	44
46	Respuesta de la segunda y tercer armónica NE800299 (Δ Simulado, _Medido)	44
47	Amplificador Clase A.....	46
48	Linealidad en el transistor graficando V_{GS} vs I_{DS} al punto de operación.....	46
49	Recta de carga.....	47
50	Gráfica de potencia acoplado a S_{ZZ} y R_{opt}	50
51	Stub Wei.....	51
52	Diagrama del circuito de un amplificador.....	51
53	Acoplamiento de Impedancias.....	53
54	Círculos de VSWR y de impedancia.....	54
55	Acoplamiento por carta de Smith.....	54
56	Acoplamiento de redes por carta de Smith.....	56

LISTA DE FIGURAS (Continuación)

Figura		Página
57	Respuesta de una medición Load-Pull.....	57
58	Esquema básico de un banco de medición para Load-Pull.....	58
59	Circuito básico de un amplificador de microondas.....	59
60	Recta de carga y punto Q_1	60
61	Bloques del diseño de las redes de adaptación en ADS usando <i>Design Guide</i> : a) Red de entrada b) Red de salida de salida.....	61
62	Bloques de las redes de entrada (a) y salida (b) con valores físicos considerando las propiedades del sustrato FR4.....	61
63	Respuestas de la red de entrada (a) y red de salida (b).....	61
64	Esquemático del transistor con redes de adaptación y bloques para optimización.....	62
65	Respuesta del amplificador en simulación con redes de adaptación (-) Amplificador (*) Transistor.....	63
66	Respuesta del amplificador en simulación con redes optimizadas (-) Amplificador (*) Transistor.....	64
67	Redes de adaptación (Entrada/Salida).....	64
68	Redes de adaptación con las redes de alimentación.....	65
69	Esquemático en ADS usando las redes de alimentación Wei.....	66
70	Bloque de simulación de su respuesta en frecuencia en ADS.....	67
71	Respuesta del amplificador en Simulación en S_{21} (G vs f).....	68
72	Respuesta del amplificador en S_{11} y S_{22} (Adaptación).....	68
73	Bloque de simulación en potencia en ADS.....	69
74	Respuesta del amplificador en Potencia (Simulación).....	69
75	Valores físicos de la red.....	70

LISTA DE FIGURAS (Continuación)

Figura		Página
76	Motor de Centrifuga con tubo al vacío para la sensibilización de placas.....	71
77	Horno de recocido para la fabricación de placas.....	72
78	Montaje de Exposición de luz ultravioleta.....	72
79	Redes de adaptación de Entrada (a) y Salida (b).....	73
80	Amplificador clase A.....	74
81	Ventana de calibración de Limcal.....	75
82	Respuesta física del amplificador en S_{21} (G vs f).....	75
83	Respuesta del amplificador en S_{11} y S_{22} (Adaptación).....	76
84	Respuesta del amplificador Potencia.....	76
85	Respuesta del amplificador en S_{21} (G vs f) (Δ Simulado, - Medido, \times sin redes)	77
86	Respuesta del amplificador en S_{11} y S_{22} (Adaptación) (Δ Simulado, - Medido, \times sin redes)	77
87	Respuesta del amplificador Potencia (- Simulado, Δ Medido).....	78
88	PAE con datos simulados a) PAE vs P_{in} b) PAE vs P_{out}	78
89	Respuesta en parámetros S del transistor usando redes ideales.....	80
90	Respuesta en parámetros S del transistor usando redes Wei.....	80
91	Respuesta en parámetros S del transistor usando redes Wei en el rango de 2.5 a 4.5 GHz.....	82
92	Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de segundo orden (- P_{out} , \times Ganancia, Δ Fase).....	83

LISTA DE FIGURAS (Continuación)

Figura		Página
93	Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de tercer orden (- Pout, × Ganancia, Δ Fase).....	83
94	Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de quinto orden (- Pout, × Ganancia, Δ Fase).....	84
95	Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de noveno orden (- Pout, × Ganancia, Δ Fase).....	84
96	Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de doceavo orden (- Pout, × Ganancia, Δ Fase).....	85
97	Comparacion en AM/PM del transistor y del amplificador (Δ Amplificador Clase A, × Transistor NE800299).....	86

LISTA DE TABLAS

Tabla		Página
I	Valores de los elementos extrínsecos del NE800299	30
II	Valores físicos de las redes de adaptación	65
III	Propiedades Eléctricas del sustrato FR4	71
IV	Comparación de las dimensiones de redes fabricadas y simuladas	73
V	Tabla Comparativa de las especificaciones del amplificador y los resultados obtenidos por medición y simulación	79

I - INTRODUCCIÓN

En el diseño de amplificadores de potencia clase A, las metas a alcanzar, son la ganancia en potencia y la máxima potencia lineal a la salida. Dicha potencia lineal es medida a través del punto de 1 dB de compresión (P_{1dB}). Generalmente, los parámetros S son usados para diseñar amplificadores clase A para máxima ganancia, usando el punto de operación al cual el transistor es medido.

Entre los métodos para diseñar y analizar a un dispositivo bajo prueba (DBP) para el P_{1dB} es usar modelos no lineales del transistor en simuladores de computadora. El problema con los modelos es que generalmente no están disponibles. Los fabricantes no suelen proveer la información para el modelado no lineal del transistor y el equipo y software que se requieren pueden llegar a ser costosos y no estar disponibles en el mercado. Lo mismo puede decirse sobre los sintonizadores para la extracción de los contornos de potencia del transistor (Load-Pull).

Para la simulación tanto de la respuesta del transistor como del amplificador, el uso del modelo no lineal es inevitable, sin embargo, dentro de esta tesis se podrá ver que teniendo el conocimiento básico del modelado no lineal y el uso de herramientas de programación como Matlab por ejemplo. Se puede caracterizar al transistor para obtener un modelo no lineal de bajo costo, donde solo se necesite un analizador de redes vectorial, analizador de espectros, fuentes de voltaje programables y una computadora personal.

La distorsión AM-AM (distorsión por amplitud) y AM-PM (distorsión por fase) son parte de la distorsión no lineal que el transistor presenta a la salida al operarlo en gran señal.

Los efectos de memoria generados a la salida del transistor se observan en el análisis de 2 tonos, estos efectos generalmente ocurren por cambios en la temperatura en el canal y trampas en el semiconductor, alteran tanto la fase como la magnitud de otros componentes de distorsión dentro de la señal de salida del transistor (productos de intermodulación).

I.1 - ANTECEDENTES

Generalmente el diseño de amplificadores clase A en altas frecuencias, se realiza usando los parámetros S medidos en pequeña señal, usando las formulas para impedancias conjugadas, con las cuales se diseñan las redes de adaptación. Una vez construido, se mide al amplificador y se realizan sintonizaciones posteriores para obtener la máxima ganancia del dispositivo.

Desde los años ochenta, se han propuesto varios modelos de corriente del MESFET, siendo los más importantes los de Curtice et al. [1983], Materka *et al.* [1985] y Angelov *et al.* [1992]. La extracción de los componentes del circuito equivalente para el modelado de un FET, ha tenido un progreso desde mediados de los 80's hasta en los 90's donde se realizaron varios estudios para una caracterización efectiva del transistor, entre esos están Reynoso *et al.* [1996] donde se indican los pasos a seguir para una medición y extracción de los componentes que conforman al circuito equivalente.

A principios de los 90's y con la introducción de la medición en pulsado I(V), se logra obtener resultados simulados y medidos que concuerden uno con otro, anteriormente, estos resultados solían ser inconsistentes. Con esto, muchos modelos pudieron ser probados y a finales de los 90's se comercializaron tanto programas de simulación (con los distintos modelos) y equipo de medición en pulsado.

Dentro de CICESE se han realizado distintos trabajos relacionados con el modelado no-lineal de transistores MESFET y PHEMT, tales como Loo Yau [2000] quien desarrolló expresiones analíticas para encontrar las constantes en los modelos de Angelov *et al.* [1992], y Chen *et al.* [1988], así como una metodología para extraer los coeficientes del modelo de Angelov *et al.* [1992]. Hirata [2004], desarrolló un modelo no lineal de corriente de drenador I_{ds} para FET's.

I.2 - OBJETIVOS

Los objetivos de esta tesis son:

1. Estudiar el modelo no-lineal, del tipo circuito equivalente, de un FET utilizando mediciones de $I(V)$ en modo pulsado en diferentes puntos de reposo del transistor.
2. Diseñar las redes de adaptación de un amplificador clase A para máxima ganancia, usando el modelo no lineal del transistor.
3. Fabricar y Caracterizar un amplificador clase A de potencia.

I.3 - ORGANIZACIÓN DEL TRABAJO

El **capítulo II** trata de la teoría del FET, tanto su estructura física como su funcionamiento y el modelado de corriente no lineal, también se describe sobre la distorsión no lineal y sus diferentes componentes, por ultimo se presenta la teoría sobre la caracterización de transistores de potencia, la extracción de los elementos extrínsecos e intrínsecos.

En el **capítulo III** se presentan las mediciones hechas al transistor NE800299 de mediana potencia, también se describe el banco de medición usado y los diferentes criterios usados en la caracterización. También se describe la simulación y la implementación del circuito equivalente en un programa de simulación como Advance Design System (ADS).

En el **capítulo IV** se presenta la teoría sobre un amplificador clase A, se explica el diseño de las redes de adaptación y alimentación, además la implementación y simulación en ADS.

En el **capítulo V** se presentan los resultados obtenidos en las diferentes etapas de la medición y simulación, también se trata a los efectos de memoria simulados y el ancho de banda de la red de alimentación propuesta por Wei.

Por último, en el **capítulo VI** se presentan las conclusiones y aportaciones del presente trabajo de tesis.

II. CONCEPTOS BÁSICOS SOBRE CARACTERIZACIÓN DE TRANSISTORES DE POTENCIA

En este capítulo se presentan los conceptos básicos de la caracterización de transistores de potencia. En la sección II.1 se explica tanto la estructura física del MESFET como sus características en DC y sobre la distorsión no lineal. Sección II.2 trata sobre el circuito equivalente del transistor, sus componentes y sobre el modelado del transistor

II.1. DESCRIPCIÓN BÁSICA DEL MESFET

II.1.1 Características en DC

La estructura del MESFET esta formada por: una capa no dopada de GaAs, que funciona como semi-aislante, dado que el material GaAs no dopado tiene una baja conductividad, se utiliza para aislar al componente de otros elementos dentro de la oblea y ayuda a mantener un valor bajo en las capacitancias parásitas. Una capa dopada de material tipo N (típicamente GaAs), que es el canal de conducción y es también donde se encuentra la *zona de deserción* (zona que carece de carga). Una barrera Schottky, compuerta (G), sobre un material tipo N . Un material tipo N^+ fuertemente dopado (usualmente GaAs), que se encuentra en los extremos del material tipo N , que se utiliza para mantener el valor de las resistencias parásitas bajas y 2 contactos óhmicos llamados fuente (S) y drenador (D), sobre el material tipo N^+ como se muestra en la **figura 1**.

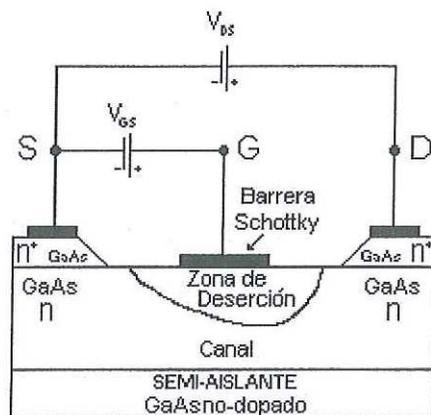


Figura 1.- Transistor MESFET

El transistor se alimenta con un potencial positivo en el drenaje (V_{DD}) y un potencial negativo en la compuerta ($-V_{GG}$). Mientras más grande sea el potencial de $-V_{GG}$ (más negativo), es más grande la *zona de deserción*, mas angosto se vuelve el canal y por lo tanto más ocluye el paso de la corriente. El potencial $-V_{GG}$ para el cual el canal se encuentra totalmente ocluido se llama voltaje de oclusión (V_T)* y es diferente para cada MESFET.

Las regiones de operación de un MESFET son:

- Región de corte: *para valores más negativos que V_T , el MESFET se encuentra operando en la región de corte, y la corriente de drenaje resulta ser nula ($V_{GS} \leq V_T$).*

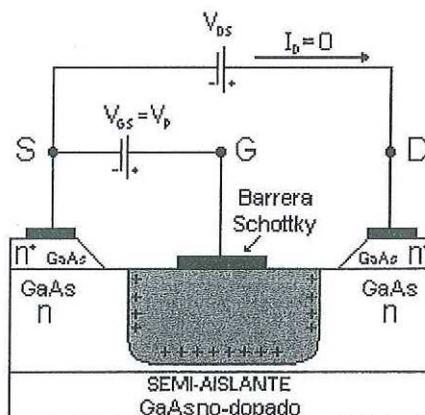


Figura 2.- Región de corte

*El voltaje de oclusión se le conoce también como voltaje de pinch-off y en ciertos textos se le denomina como V_{po} o V_p .

La región de corte es donde se polarizara al diodo Schottky (G-S) en inversa, lo que ocasiona que aumente la zona de deserción y cierre por completo al canal, como se ve en la **figura 2**. Para la región de corte, I_{DS} es igual a 0.

- Región lineal: *para valores de V_{DS} pequeño, la corriente es directamente proporcional a V_{DS} y V_{GS} . (la corriente sigue la ley de Ohm).*

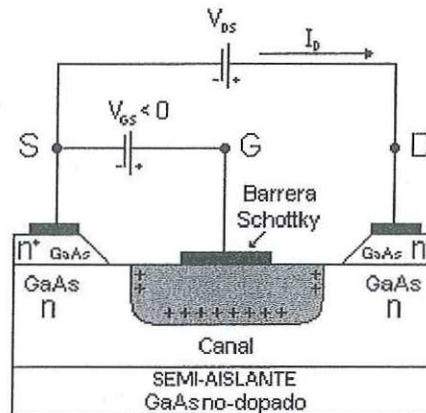


Figura 3.- Región lineal

El ancho del canal se incrementa de manera uniforme como se observa en la **figura 3** y la resistencia del canal tiene un comportamiento óhmico. Se puede observar en la **figura 6** las curvas de corriente del transistor en donde la corriente I_{DS} aumenta a medida que aumentamos V_{DS} y V_{GS} .

- Región no-lineal: *la resistencia del canal se comporta en forma no-lineal y comienza a variar con diferentes valores de V_{DS} y V_{GS} , (llamada la región del codo).*

En esta región, la resistencia del canal se vuelve no lineal y el MESFET pierde su comportamiento óhmico. La tensión aplicada V_{DS} se distribuye a lo largo del canal de manera no lineal lo que origina que el ancho del canal no sea constante; dando así un ancho

de canal no uniforme y un comportamiento de la corriente I_{DS} no lineal. I_{DS} se convierte en una corriente no lineal dependiente de V_{DS} .

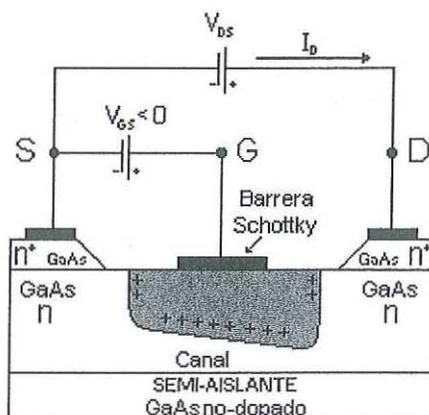


Figura 4.- Variación en la forma del canal dado el cambio de voltaje que ocurre dentro

Se puede ver como la corriente no crece linealmente a medida que aumentamos V_{DS} , debido a que el canal que se va cerrando de manera no uniforme (**Figura 4**). En las curvas del transistor (**Figura 6**) se observa como se va deformando la corriente hasta formar una especie de codo, razón por la que, a esta región también se le conoce como región de codo.

- Región de saturación: *para V_{DS} mayor que V_{GS} , la zona de deserción aumenta y satura a la corriente I_{DS} , para este caso la corriente I_{DS} depende solo de V_{GS} .*

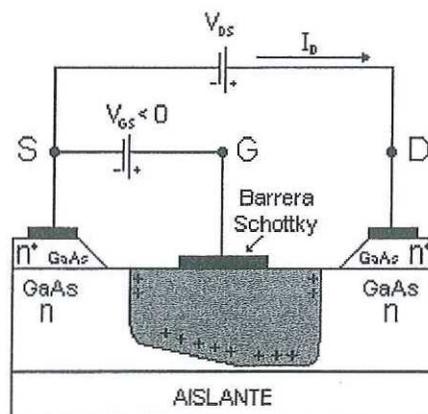


Figura 5.- Región de saturación

En esta región, la corriente se satura debido a la saturación de la velocidad de los portadores. La resistencia del canal aumenta a medida que aumenta V_{DS} , manteniendo a I_{DS} constante a lo largo de la curva; de esta manera V_{DS} ya no influye en el valor de I_{DS} y la corriente se vuelve ahora dependiente de V_{GS} solamente en el caso ideal, ya que en la realidad, si existe una pequeña dependencia con V_{DS} en la región de saturación.

La curva característica de un MESFET.

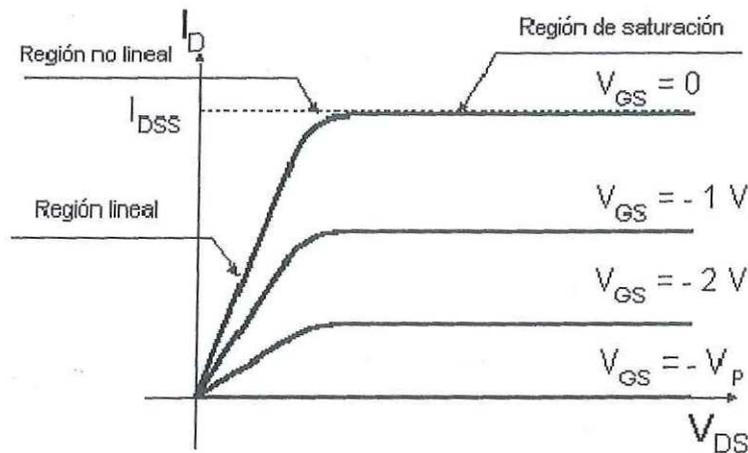


Figura 6.- Curva característica del MESFET

En la **figura 6** se observan las regiones de operación: *región lineal*, *región no-lineal* y *región de saturación*.

II.2 NO LINEALIDADES EN EL TRANSISTOR

Las no linealidades en el transistor están siempre presentes, sin embargo cuando se maneja al transistor en pequeña señal, estas no linealidades son muy pequeñas que influyen poco en la señal de salida, sin embargo si el transistor es operado cerca del punto de 1 dB de compresión (P_{1dB}), las no linealidades aumentan y afectan a la señal de salida, donde se observan cambios en la magnitud, en la fase y en la producción de componentes armónicos.

Generalmente la distorsión no lineal se clasifica por distorsión AM-AM (distorsión por amplitud) y AM-PM (distorsión por fase), contenido armónico y productos de intermodulación de tercer orden.

Los productos de intermodulación son aquellos generados por la mezcla de dos o mas señales, las mas grandes ocurren en $f_1 + f_2$ y $f_1 - f_2$ (intermodulación de segundo orden) y en $2f_1 - f_2$ y $2f_2 - f_1$ (intermodulación de tercer orden).

II.2.1. Distorsión AM-AM y AM-PM

Los efectos AM-PM representan los cambios en la amplitud y fase en la señal de salida cuando el transistor cambia de operación de pequeña señal a gran señal.

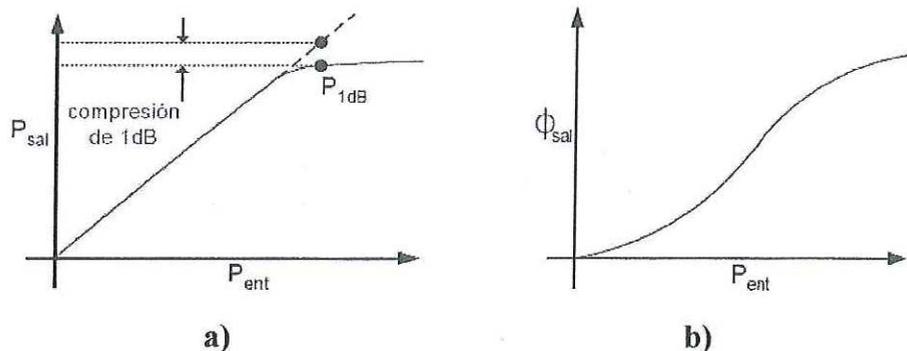


Figura 7.- Distorsión AM-AM (a) y AM-PM (b)

En la figura 7 se observa que después del punto de compresión de 1dB la potencia de salida a la frecuencia fundamental comienza a saturarse, figura 7a. Si observamos la fase tenemos que también se experimenta un cambio después del punto de compresión, figura 7b.

II.2.2. Contenido Armónico

El contenido armónico generalmente se observa por medio de un analizador de espectros. A través del contenido armónico, **figura 8**, se obtiene información de la distorsión total de la señal de salida [Hirata, 2004].

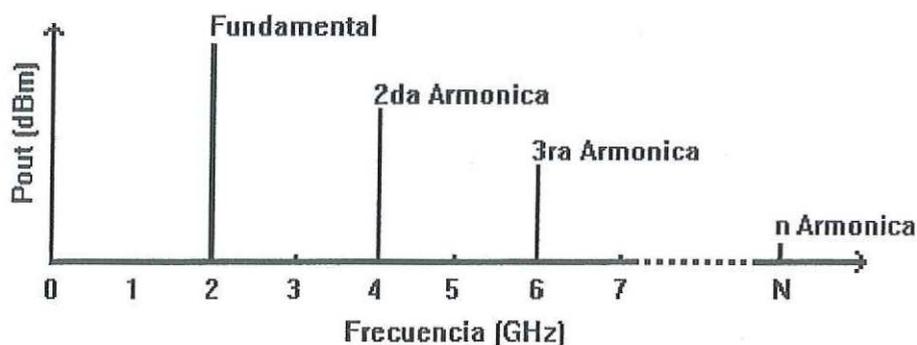


Figura 8.- Contenido armónico

II.2.3. Productos de Intermodulación (IM_n)

Para medir los productos de intermodulación, se requiere usar 2 señales con una frecuencia muy cercana una a la otra (usualmente con un espaciamento de ± 200 MHz para señales arriba de 1 GHz) y excitar al dispositivo bajo prueba (DBP) con ambas señales a fuerte nivel de potencia, a este método se le conoce como *caracterización en 2 tonos*.

La medición consiste en excitar al DBP usando un combinador de potencia y dos señales de igual magnitud y en frecuencias muy cercanas, posteriormente se miden los productos de intermodulación generados por el DBP usando un analizador de espectro [Hirata 2004], como se indica en la **figura 8**.

Los productos generados por las señales (f_1 y f_2), son las combinaciones de los 2 tonos mas sus armónicos respectivos. Esto es, si tomamos a f_1 y sus armónicos ($2f_1$, $3f_1$,...

nf_1) y sumamos los de f_2 y los armónicos ($2f_2, 3f_2, \dots, nf_2$), tenemos los productos de intermodulación del DBP ($f_1+f_2, 2f_1-f_2, 6f_2+2f_1, \text{etc.}$).

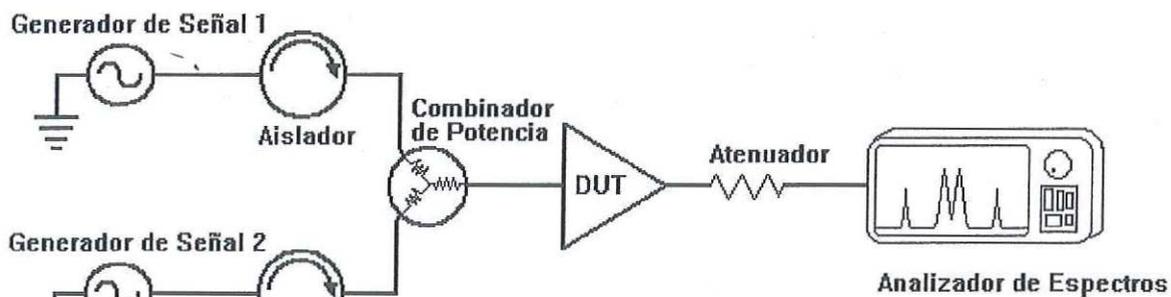


Figura 9.- Configuración básica para la caracterización en 2-tonos

Generalmente, la mayoría de los IM_n generados son de un nivel relativamente bajo y se encuentran fuera del ancho de banda del transistor, por lo tanto no se consideran en el análisis.

Los productos de intermodulación de mayor interés, en términos de sus posibles efectos perjudiciales a la señal de salida, son los de tercer orden (IM_3). Esto se da porque los armónicos de tercer orden, son los que más se aproximan a las frecuencias fundamentales.

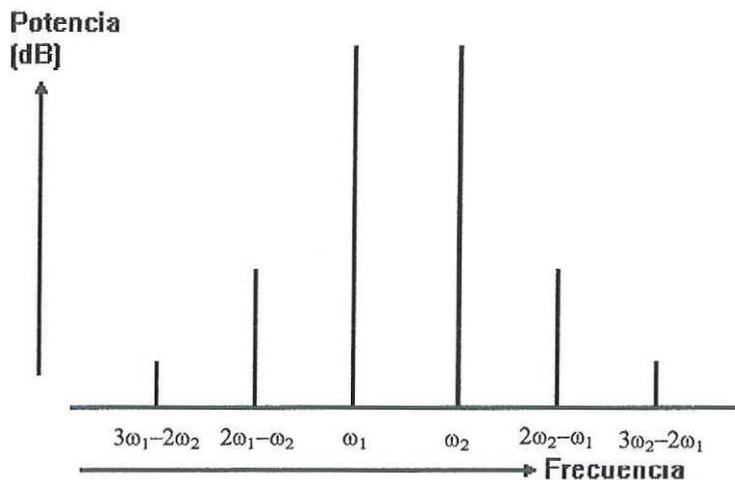


Figura 10.- Análisis en espectro de una caracterización en 2-tonos

En la **figura 10** se observa que no todos los IM_3 se toman en cuenta como por ejemplo $-2\omega_1-\omega_2$ que no aparece en la gráfica de la **figura 10**, ya que estas combinaciones se encuentran fuera del rango de frecuencia de las señales fundamentales (ω_1 y ω_2) y para el análisis las IM_3 que estén cerca se analizan por la interferencia que generan a éstas [Cripps, 1999]. En la **figura 10** se observa también que se encuentran señales de quinto orden cercanas a las frecuencias de las fundamentales.

II.2.4 Efectos de memoria

Los efectos de memoria se definen como los cambios en amplitud y fase de los componentes armónicos (IM_n). Dichos efectos influyen en los métodos de linealización de un amplificador [Vuolevi *et al.*, 2001]. Esos efectos difieren a las demás distorsiones no-lineales, ya que no generan nuevos componentes de distorsión, simplemente alteran a los ya existentes.

Datos experimentales muestran que hay una diferencia en la magnitud de los IM_3 medidos como se observa en la **figura 11a**, este cambio es generado por cambios en la fase de los componentes que generan a los IM_3 , como se indica en la **figura 11b**.

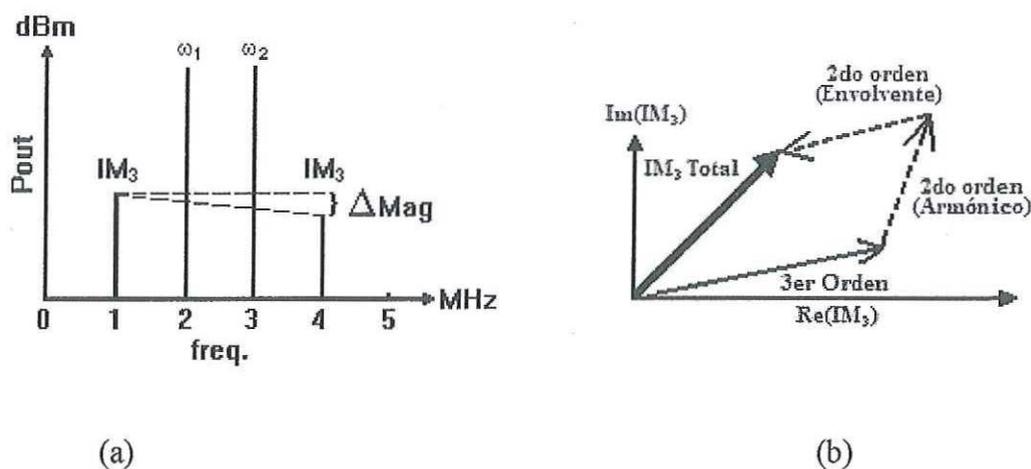


Figura 11.- (a) Diferencia de magnitud en IM_3 , (b) Cambios de fase en componentes de distorsión IM_3 .

Existen varios causantes de los efectos de memoria, entre los más importantes son:

- **Efectos Térmicos:** es el calentamiento que se presenta en el dispositivo debido al paso de corriente y aumento en potencia. Generalmente afecta en frecuencias bajas (< 1 MHz).
- **Efectos Eléctricos:** los efectos eléctricos también son llamados efectos de dispersión, estos se deben a defectos en el transistor llamados trampas en el canal y cambios en las impedancias de entrada [Vuolevi *et al.*, 2001].

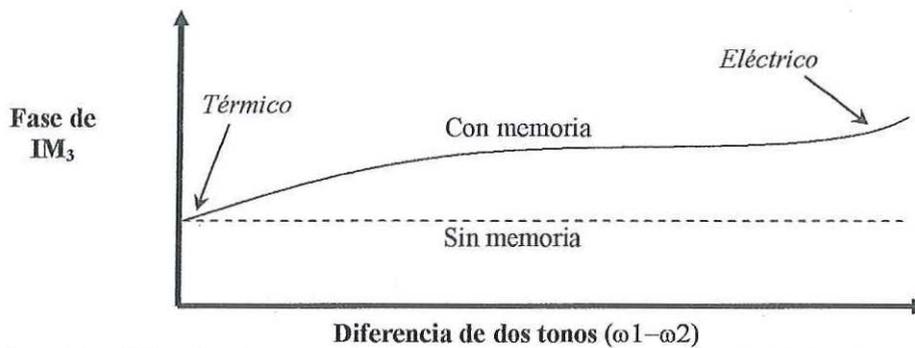


Figura 12.- Cambios de fase en IM₃ por los efectos de memoria (Térmico y Eléctrico)

La **Figura 12** nos muestra el cambio de fase en IM₃ considerando los efectos de memoria. Como se mencionó anteriormente, a frecuencias bajas, los efectos térmicos son los que más influyen y a medida que se aumenta la frecuencia, los efectos eléctricos o de dispersión empiezan a afectar más a la fase.

II.3. MODELADO NO LINEAL

El modelado no lineal del transistor consiste en representar al transistor por medio de un circuito equivalente para simular el comportamiento del transistor. El modelo no lineal esta formado por una fuente de corriente de I_{DS} , capacitancias intrínsecas C_{DS} , C_{GS} , C_{GD} , resistencia intrínseca R_i y componentes extrínsecos tales como las resistencias R_G , R_S y R_D , inductancias L_G , L_S y L_D y las capacitancias C_{PG} y C_{PD} .

Los elementos extrínsecos del circuito equivalente están asociados a alguna región física del dispositivo donde R_S y R_D son las resistencias asociadas a los contactos óhmicos, R_G es la resistencia de compuerta asociada a la resistencia de metalización del contacto Schottky; L_G , L_S y L_D son las inductancias parásitas de compuerta, fuente y drenador asociadas a los contactos metálicos; C_{GS} y C_{GD} modelan el cambio en la zona de deserción; C_{DS} se introduce para tomar en cuenta los efectos capacitivos entre fuente y drenador; C_{PG} y C_{PD} son las capacitancias asociadas a los *pads* y al empaquetado. I_{DS} es la corriente de drenador y puede representarse por una ecuación analítica.

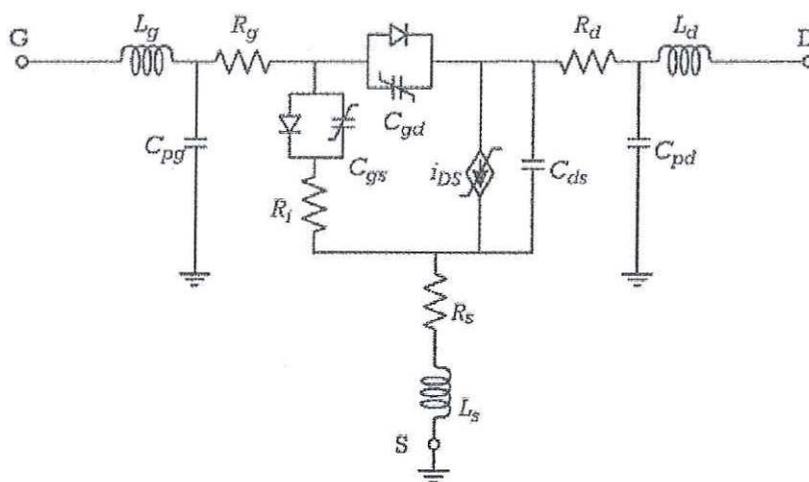


Figura 13.- Circuito equivalente del transistor MESFET

II.3.1 Modelo de Angelov

Angelov *et al.* [1992] desarrolló un modelo de corriente para transistores MESFET's y HEMT's donde la corriente se expresa con la siguiente ecuación:

$$I_{DS}(V_{GS}, V_{DS}) = (1 + \lambda V_{DS}) \tanh(\alpha V_{DS}) I_{PK} [1 + \tanh(\Psi)] \quad \dots(1)$$

donde:

$$\Psi = \sum_{n=1} P_n (V_{GS} - V_{PK})^n \quad \dots(2)$$

Los coeficientes λ y α son la modulación del ancho del canal y el parámetro de saturación-voltaje y son los mismos usados en los modelos de Curtice y Statz, I_{PK} y V_{PK} corresponden a los valores de I_{DS} y V_{GS} donde el valor pico de la transconductancia intrínseca (g_{mpk}) ocurre [Angelov, 1992]. De acuerdo a Angelov, el coeficiente de P_1 se puede extraer usando la aproximación:

$$P_1 = \frac{g_{mpk}}{I_{pk}(1 + \lambda V_d)} \approx \frac{g_{mpk}}{I_{pk}} \quad \dots(3)$$

Para tener buenos resultados en el modelado, es suficiente con que se calculen los primeros 3 coeficientes.

II.3.1.1. Mejora al modelo de Angelov

Uno de los problemas del modelo de Angelov es que, a pesar de que el modelo es adecuado para modelar la región I(V) de saturación del transistor, es inadecuado para modelar en la región del codo. La mejora propuesta por Loo Yao *et al.* [2006] trata el problema del modelo de Angelov en la región del codo, a través de una nueva forma de cómo extraer los parámetros P_1 , P_2 y P_3 por medio de un polinomio para calcular Ψ , que esta dado por:

$$\psi(V_{GS}) = a_0 + a_1 V_{GS} + a_2 V_{GS}^2 + a_3 V_{GS}^2 \quad \dots(4)$$

donde:

$$a_0 = -P_1 V_{PK} + P_2 V_{PK}^2 - P_3 V_{PK}^3 \quad \dots(5)$$

$$a_1 = P_1 - 2P_2 V_{PK} + 3P_3 V_{PK}^2 \quad \dots(6)$$

$$a_2 = P_2 - 3P_3 V_{PK} \quad \dots(7)$$

$$a_3 = P_3 \quad \dots(8)$$

La variable Ψ se extrae usando:

$$\psi(V_{GS}) = \tanh^{-1} \left(\frac{I_{DS}}{I_{pk}} - 1 \right) \quad \dots(9)$$

De esta manera, se mejora la respuesta del modelo en la región del codo y se tiene un método confiable para la extracción de los coeficientes $P_1 \dots P_3$ Loo Yao *et. al.* (2006).

II.3.2 Medición I(V) de las curvas del transistor en modo pulsado

La medición I(V) en modo pulsado nos sirve para medir I_{DS} evitando los problemas de dispersión ocasionados generalmente por calentamiento o por trampas en el canal. Pulsado I(V) se refiere a excitar al transistor por medio de pulsos donde el ciclo de trabajo del pulso es lo suficientemente grande para que el transistor llegue a un estado estable.

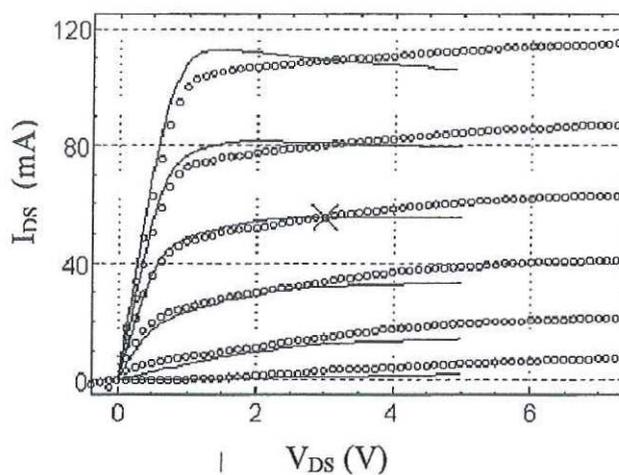


Figura 14.- Medición en pulsado (\circ) y el punto de reposo (\times) vs Medición convencional (-)

En la caracterización convencional en CD se varían los voltajes V_{DS} y V_{GS} , lo que produce un flujo constante de electrones a través del canal, esto en consecuencia genera un aumento en temperatura del dispositivo y disminuye la movilidad de los electrones (se ve una disminución en I_{DS}) a medida que aumentamos V_{DS} , **figura 14**. Es importante mencionar que el efecto térmico y cambios en las trampas en el canal son diferentes para cada punto de las curvas en CD.

La caracterización $I(V)$ en modo pulsado mitiga el comportamiento tanto del efecto térmico y las trampas del transistor. Por lo tanto se puede decir que las corrientes medidas en modo pulsado son las corrientes que circularían en el transistor en altas frecuencias.

Otras de las ventajas de medición $I(V)$ en modo pulsado es que se puede excitar al transistor con voltajes cercanos a su punto de ruptura [Dunleavy *et al.* 2004]. La dispersión en los transistores MESFET se observa en la **figura 14**. La medición $I(V)$ en modo pulsado (o) fue hecha con un pulso de 200 ns y a un punto de reposo (X), las otras curvas mostradas en la figura son las mediciones realizadas de forma convencional (-).

II.4. CARACTERIZACIÓN DEL TRANSISTOR

II.4.1 Elementos Extrínsecos

Reynoso Hernández *et al.* [1996] y Dambrine *et al.* [1988] desarrollaron métodos para extraer las resistencias e inductancias extrínsecas a partir de los parámetros Z (R_S , R_D , R_G , L_S , L_G , L_D), que se calculan por medio de los parámetros S medidos. La medición consiste en alimentar al transistor con una corriente I_{GS} lo suficientemente grande ($V_{GS} > V_{bi} > 0$) para que el transistor se comporte de forma inductiva en la carta de Smith (generalmente de 3 a 4 veces mayor que el límite del transistor). La medición se realiza dejando al drenador flotando y V_{GS} mayor a 0. Bajo estas condiciones los elementos

intrínsecos se representan en forma de una impedancia Z_D , el circuito es reducido y la influencia de las capacitancias parásitas C_{PG} y C_{PD} a bajas frecuencias son despreciables como se observa en la **figura 15**.

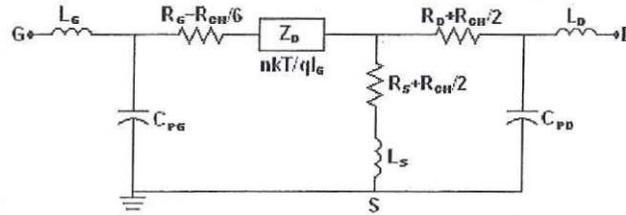


Figura 15) Circuito Equivalente resultante a la polarización con V_{DS} flotante y $V_{GS} > V_{bi} > 0$

Del circuito tenemos que:

$$R_S = \text{Re}(Z_{12}) \quad \dots(10)$$

$$R_D = \text{Re}(Z_{22}) - \text{Re}(Z_{12}) \quad \dots(11)$$

$$R_G = \text{Re}(Z_{11})^* - \text{Re}(Z_{12}) \quad \dots(12)$$

$$L_S = \frac{\text{Im}(Z_{12})}{\omega} + A_S \quad \dots(13)$$

$$L_D = \frac{\text{Im}(Z_{22}) - \text{Im}(Z_{12})}{\omega} + A_D \quad \dots(14)$$

$$L_G = \frac{\text{Im}(Z_{11}) - \text{Im}(Z_{12})}{\omega} + A_G \quad \dots(15)$$

donde:

$$A_S = R_S [C_{PD}(R_D - R_S) + C_{PG}(R_G + R_S)] \quad \dots(16)$$

$$A_D = C_{PD}R_D(R_D + R_S) - C_{PG}R_GR_S \quad \dots(17)$$

$$A_G = C_{PG}R_G(R_G + R_S) - C_{PD}R_DR_S \quad \dots(18)$$

Estas ecuaciones se pueden utilizar solo si despreciamos el valor de la resistencia del canal (R_{CH}).

Cabe mencionar que la fórmula para calcular R_G , la parte real de $\text{Re}(Z_{11})$ se obtiene graficando $\text{Re}(Z_{11})$ contra $1/I_{GS}$ y una recta con pendiente igual a $n_s kT/q$ donde los puntos que intercepten a $\text{Re}(Z_{11})$ tenemos el valor de $\text{Re}(Z_{11})^* = R_s + R_G + \frac{R_{CH}}{3}$ como se observa en la figura 16.

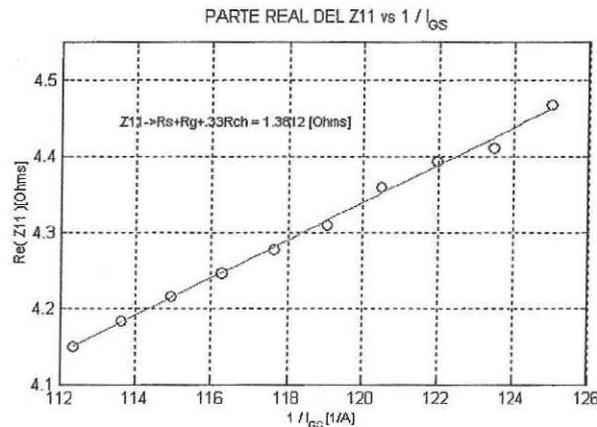


Figura 16.- Gráfica de $\text{Re}(Z_{11})$ vs $1/I_{GS}$ y la recta con pendiente $n_s kT/q$

Dambrine *et al.* [1988] y White y Healy [1993] propusieron una manera para extraer los capacitores extrínsecos, alimentando al transistor con $V_{DS} = 0$ y V_{GS} menor al voltaje de oclusión ($V_{GS} < V_T$), bajo estas condiciones, se espera que la zona de deserción sea uniforme y simétrica, como se observa en la figura 17.

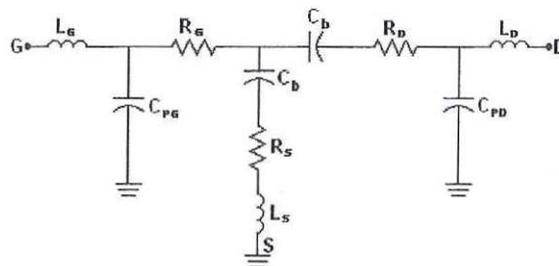


Figura 17.- Circuito Equivalente resultante de $V_{DS} = 0$ y V_{GS} mas allá del voltaje de pinch-off como lo describe Dambrine

Dambrine[1988] y White[1993] desarrollaron modelos para extraer las capacitancias parásitas (C_{PG} , C_{PD}) a partir de los parámetros Y, calculados de los parámetros S medidos, donde, a bajas frecuencias, la influencia de las resistencias e inductancias parásitas en la parte imaginaria de los parámetros Y ($\text{Im}(Y_{ij})$) es despreciable y tenemos que:

Modelo Dambrine

$$C_{PG} = \frac{\text{Im}(Y_{11}) + 2 \text{Im}(Y_{12})}{\omega} \quad \dots(19)$$

$$C_{PD} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{21})}{\omega} \quad \dots(20)$$

Modelo White

$$C_{PG} = \frac{\text{Im}(Y_{11}) + 2 \text{Im}(Y_{12})}{\omega} \quad \dots(21)$$

$$C_{PD} = \frac{\text{Im}(Y_{22}) + 2 \text{Im}(Y_{21})}{\omega} \quad \dots(22)$$

II.4.2 Elementos Intrínsecos

Al obtener los parámetros extrínsecos de las mediciones mencionadas anteriormente, los elementos intrínsecos se obtienen de manera distinta; Dambrine *et al.* [1988] desarrolló un método para la extracción de los parámetros intrínsecos.

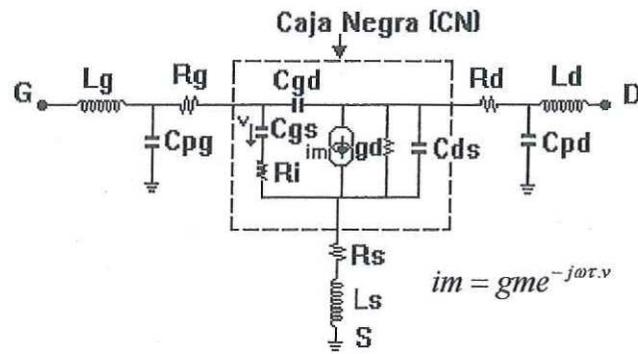


Figura 18.- Modelo de circuito equivalente

El método consiste en separar a los elementos intrínsecos y catalogarlos como una caja negra, **figura 18**, para después hacer un de-embedding de los componentes externos.

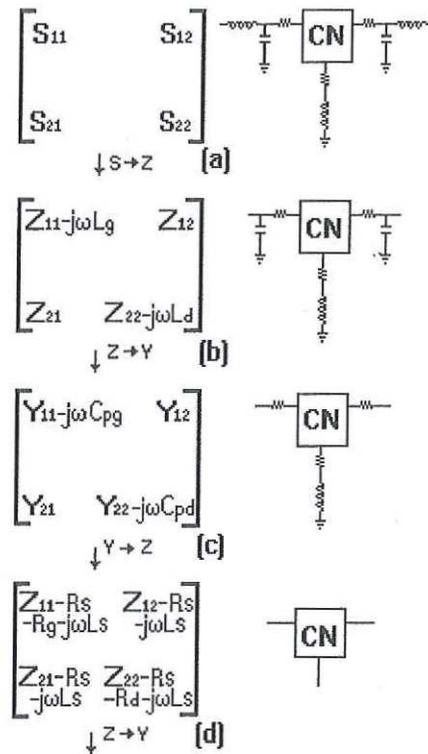


Figura 19.- Eliminación de los elementos extrínsecos propuesto por Dambrine.

El resultado del de-embedding nos lleva a parámetros [Y] que contienen los valores de los elementos extrínsecos **figura 19d**. Berroth y Bosch [1991] proponen una metodología para calcular los elementos intrínsecos del transistor partiendo de los elementos [Y] proporcionados por Dambrine et al. [1988].

Las fórmulas son las siguientes:

$$Y_{11} = \frac{\omega^2 R_i C_{gs}^2}{1 + \omega^2 R_i^2 C_{gs}^2} + j\omega \left(\frac{C_{gs}}{1 + \omega^2 R_i^2 C_{gs}^2} + C_{gd} \right) \quad \dots(23)$$

$$Y_{12} = -j\omega C_{gd} \quad \dots(24)$$

$$Y_{21} = \frac{g_{mo} e^{-j\omega\tau}}{1 + j\omega R_i C_{gs}} + j\omega C_{gd} \quad \dots(25)$$

$$Y_{22} = g_{ds} + j\omega(C_{ds} + C_{gd}) \quad \dots(26)$$

Para la extracción de los elementos intrínsecos se utiliza una computadora personal donde se programan las fórmulas presentadas en este capítulo. Tomando en cuenta que los elementos intrínsecos son elementos no lineales dependientes de voltajes de polarización, tenemos que hacer varias mediciones a diferentes puntos de polarización, de esta manera, los valores extraídos de las fórmulas nos generan el comportamiento de los elementos intrínsecos en función de los voltajes de polarización (V_{DS} y V_{GS}).

III. CARACTERIZACIÓN Y SIMULACIÓN DEL TRANSISTOR NE800299

En este Capítulo se describen las mediciones y los criterios usados en la caracterización del transistor NE800299 requerido para la extracción de los componentes del circuito equivalente; así como también de la implementación del circuito equivalente en un programa de computadora para simular en ADS. Sección III.1 trata sobre las diferentes mediciones y condiciones de la caracterización del transistor, sección III.2 trata sobre el modelado y simulación usando el programa ADS (Advance Desing System).

III.1. CARACTERIZACIÓN DEL TRANSISTOR NE800299

El NE800299 es el transistor que se utilizará para el diseño del amplificador clase A y es un transistor de mediana potencia, que opera en la banda C, su voltaje de operación es hasta 9 V (V_{DS}), G_{1dB} de 8 dB, P_{1dB} de 28 dB, cabe mencionar que estos valores son los típicos y los da el fabricante a 7.2 GHz.

El NE800299 es un transistor GaAs FET empaquetado con una potencia de disipación de 5W (máxima), sus dimensiones físicas son:

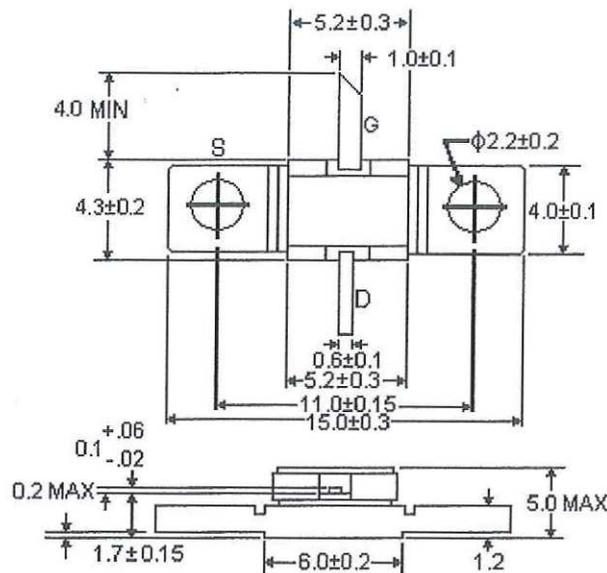


Figura 20.- Mediciones físicas del transistor NE800299

III.1.1. Extracción de los parámetros extrínsecos

Las mediciones se hacen en varios pasos, pero antes de medir, se requiere diseñar e implementar un disipador de calor, ya que se trabaja con un transistor de potencia. Para la extracción de los elementos extrínsecos se hacen dos mediciones al transistor en diferentes puntos de voltaje como se menciona en el capítulo II, sección II.4.1 y para la extracción de los elementos intrínsecos se hacen mediciones variando los voltajes de polarización V_{DS} y V_{GS} (sección II.4.1).

El banco de medición principal usado para la caracterización del transistor está formado por: un multímetro FLUKE 8840A, 2 multímetros programables TEKTRONIX DM 5120, una fuente programable TEKTRONIX PS 5010, una fuente de precisión TEKTRONIX PS 5004, una caja de interruptores, un analizador de Redes Vectorial HP 8510C y Tees de polarización.

El equipo es controlado por puertos GPIB utilizando una computadora con un programa computacional diseñado en CICESE llamado LIMCAL. Éste controla los diferentes dispositivos utilizados en el banco de medición, de esta manera se tiene un banco de medición automatizado, **figura 21**.

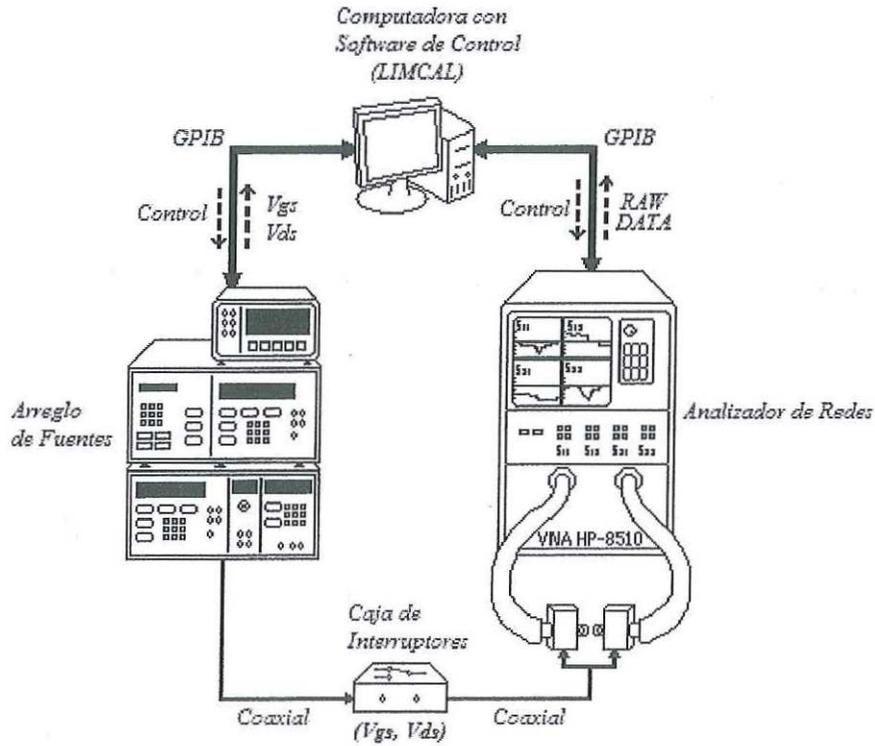


Figura 21.- Banco de medición automatizado

La caja de interruptores sirve para alimentar al transistor en diferentes maneras sin tener que desconectarlo, tan solo cambiamos la posición de los interruptores y tenemos otra configuración de alimentación, **figura 22**.

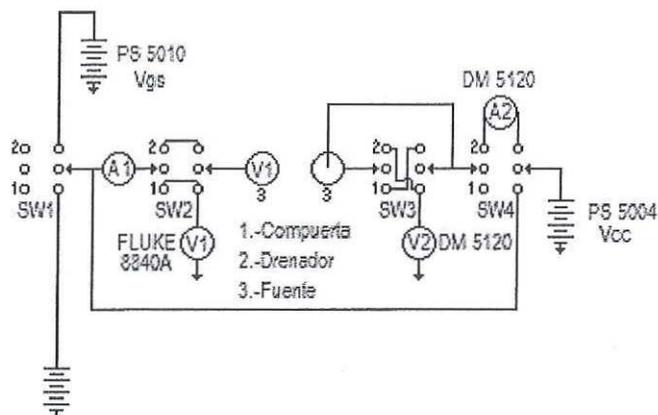


Figura 22.- Circuito de la caja de interruptores

En todas las mediciones de parámetros S, se calibra el VNA usando calibración TRL (Thru, Reflect, Line), esto se realiza midiendo los parámetros S de cada estándar de calibración y midiendo al DBP en una misma sesión, posteriormente con un programa de computadora (*LIMCAL*) y con los datos tomados del VNA, se realiza la calibración por LIMCAL.

III.1.1.1. Extracción de las Resistencias e Inductancias Parásitas

La extracción de las resistencias e inductancias se efectúa midiendo los parámetros S en la configuración del circuito de la **figura 23**, donde el drenador queda flotando y $V_{GS} > 0$, el circuito resultante es el de la **figura 15**. El criterio a tomar aquí es que la corriente I_{GS} tiene que ser lo suficientemente grande para que el transistor se comporte de forma inductiva en la carta de Smith. Una vez que se obtiene el comportamiento inductivo en el transistor (visto en la carta de Smith), se toman las mediciones de los parámetros S. El rango de frecuencia usado en la medición es de 45 MHz a 4.5 GHz en pasos de 10 MHz (401 puntos).

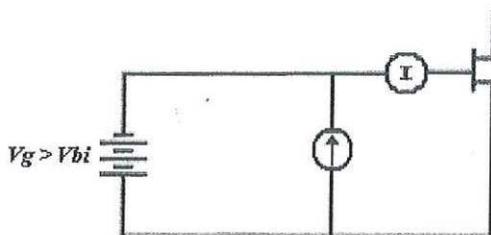


Figura 23.- Configuración del circuito del transistor para extracción de resistencia e inductancias parásitas

Para la extracción de R_g , se hacen 10 mediciones en I_{GS} que van desde 12mA hasta 13mA en incrementos de .1 mA (tomando en cuenta que I_{GS} máx. para el NE800299 es de 3 mA). En la **figura 24** se observa el comportamiento inductivo en el rango de frecuencia de 45 MHz – 5 GHz.

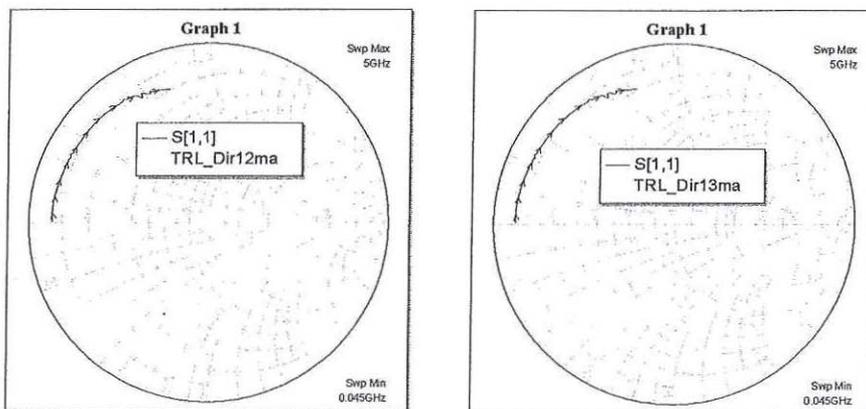


Figura 24.- Respuesta inductiva del transistor NE800299

Una vez obtenidas las mediciones, extraemos los parámetros extrínsecos a través de los parámetros Z , convertidos de los parámetros S medidos.

III.1.3.2. Extracción de las capacitancias parásitas C_{PG} y C_{PD}

Para extraer las capacitancias C_{PG} y C_{PD} se miden los parámetros S con V_{DS} en cero y la compuerta alimentada con un voltaje muy negativo ($V_{gs} < V_T$), siguiendo la configuración del circuito de la **figura 25**, el circuito equivalente resultante se muestra en la **figura 17** (Modelo de Dambrine). De esta manera, se busca que los parámetros S se comporten de manera capacitiva en la carta de Smith.

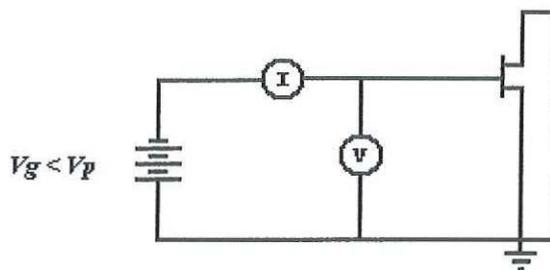


Figura 25.- Configuración del circuito para la extracción de las capacitancias parásitas.

Cabe mencionar que el modelo de White [1993] para el circuito equivalente resultante utiliza 3 capacitores (C_b) en un arreglo T, dando una diferencia en la fórmula de C_{PD} solamente (Ver ecuación 20 con referencia a ecuación 22), donde la parte de $\text{Im}(Y_{21})$ se multiplica por 2 en el modelo White y en el modelo Dambrine no. Se toman 2 mediciones con un V_{GG} más allá del voltaje de pinch-off. Para el NE800299 se usan $V_G = -10$ y -11 V (V_T según el fabricante es de -5 V). Como se ve en la **figura 26**, los parámetros S del transistor, se comportan de manera capacitiva en el rango de frecuencia de 45 MHz – 5 GHz.

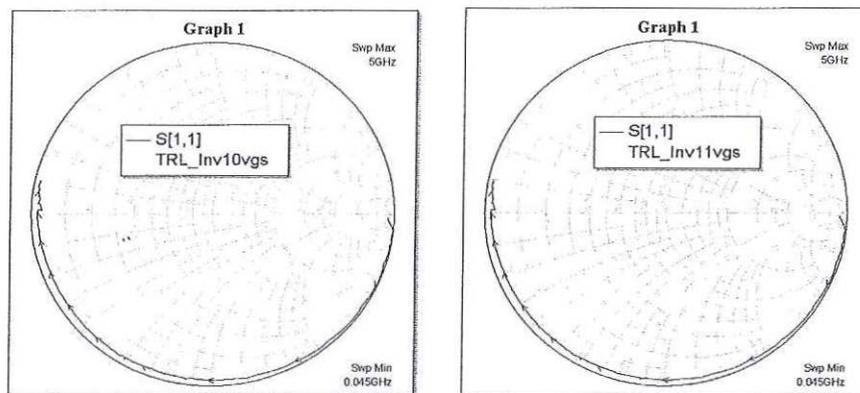


Figura 26.- Respuesta capacitiva del transistor NE800299

De estas mediciones, tomamos los parámetros S y convertimos en parámetros Y para extraer a C_{PG} y C_{PD} .

En ambas mediciones, se debe tener especial cuidado con los valores de I_{GS} y V_{GS} que se utilicen, ya que sino, se corre el riesgo de degradar al transistor o dañarlo permanentemente.

Para tener una extracción rápida de los elementos extrínsecos, se utiliza un paquete informativo llamado *LIMMIFET*, que fue diseñado dentro de CICESE [2000].

Tabla I. Valores de los elementos extrínsecos del NE800299

Elementos Extrínsecos	NE800299
L_S (pH)	99.55
L_D (pH)	893.65
L_G (pH)	783.56
C_{PG} (fF)	1465.55
C_{PD} (fF)	1166.06
R_S (Ω)	0.65
R_D (Ω)	0.7
R_G (Ω)	0.38

III.1.2. Extracción de los elementos intrínsecos

Una vez calculados los elementos extrínsecos, los elementos intrínsecos se extraen utilizando el método desarrollado por Berroth (ecuaciones 23 a 26). Utilizando el paquete informático LIMIFET se pueden extraer los elementos del circuito equivalente en diferentes puntos de polarización.

III.1.2.1. Extracción de los elementos intrínsecos en función de los

voltajes V_{DS} y V_{GS}

Se polariza al transistor variando los voltajes de V_{DS} y V_{GS} , se usan Tees de polarización para alimentar al transistor y evitar oscilaciones. Se miden sus parámetros S en el rango de 45 MHz a 4.5 GHz.

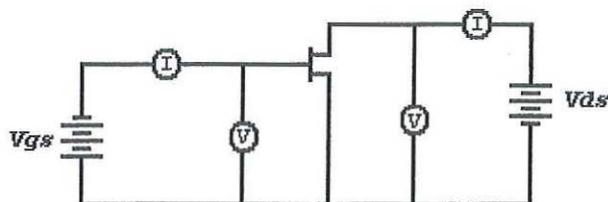


Figura 27.- Polarización del transistor para medición multipunto

Para el transistor NE800299, se hacen barridos en V_{GS} de -3.2 V a 0 V con pasos de .2 V y en V_{DS} de 0.5 V a 9 V con pasos de 0.5 V. Tomando en cuenta los pasos, serán 276 puntos medidos. Los pasos en V_{DS} de .5 V se realizan de tal manera que se considere el punto de polarización que será usado en el diseño del amplificador ($V_{DS} = 4.5$ V, $V_{GS} = -1$ V).

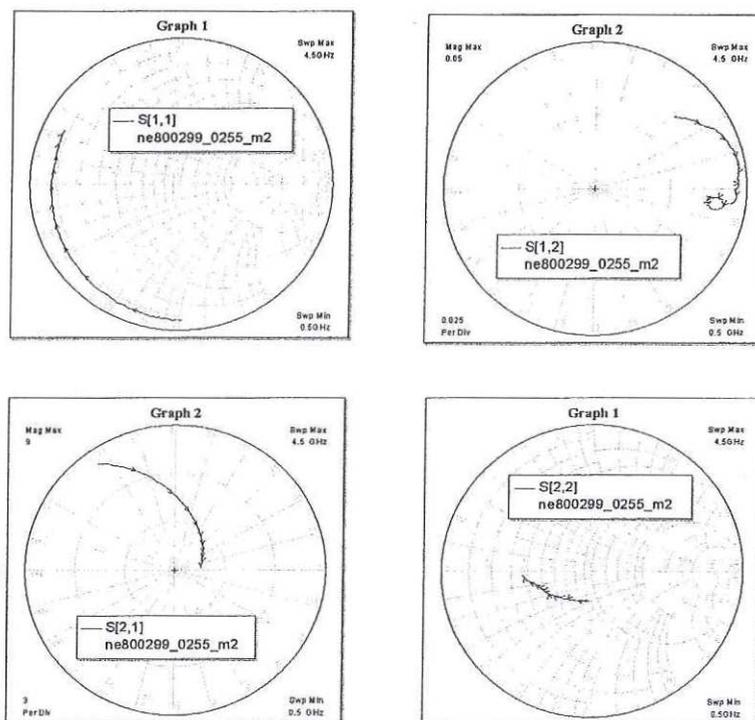


Figura 28.- Respuesta del transistor NE800299 a un punto de polarización ($V_{GS} = -1.75$ V, $V_{DS} = 8.7$ V)

La **figura 28** muestra la respuesta del transistor a un punto de polarización. Los valores de los elementos intrínsecos se calculan usando *LIMMIFET*, se toman los valores de la **Tabla I** y se calculan los elementos intrínsecos usando las mediciones multipunto para tener una respuesta de los elementos dependientes de los voltajes de alimentación (V_{DS} y V_{GS}).

De las figuras 29 al 31 se muestran las capacitancias intrínsecas extraídas del transistor NE800299

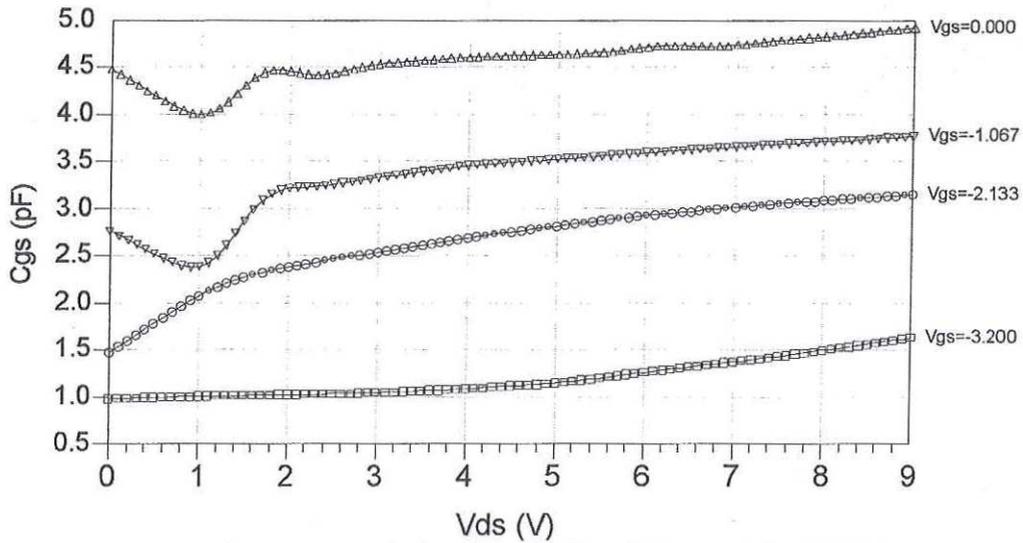


Figura 29.- Capacitancia intrínseca C_{GS} del transistor NE800299

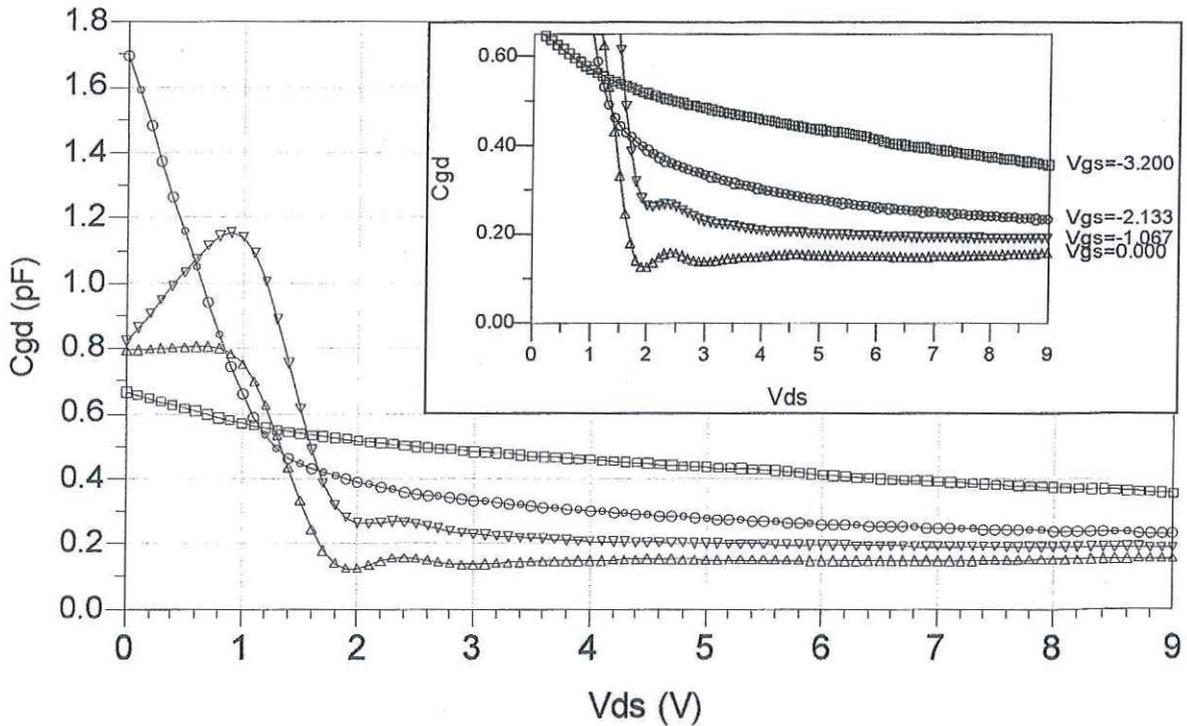


Figura 30.- Capacitancia intrínseca C_{GD} del transistor NE800299

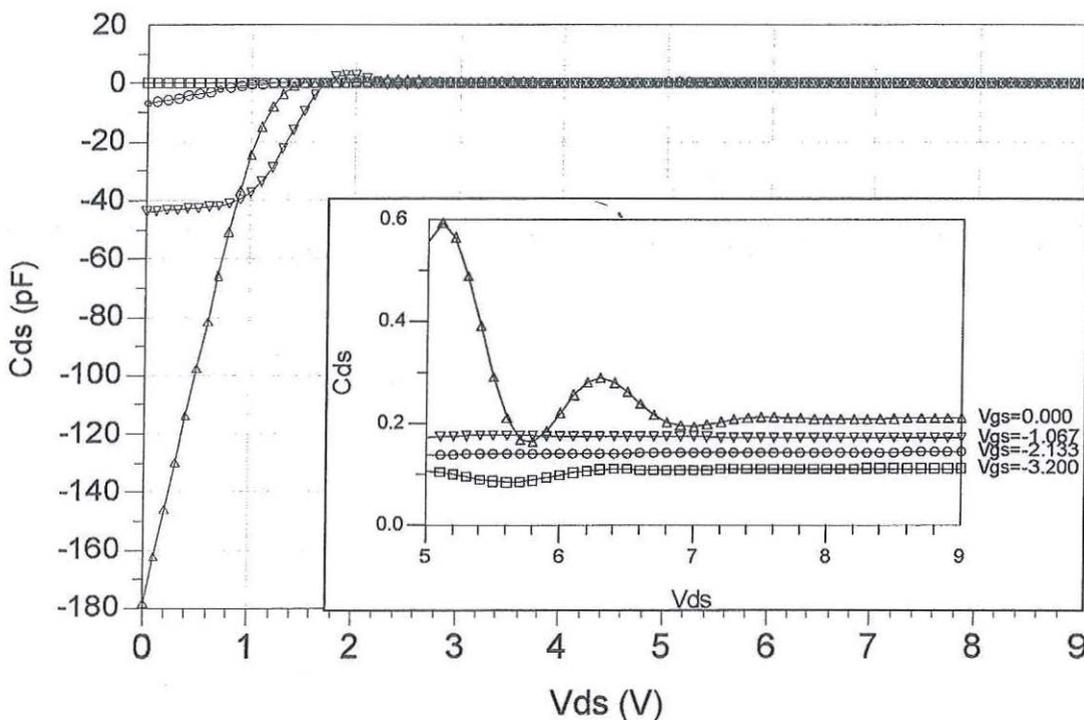


Figura 31.- Capacitancia intrínseca C_{DS} del transistor NE800299

III.1.3. Curvas I(V) del transistor en modo pulsado

La medición de las curvas I(V) del transistor se hace con el banco de medición mostrado en la **figura 32**. El equipo DIVA-265 es un equipo de medición I(V) en modo pulsado incluye un cable serial y un paquete informático para control y captura de datos (DIVA3). Para el transistor NE800299, se usa el punto de polarización $V_{DS} = 6$ V $V_{GS} = -1$ V como punto de reposo, este punto es cercano al valor que se usará en el diseño del amplificador.

Las curvas I(V) del transistor NE800299, se hicieron en V_{DS} de 0.1 a 9 V en pasos de .1 V y V_{GS} de -3.2 a 0 V en incrementos de .2 V.

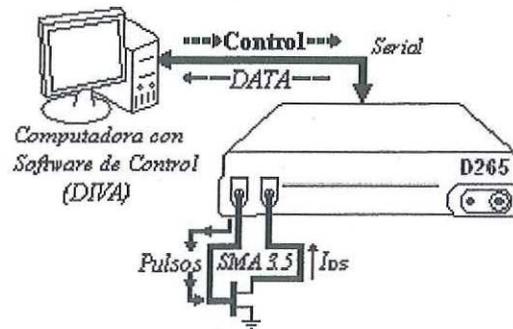


Figura 32.- Banco de medición en pulsado para transistores de potencia

Se conecta el transistor como se indica en la figura 32, se usan cables SMA 3.5 mm, para conectar al transistor con el equipo. El transistor esta montado en una base de prueba con un disipador de calor conectado a la fuente.

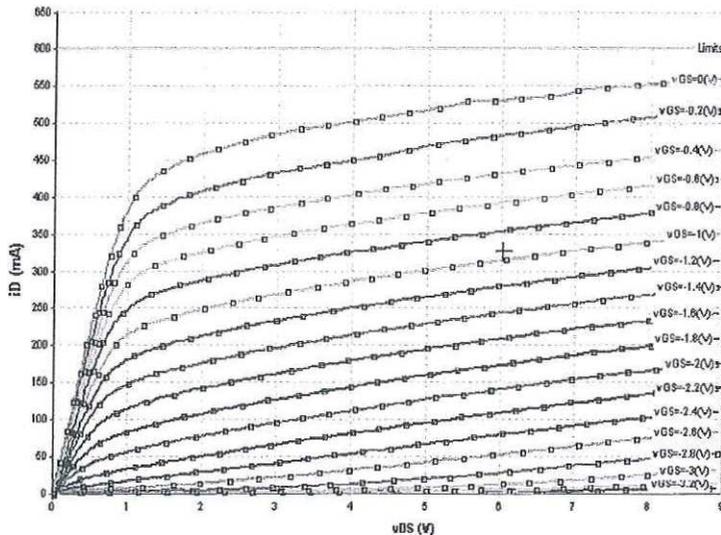


Figura 33.- Curvas del NE800299 obtenidas de DIVA-265 con punto de reposo en $V_{DS} = 6\text{ V}$ y $V_{GS} = -1\text{ V}$

Con la extracción de las curvas del transistor se grafican también G_M (Transconductancia) y G_{DS} figura 34.

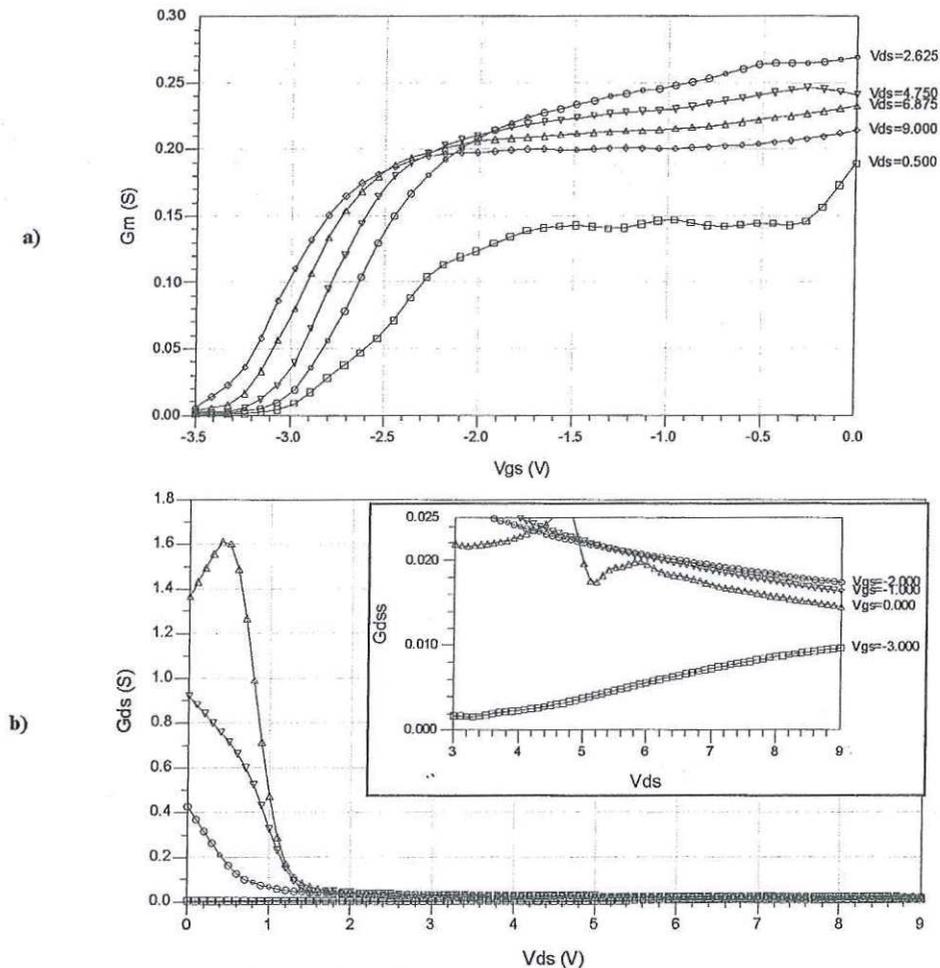


Figura 34.- G_m vs V_{GS} (a) y G_{DS} vs V_{DS} (b)

III.1.2. Extracción del modelo de corriente de Angelov

Tomando los datos de la corriente I_{DS} extraídos de las mediciones en régimen pulsado, utilizamos el paquete informático *LIMMIFET* para extraer los coeficientes del modelo de corriente de Angelov. Estos valores sirven como valores iniciales para la simulación y optimización en el paquete informático Agilent ADS.

Se toma en consideración el circuito de la **figura 35** como el modelo del transistor.

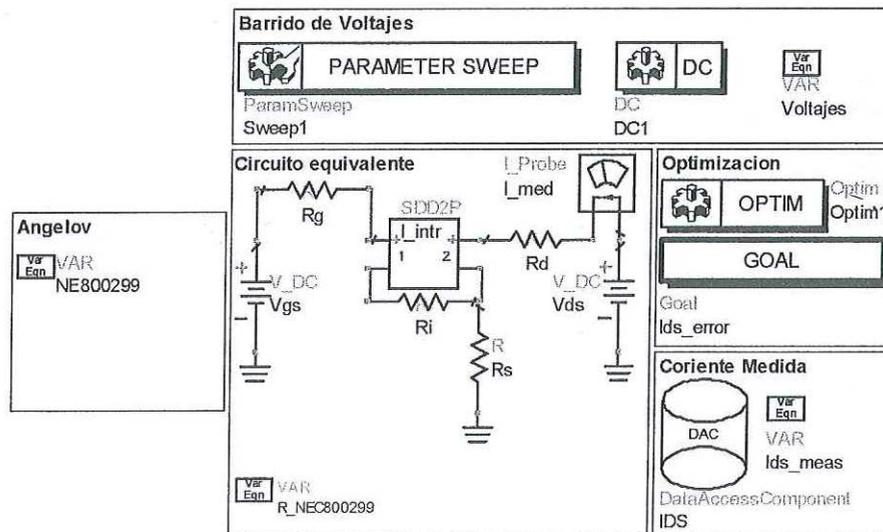


Figura 37.- Esquemático en ADS del circuito equivalente reducido para la extracción del modelo Angelov.

Como se había mencionado anteriormente, el modelo de Angelov se calcula por medio de *LIMMIFET*. Usando el esquemático en ADS de la **figura 37**, se obtienen las curvas del transistor utilizando el modelo de Angelov.

Usando los valores del modelo de Angelov obtenidos por *LIMMIFET*, se grafican las curvas del transistor como se muestra en la **figura 38**, donde se observa que el modelo de Angelov obtenido por *LIMMIFET* es impreciso. De aquí que se usa ADS para optimizar el modelo de Angelov y obtener una mejor respuesta en la simulación de las curvas $I(V)$ del transistor.

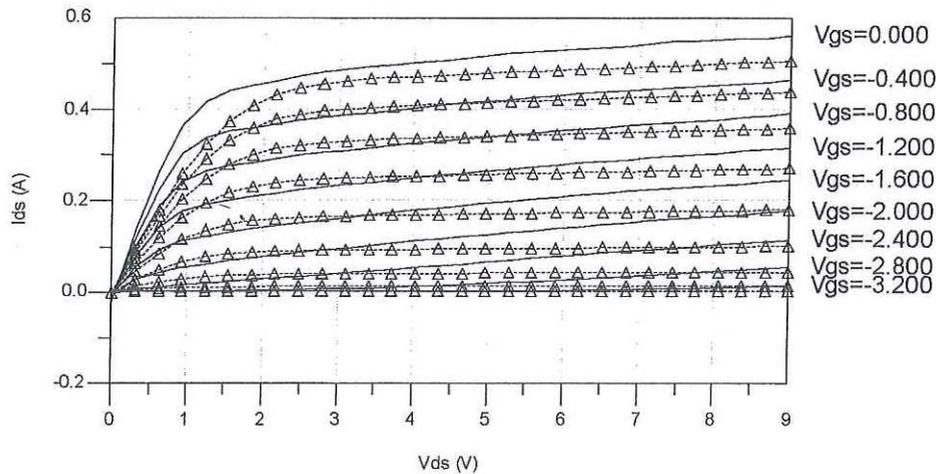


Figura 38.- Curvas del transistor Medidas (-) y Simuladas (Δ) sin optimización

Si se toman los valores de *LIMMIFET* como valores iniciales para el modelo de Angelov, se tiene entonces un punto de partida para la optimización en ADS.

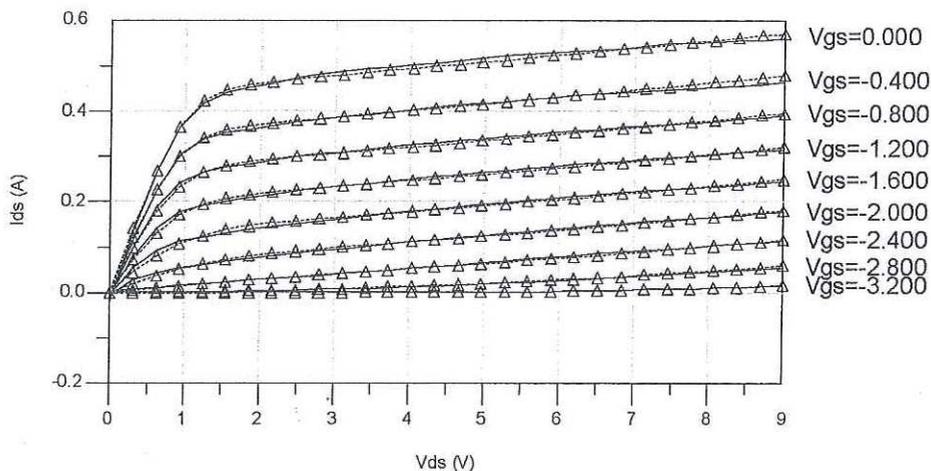


Figura 39.- Curvas del transistor Medidas (-) y Simuladas (Δ) después de la optimización

En la **figura 39** se muestra el modelo de corriente de Angelov después de la optimización, se puede observar que se tiene mayor precisión en la simulación de las curvas $I(V)$ del transistor después de optimizar los valores del modelo de corriente. En la región del codo se utiliza el modelo mejorado de Angelov propuesto por Loo Yao *et al.*[2006].

III.2. IMPLEMENTACIÓN DEL CIRCUITO EQUIVALENTE EN ADS

El bloque de simulación del transistor utiliza el modelo de Angelov previamente calculado y los valores extrínsecos e intrínsecos extraídos de la caracterización. La topología usada para el transistor, es la recomendada para los transistores de empaquetado.

III.2.1. Bloque del circuito equivalente

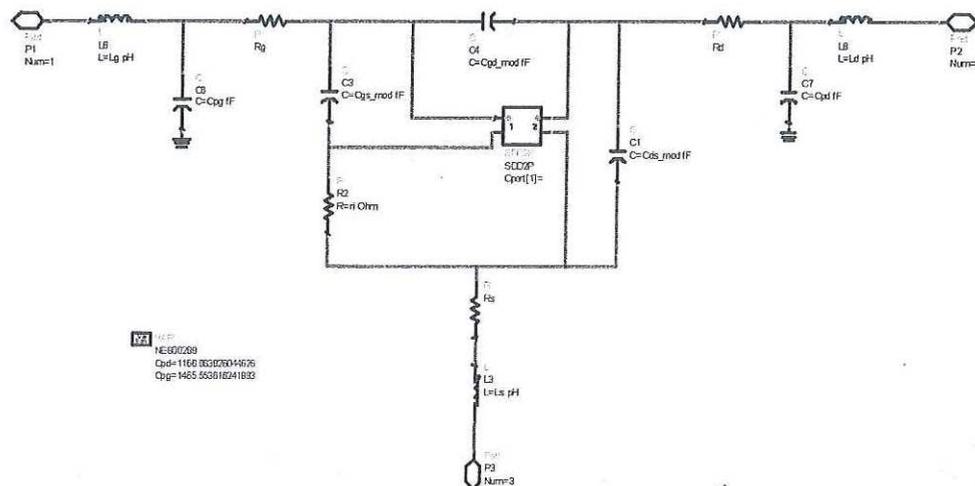


Figura 40.- Circuito equivalente para transistor de empaquetado modelado en ADS

La caja de 4 puertos es donde se usa el modelo Angelov optimizado. El circuito de la **figura 40** será utilizado en los siguientes esquemáticos como un componente llamado *Modelo_MESFET*.

III.2.2. Bloque de simulación del transistor

Para validar, el circuito equivalente del transistor así como el modelo de corriente, es necesario comparar los resultados de la simulación con valores medidos del transistor. Por lo tanto, se compara el modelo con los parámetros S medidos y medidas de 1 tono.

III.2.2.1 Simulación y Comparación del modelo en parámetros S

Se comparan los parámetros S medidos y simulados del transistor. Los datos medidos son los resultados de las mediciones multipunto, desarrolladas según se describió en el apartado III.1.2.1 de este capítulo.

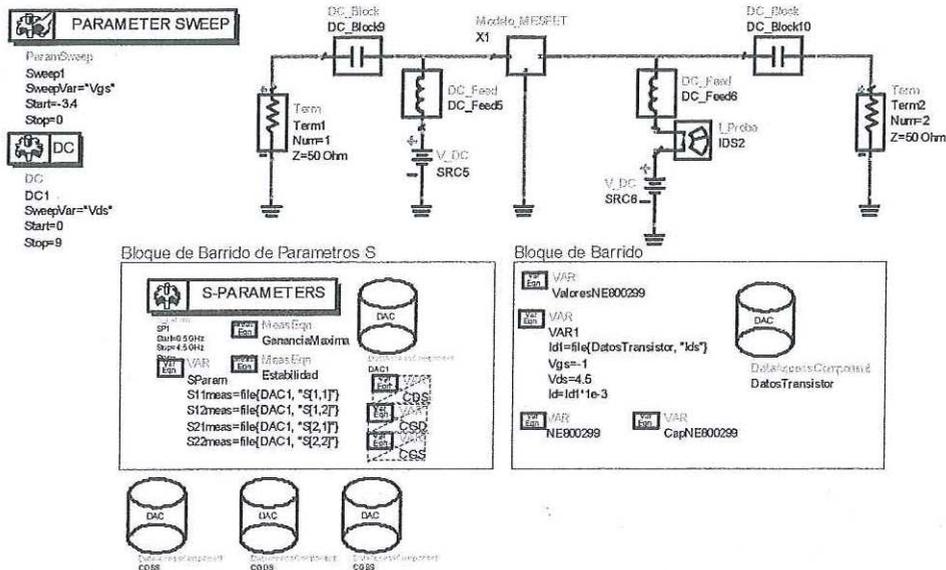


Figura 41.- Esquemático en ADS de simulación del transistor NE800299

En el esquemático de la **figura 41** se tienen bloqueadores de DC y RF ideales a la entrada y salida del transistor, un medidor de corriente a la salida y fuentes de voltaje para V_{GS} y V_{DS} , en esta figura se incluyen también componentes de acceso de datos (DACs por sus siglas en inglés) que contienen los datos de los componentes intrínsecos, parámetros S medidos y datos de las curvas $I(V)$ del transistor, también se incluyen al esquemático diferentes herramientas para simular los parámetros S y las curvas $I(V)$.

Se grafican los parámetros S simulados y medidos, como se mencionó anteriormente, en las mediciones multipunto se tomaron también los parámetros S del punto Q que será usado en el diseño del amplificador $Q_{AMP}(V_{DS} = 4.5 V, V_{GS} = -1 V)$.

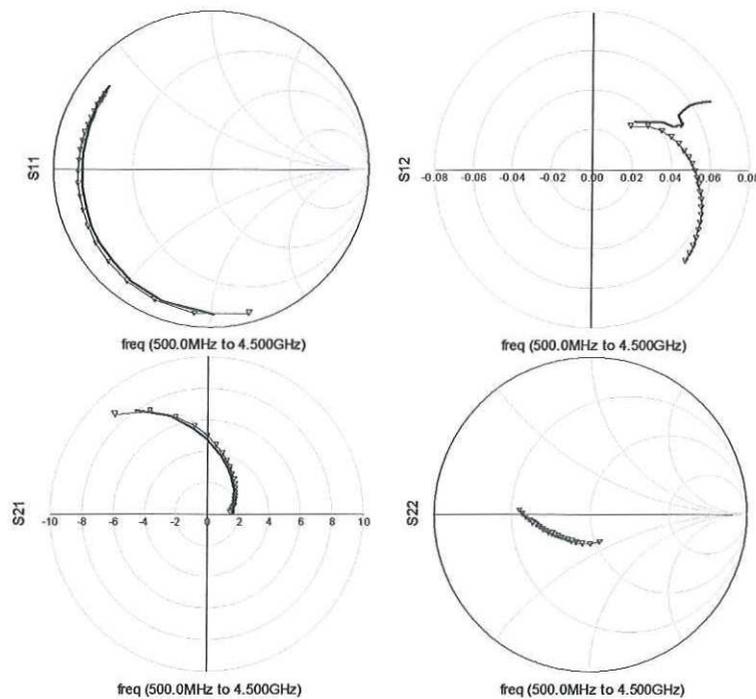


Figura 42.- Parámetros [s] del transistor a $V_{DS}=4.5v$ y $V_{GS}=-1v$ (-Medidas vs Δ Simuladas)

En la **figura 42** se observa como el modelo del transistor concuerda con las mediciones físicas. Aquí cabe mencionar que al igual que en el modelo de Angelov, se realiza una optimización de datos para mejorar su respuesta, las variables que se optimizaron fueron las capacitancias intrínsecas C_{GS} , C_{GD} y C_{DS} y la R_i solamente, el resultado de dicha optimización son las gráficas mostradas en la **figura 42**. A diferencia de la optimización al modelo de Angelov, los elementos intrínsecos solo se optimizaron en un rango muy corto.

III.2.2.2 Simulación y comparación del modelo en potencia

Para simular el modelo no-lineal del transistor en potencia, se usa ADS con el circuito equivalente no-lineal (*Modelo_MESFET*). La simulación se hace en el rango de potencia de $P_{in} = -12$ dB a 24 dB.

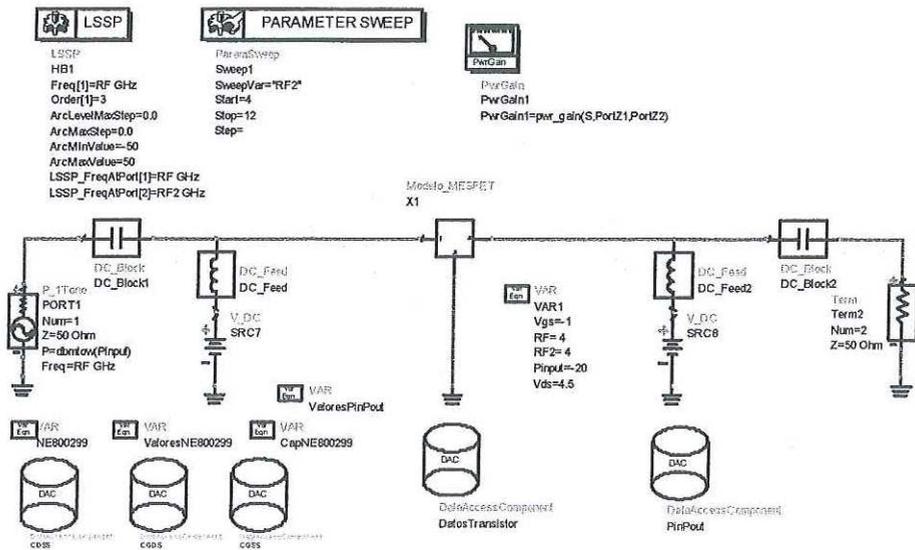


Figura 43.- Esquemático en ADS del bloque de simulación en potencia del NE800299

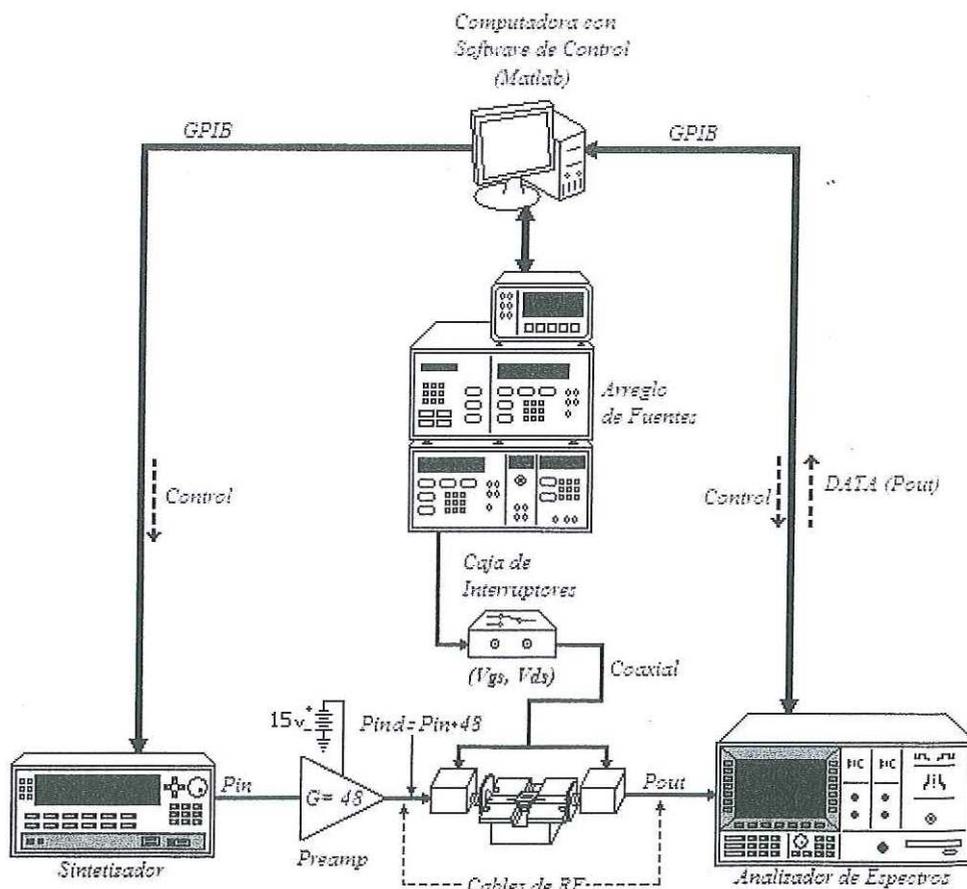


Figura 44.- Banco de medición para 1 tono

La medición en potencia se realiza con ayuda de una computadora personal (usando un programa de control diseñado en *Matlab*), un sintetizador HP83650A y un analizador de espectros HP70004A, se utiliza el mismo arreglo de fuentes y caja de interruptores usados en el banco de medición automatizado de la **figura 21**. El preamplificador es un amplificador AMA 2040B con una ganancia de 48 dB a 4 GHz.

El preamplificador sirve para manejar al transistor en gran potencia, ya que el sintetizador tiene un punto de 1 dB de compresión a la salida de 18 dBm y el transistor opera con señales de potencia mas altas; sin embargo antes de hacer la medición se tiene que tomar una consideración muy importante, cualquier nivel de potencia con el que se este trabajando se debe de considerar el aumento de 48 dB causado por la ganancia del preamplificador (**figura 44**), por lo tanto para cualquier medición en potencia se debe restarle esa diferencia de 48 dB antes de programar el sintetizador. Dicho de otra manera, para tener una potencia de entrada en el dispositivo bajo prueba (P_{IND}) del rango de 0 dB a 20 dB, se debe de programar en el sintetizador el rango de -48 dB a -28 dB.

En el programa de control se tienen rutinas de protección para no exceder la potencia límite del dispositivo bajo prueba. Es decir, se tiene una subrutina de paro cuando se llegue a tener una compresión menor a -3 dB. El P_{1dB} para el NE800299 de acuerdo a las mediciones, se encuentra en 21 dB aproximadamente. Para la medición de potencia del transistor se tomará el rango de -12 a 24 dB en pasos de 1 dB (-60 dB a -24 dB).

En el esquemático de la **figura 43**, tenemos DACs de los capacitores y mediciones de potencia realizadas con el sistema de medición mostrado en la **figura 44**, se simulan y comparan los datos medidos como se hizo anteriormente con los parámetros S. Los datos medidos se les restar la diferencia de 48 dB para tener el valor real de la medición.

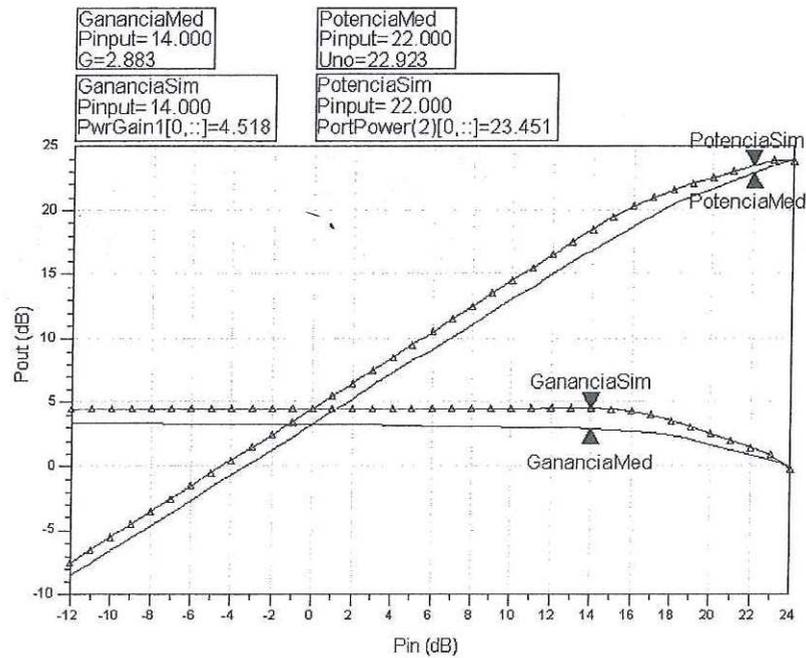


Figura 45.- Respuesta de la fundamental del NE800299 (Δ -Simulado, ∇ -Medido)

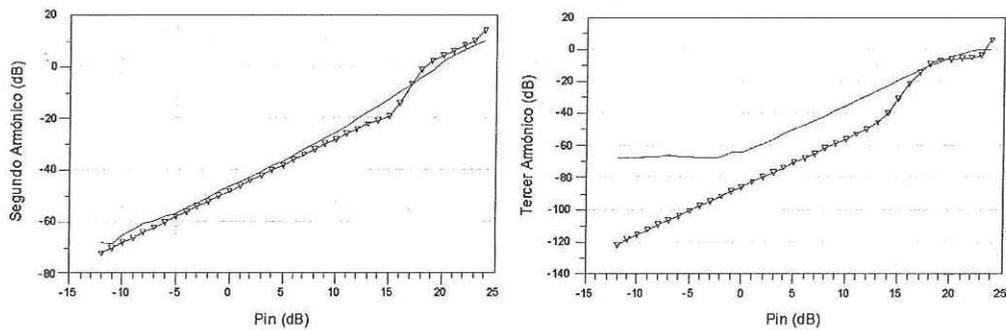


Figura 46.- Respuesta en potencia de la segunda y tercer armónica NE800299 (Δ -Simulado, ∇ -Medido)

En las gráficas de las **figuras 45 y 46**, se comparan la señal fundamental, segunda y tercera armónica. Con esto se valida el uso del modelo para el diseño y simulación del amplificador.

IV. TEORÍA Y DISEÑO DEL AMPLIFICADOR CLASE A

Este capítulo trata sobre el diseño, simulación, fabricación y caracterización de un amplificador clase A. En la Sección IV.1 se presenta la teoría sobre los amplificadores clase A para microondas, la teoría del diseño de las distintas redes que forman al amplificador se presenta en la sección IV.2 y por último, la sección IV.3 versa sobre el proceso de diseño del amplificador.

IV.1. AMPLIFICADORES CLASE A

Para que un transistor funcione como amplificador, se le tiene que presentar redes de adaptación a la entrada y salida del dispositivo para que este entregue máxima potencia o máxima ganancia o mínima figura de ruido. Estas redes se pueden determinar usando el método de impedancias conjugadas o a través del análisis en potencia por caracterización Load-Pull. Existen diferencias en los resultados usando uno u otro método.

IV.1.1. Comportamiento de los amplificadores Clase A

En un amplificador clase A, el transistor opera en todo el ciclo de la señal de entrada y se mantiene siempre en la región activa, de tal manera que opera como una fuente de corriente controlada por voltaje en la compuerta. El voltaje de drenaje y la corriente de drenaje son (idealmente) de forma sinusoidal. La potencia de salida de un amplificador clase A ideal es $P_o = V_o^2 / 2R$ donde el voltaje de salida V_o no puede exceder el valor máximo de V_{DS} . La potencia en DC es constante y la eficiencia del amplificador es del 50% (ideal) pero generalmente se encuentra entre el 25% Raab *et al.* [2003].

El circuito esta polarizado de tal manera que el transistor siempre está conduciendo y esta operando sobre la parte más lineal de la curva característica, $I(V)$.

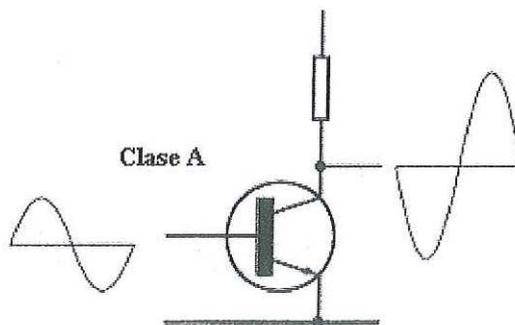


Figura 47.- Amplificador Clase A

La amplificación en un amplificador clase A es de forma lineal, la señal de salida es una replica de la señal de entrada pero con mayor amplitud. Idealmente si la señal de RF es sinusoidal la corriente de salida es también sinusoidal sin componentes armónicos.

Su comportamiento lineal se puede observar de la característica I_{DS} vs V_{GS} (**Figura 48.-**, idealmente, se asume que la región lineal es una línea recta).

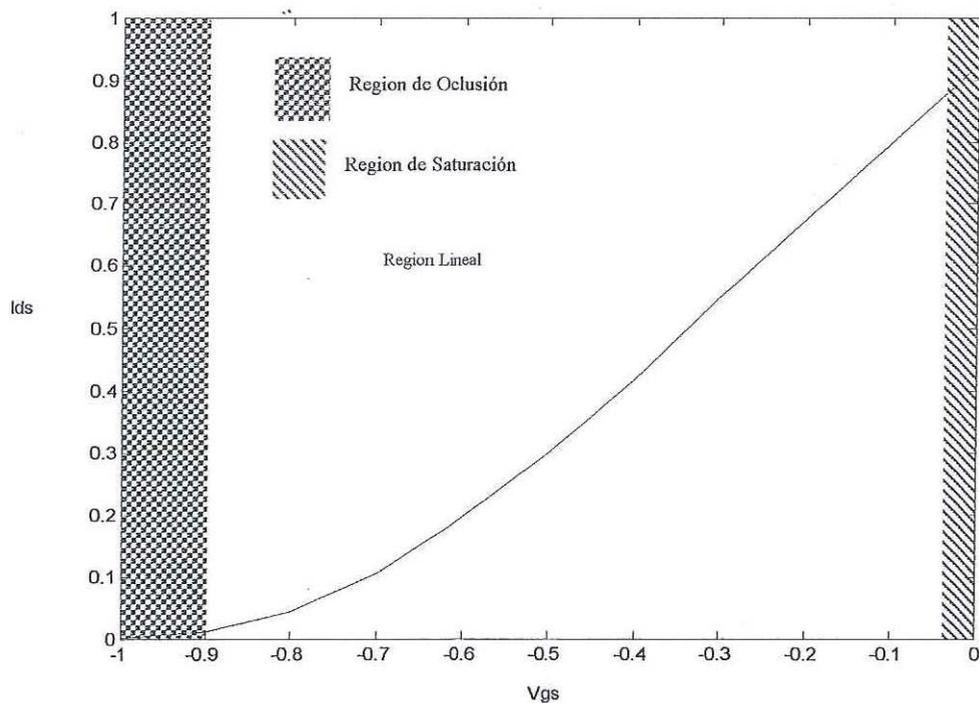


Figura 48.- Linealidad en el transistor graficando V_{GS} vs I_{DS} al punto de operación

Si un amplificador se diseña escogiendo la parte central de la curva como punto de polarización, se considera que el comportamiento será lineal, siempre y cuando la amplitud de la señal de entrada de RF no sea muy grande, Cripps [1999].

En la práctica, la región lineal contiene pequeñas no-linealidades que generan señales armónicas y productos de intermodulación que distorsionan la forma de la recta en la región lineal, como se observa en la **figura 48**.

Los amplificadores clase A se caracterizan por proporcionar la ganancia más alta de cualquier clase de amplificador. Dado por sus pequeñas no-linealidades, el amplificador clase A permite al transistor ser usado a frecuencias cercanas a su capacidad máxima (f_{max}). Sin embargo, la eficiencia es baja. Son típicamente usados en aplicaciones que requieran baja potencia, alta linealidad, alta ganancia, operación de banda ancha u operación de alta frecuencia Raab *et al.* [2003].

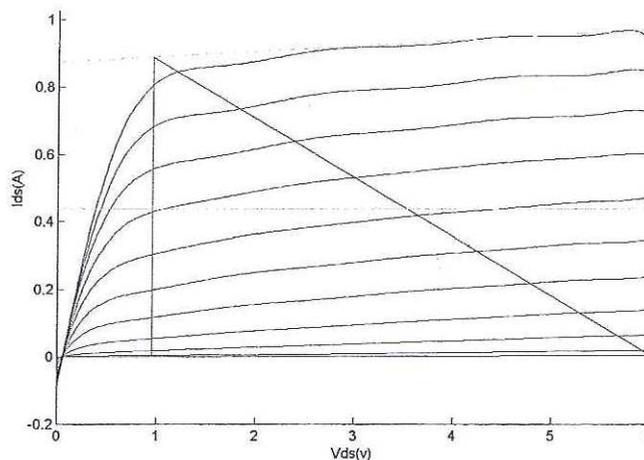


Figura 49.- Recta de carga

La recta de carga para amplificadores clase A se calcula usando la corriente máxima del transistor (I_F), el voltaje de ruptura (Voltaje máximo en V_{DS}) y el voltaje de codo (V_k). Se traza una recta desde el punto de intersección entre I_F y V_k hasta el voltaje

de ruptura en la recta de V_{DS} . Cabe mencionar que la recta de carga obtenida de esta manera es solamente una aproximación.

La eficiencia de un amplificador clase A también depende de la presencia de reactancias a la entrada y a la salida, que en esencia son requeridas para que los amplificadores entreguen mas potencia Raab *et al.* [2003].

La eficiencia (η) nos indica cuanta potencia en DC se transforma en RF y está dado por:

$$\eta = \frac{P_{RF}}{P_{DC}} \times 100 \quad \dots(27)$$

donde P_{RF} es la potencia de salida (P_{OUT}) y P_{IN} es:

$$P_{IN}^{RF} = \frac{P_{OUT}^{RF}}{G} \quad \dots(28)$$

La PAE (Power Added Efficiency) es otra manera de caracterizar la potencia de DC transformada en RF, la forma de calcular PAE es:

$$PAE = \frac{P_{OUT}^{RF} - P_{IN}^{RF}}{P_{DC}} \times 100 \quad \dots(29)$$

sustituyendo la ecuación (28) en (29) se obtiene:

$$PAE = \frac{P_{OUT}^{RF} - \frac{P_{OUT}^{RF}}{G}}{P_{DC}} \times 100 \quad \dots(30)$$

Donde G es la ganancia del amplificador y tanto la eficiencia como la PAE están representados en porcentaje.

Tomando en cuenta que:

$$P_{RF} = \frac{V_{RF}^2}{2R} \quad \dots(31)$$

$$P_{DC} = \frac{V_{DC}^2}{R} \quad \dots(32)$$

y que V_{RF} es igual a V_{DC} para clase A se tiene que:

$$\eta_{\max} = \frac{\frac{V_{RF}^2}{2R}}{\frac{V_{DC}^2}{R}} = \frac{V_{RF}^2}{2V_{DC}^2} = \frac{V_{RF}^2}{2V_{RF}^2} = \frac{V_{RF}}{2} = 50\% \quad \dots(33)$$

de ahí se toma que los amplificadores clase A solo pueden tener una eficiencia máxima del 50%.

IV.1.2. Punto de operación, acoplamiento para ganancia y potencia

Típicamente el punto de 1dB de compresión se define como el punto de referencia que caracteriza a un dispositivo para operar linealmente. Es decir, representa el límite en el cual el amplificador opera linealmente.

En un amplificador lo que más se desea es que opere lo mas lineal posible en un amplio rango de potencia, esto ocurre si el punto de 1dB de compresión es grande. Generalmente, el valor del punto de 1 dB de compresión está dado por el fabricante.

Se considera al punto de 1dB de compresión como un valor fijo, sin embargo, al hacer diferentes acoplamientos, se observan 2 variantes: el acoplamiento para máxima ganancia y el acoplamiento para máxima potencia, en uno se tiene mayor ganancia pero el P_{1dB} es menor y en otro su ganancia será menor pero el P_{1dB} es mayor.

El diseño para máxima ganancia difiere al de máxima potencia. Para máxima ganancia se diseña con las fórmulas clásicas para diseño de amplificadores de RF, usando mediciones en pequeña señal de parámetros S y se usa el cálculo por impedancias conjugadas.

Para el acoplamiento de máxima potencia se usa la recta de carga y dependiendo del punto de operación se calcula una resistencia óptima (R_{opt}). Para el cálculo de R_{opt} se utiliza la siguiente fórmula con los voltajes del punto de operación y voltaje de codo (Cripps[1999]):

$$R_{Lopt} = \frac{V_{DS} - V_k}{I_{ds}} \quad \dots(34)$$

El acoplamiento se hace con la impedancia dada por R_{opt} .

Cabe mencionar que cualquier criterio que se use para el diseño de amplificadores de potencia en RF, el acoplamiento para potencia siempre presentará una diferencia de 2 dB mayor al de ganancia, Cripps [1994].

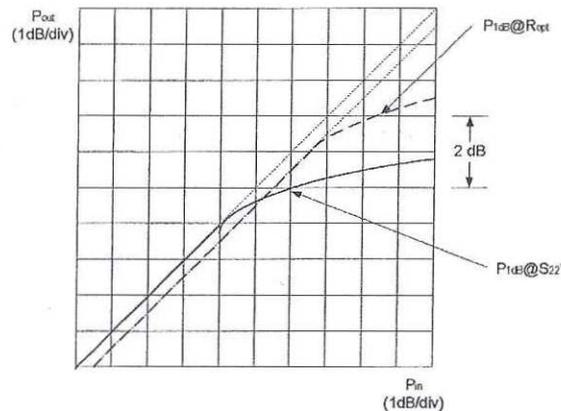


Figura 50.- Gráfica de potencia acoplado a S_{22} y R_{opt}

IV.2. TEORÍA DEL DISEÑO DEL AMPLIFICADOR

IV.2.1. Redes de alimentación

Para las redes de alimentación se usa un diseño elaborado por Wei *et al.* [2001] donde se propone usar una línea delgada de microcinta (alta impedancia) y conectar capacitores en paralelo. En la terminal que conecta la red al dispositivo se puede usar una resistencia pero se puede prescindir de ella sin afectar al funcionamiento de la red.

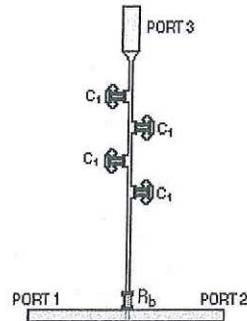


Figura 51.- Stub Wei

La ventaja que presenta la red de la figura 51 sobre el stub radial es que su dimensión física es más pequeña en comparación y presenta una mejor respuesta en ancho de banda que un stub radial [Wei *et al.* 2001].

IV.2.2. Redes de acoplamiento

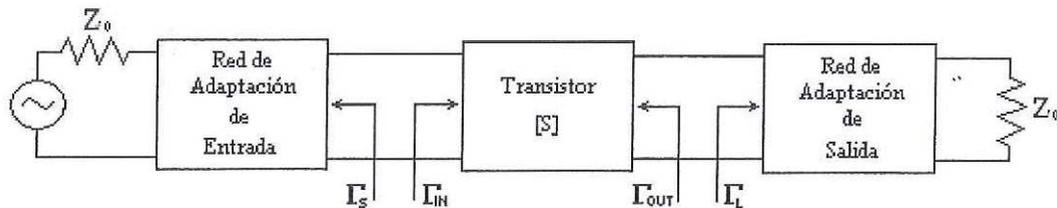


Figura 52.- Diagrama del circuito de un amplificador

Para obtener la máxima transferencia de potencia del generador al transistor y del transistor a la carga las redes de adaptación deben presentar una impedancia igual al complejo conjugado, esto quiere decir que la entrada debe de presentarse con Γ_f^* y en la salida con Γ_c^* conociendo esto y observando la Figura 52 concluimos que:

$$\Gamma_{ent} = \Gamma_f^* \quad \Gamma_{sal} = \Gamma_c^*$$

Los coeficientes de entrada (Γ_{ent}) y de salida (Γ_{sal}) se obtienen utilizando diagramas de flujo y regla de Mason, donde tenemos que:

$$\Gamma_f^* = \Gamma_{ent} = S_{11} + \frac{S_{12}S_{21}\Gamma_c}{1 - S_{22}\Gamma_c} \quad \dots(35)$$

$$\Gamma_c^* = \Gamma_{sal} = S_{22} + \frac{S_{12}S_{21}\Gamma_f}{1 - S_{11}\Gamma_f} \quad \dots(36)$$

Por simple manipulación de las ecuaciones (35) y (36), podemos obtener resultado para Γ_f y Γ_c . Resolviendo para Γ_f se tiene que:

$$\Gamma_f = S_{11}^* + \frac{S_{12}^*S_{21}^*}{1/\Gamma_c^* - S_{22}^*} \quad \dots(37)$$

$$\Gamma_c^* = \frac{S_{22} - \Delta\Gamma_f}{1 - S_{11}\Gamma_f} \quad \dots(38)$$

Sustituimos la ecuación (38) en (39) y se obtiene:

$$\begin{aligned} \Gamma_f(1 - |S_{22}|^2) + \Gamma_f^2(\Delta S_{22}^* - S_{11}) &= \Gamma_f(\Delta S_{11}^*S_{22}^* - |S_{11}|^2 - \Delta S_{12}^*S_{21}^*) \\ + S_{11}^*(1 - |S_{22}|^2) + S_{12}^*S_{21}^*S_{22} & \quad \dots(39) \end{aligned}$$

Tomando en cuenta que:

$$\Delta(S_{11}^*S_{22}^* - S_{21}^*S_{12}^*) = |\Delta|^2 \quad \dots(40)$$

se sustituye la ecuación (40) en (39) y se reduce la ecuación a:

$$(S_{11} - \Delta S_{22}^*)\Gamma_f^2 + (|\Delta|^2 - |S_{11}|^2 + |S_{22}|^2 - 1)\Gamma_f + (S_{11}^* - \Delta S_{22}^*) = 0 \quad \dots(41)$$

Resolviendo la ecuación cuadrática (Pojar[1998]), la solución para Γ_f es:

$$\Gamma_f = \Gamma_{SM} = \frac{B_1 \pm \sqrt{B_1^2 \pm 4(C_1)^2}}{2C_1} \quad \dots(42)$$

De manera similar, se puede resolver para Γ_c de manera que se tiene:

$$\Gamma_c = \Gamma_{LM} = \frac{B_2 \pm \sqrt{B_2^2 \pm 4(C_2)^2}}{2C_2} \quad \dots(43)$$

Las variables B_1 , C_1 , B_2 y C_2 están definidas por:

$$B_1 = 1 + (|S_{11}|)^2 - (|S_{22}|)^2 - (|\Delta|)^2 \quad \dots(44)$$

$$B_2 = 1 - (|S_{11}|)^2 + (|S_{22}|)^2 - (|\Delta|)^2 \quad \dots(45)$$

$$C_1 = S_{11} - \Delta S_{22}^* \quad \dots(46)$$

$$C_2 = S_{22} - \Delta S_{11}^* \quad \dots(47)$$

$$\Delta = S_{11}S_{22} - S_{21}S_{12} \quad \dots(48)$$

Las Impedancias conjugadas se pueden aplicar solamente si el transistor es incondicionalmente estable ($k > 1$), donde la estabilidad (k) se obtiene usando:

$$k = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2S_{21}S_{12}} \quad \dots(49)$$

La impedancia se obtiene con la siguiente conversión:

$$Z = r + jx = \frac{1 + \Gamma_L}{1 - \Gamma_L} \quad \dots(50)$$

Al obtener los valores de las impedancias que se deben de presentar a la entrada y a la salida, se utiliza la carta de smith para acoplar las impedancias de 50Ω a Z_{ent} y Z_{sal} a 50Ω .

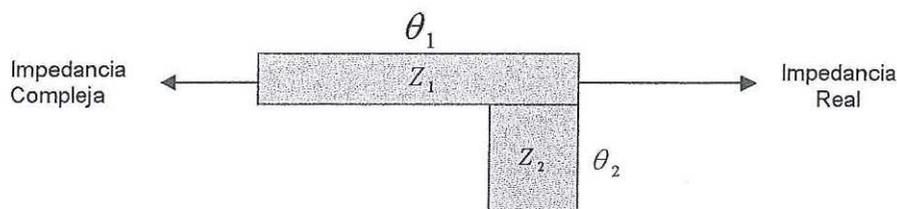


Figura 53.- Acoplamiento de Impedancias

El acoplamiento puede ser realizado solo con 2 stubs (en serie y abierto) como se indica en la **figura 53**. Se realiza el acoplamiento gráficamente como si se buscara una manera de conectar un punto con otro dentro de la carta de Smith.

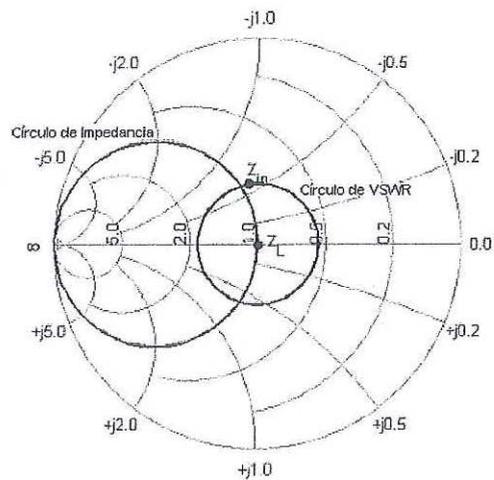


Figura 54.- Círculos de VSWR y de impedancia

Se trazan círculos de VSWR e impedancia como se indica en la **figura 54** para mostrar el camino por donde se pueden conectar los puntos (en este caso, valores de impedancia normalizados).

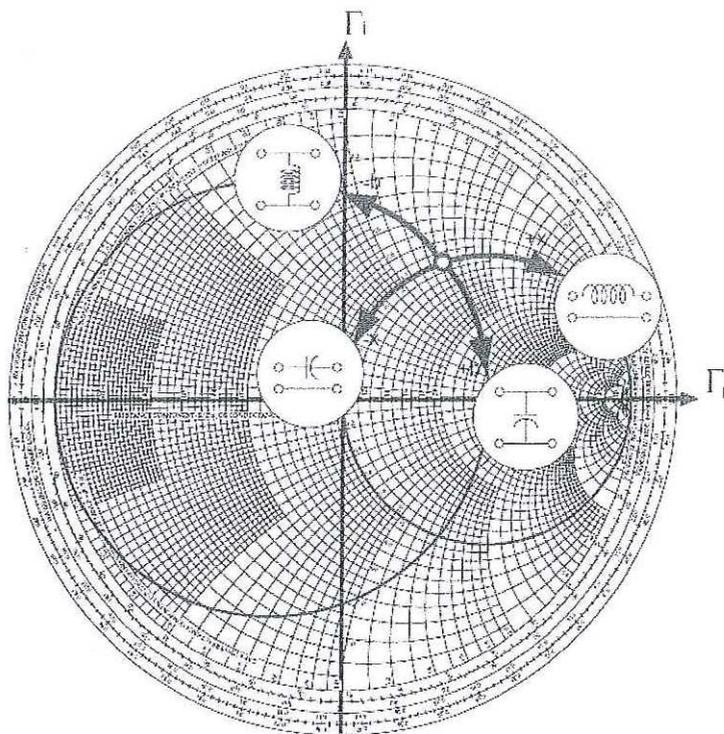


Figura 55.- Acoplamiento por carta de Smith

Como se observa en la **Figura 55**, se pueden tomar diferentes direcciones para llegar de un punto a otro, dependiendo de la dirección que se tome es el componente pasivo que se usa. Para el stub se considera a un capacitor como un stub abierto y un inductor como uno en corto.

El siguiente ejemplo ilustra mejor el acoplamiento de impedancias por carta de Smith. Se busca acoplar una carga: $Z_1 = 11.15 - j5.99$ tomado del transistor NE800299 a una impedancia de 50Ω . Como primer paso, se normaliza el punto Z_1 (dividiendo entre 50Ω) y el resultado se grafica en la carta de Smith, la impedancia de 50Ω también se normaliza y en este caso, se encuentra en el centro de la carta de Smith. Se traza el círculo de VSWR tomando como radio el espaciamiento entre el centro de la carta de Smith y el punto Z_1 , el círculo de impedancia se tomando el círculo de impedancia normalizada de 1 dentro de la carta de Smith, donde el punto A es el punto de intersección entre el círculo de VSWR y el círculo de impedancia.

Una vez trazados los círculos y seleccionado la ruta entre la impedancia de 50Ω y la impedancia Z_1 , se mide la longitud de onda (λ) del stub empezando en dirección hacia el generador (a favor de las manecillas del reloj) y midiendo hasta la curva de reactancia donde el punto A se interfecta, que en este caso el punto de interseccion es en $-j.42$ y por lo tanto la longitud de onda es de 0.186λ . Para el siguiente stub se traza una recta que corte a la carta de Smith pasando por el centro y tocando el punto A y se traza otra recta de igual manera pasando por el centro pero que cruce por el punto Z_1 , una vez trazado las rectas, se mide su longitud de onda donde para este ejemplo es de 0.054λ (**figura 56**), Gonzalez[1984].

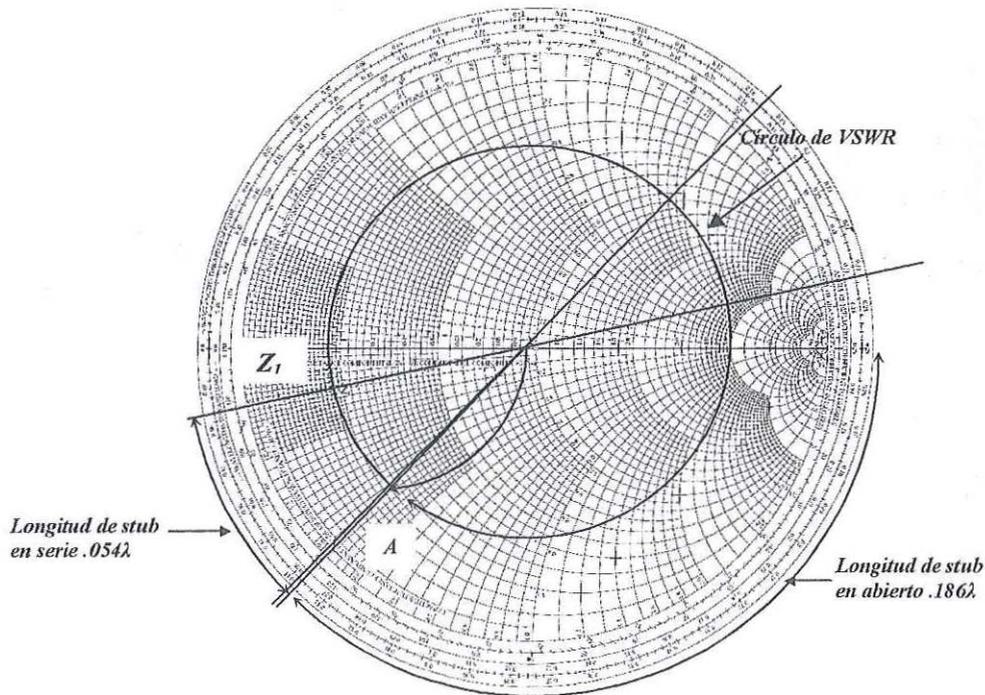


Figura 56.- Acoplamiento de redes por carta de Smith

De acuerdo a la figura 55, tenemos un capacitor en paralelo y un inductor en serie, considerando que un capacitor es un stub abierto y un inductor otro en corto, tenemos que para el ejemplo la impedancia de 50Ω acoplado con un stub abierto, un stub en serie y al final la impedancia Z_1 .

Para determinar las dimensiones físicas de las redes, se necesita saber cual es el material a utilizar (Duroid, FR4, etc...) así como sus propiedades eléctricas, tales como: espesor del cobre, altura del sustrato (h), permitividad relativa (ϵ_r), conductividad, etc...

IV.2.3. Caracterización Load-Pull

Los transistores de potencia son caracterizados por sus grandes voltajes de ruptura y grandes corrientes de saturación. La combinación resultante del voltaje máximo de ruptura con la corriente máxima de saturación dictamina un rango de impedancias de carga a la cual cierta potencia puede ser entregada y a su vez, la impedancia que entrega máxima potencia. Para un amplificador ideal, el contorno resultante de potencia suele ser de forma circular.

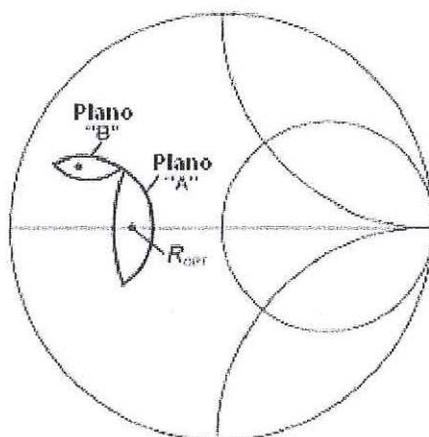


Figura 57.- Respuesta de una medición Load-Pull

En un amplificador real, se debe de hacer un *de-embedding* de las capacitancias parásitas e inductancias de empaquetado eliminando así su efecto en el análisis. Al transformar la impedancia ideal a través de estos elementos (capacitancias e inductancias) ocasionan que el contorno de potencia sea rotado y distorsionado (Figura 57). Con la suma de efectos de segundo orden, los contornos se vuelven elípticos.

Los conjuntos de contornos de load-pull son usados para facilitar los compromisos de diseño. Una variedad de parámetros pueden ser graficados durante el análisis de load-pull, incluyendo no solo potencia y eficiencia sino también distorsión y estabilidad.

El proceso de caracterización de load-pull consiste esencialmente en medir la potencia del dispositivo a una potencia o frecuencia dada (ej. hasta el punto de 1 dB de compresión) como una función de la impedancia de salida. Los datos son medidos en un amplio rango de impedancias y graficadas en la carta de Smith. Dichas gráficas son dependientes de la calibración precisa de los sintonizadores tanto en términos de impedancia como en pérdidas.

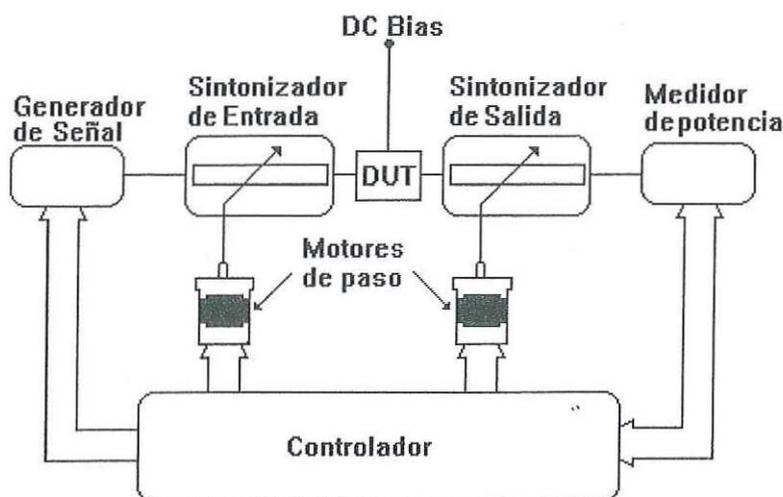


Figura 58.- Esquema básico de un banco de medición para Load-Pull

En la **Figura 58**, se muestra un esquema básico para hacer la medición de Load-Pull. El sintonizador de la entrada solo se mueve una vez y se deja fijo cuando no se encuentren pérdidas por reflexión, el sintonizador de salida es el que hace el barrido de impedancias, Cripps[1999].

IV.3. DISEÑO DEL AMPLIFICADOR

IV.3.1. Diseño de las redes de Adaptación

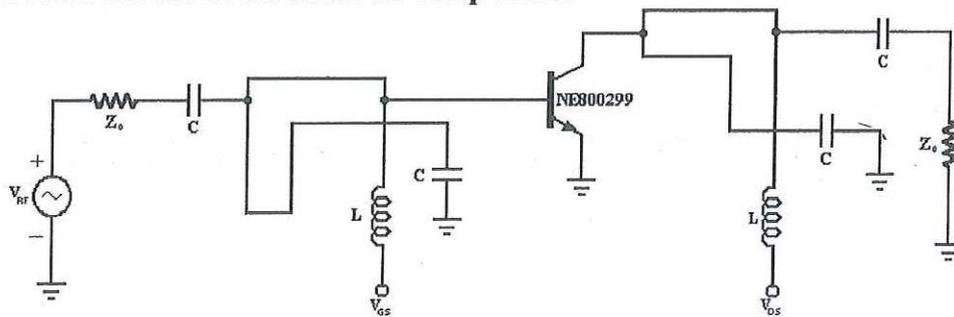


Figura 59.- Circuito básico de un amplificador de microondas

El amplificador clase A se diseña teniendo en mente aplicaciones WLAN (LAN inalámbrico) operando a 5.2 GHz, sin embargo por limitantes en el kit de calibración, se puede trabajar a una frecuencia máxima de 4GHz, en base a esto se hacen los ajustes en el que se usará el transistor NE800299 de mediana potencia para el diseño.

De acuerdo a los cambios, el amplificador tiene que cumplir con las siguientes especificaciones:

- Potencia > 21 dB
- $G > 9$ dB
- ROE V E/S: MAX 1.5:1
- Banda de Frecuencia: 3.8 – 4.2 GHz
- Frecuencia Central: 4 GHz

Donde se trabajará al transistor con los voltajes de polarización de Q_1 ($V_{DS} = 4.5$ v, $V_{GS} = -1$ v), por estar a la mitad de la recta de carga (figura 60) y de esta manera operar al transistor en región lineal.

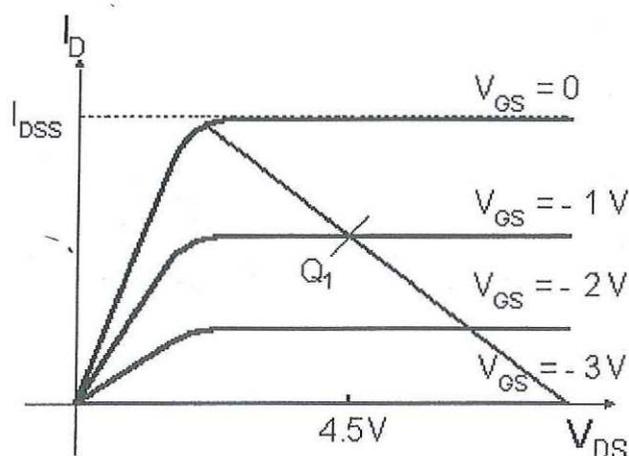


Figura 60.- Recta de carga y punto Q_1

El diseño de las redes, se realizan usando acoplamiento conjugado, por lo tanto se extraen los valores de los parámetros S al punto de polarización del diseño.

Tomando los parámetros S a 4 GHz con el transistor polarizado en el punto Q_1 :

$$\begin{bmatrix} S_{11}(-0.802+j0.304) & S_{12}(.04+j0.003) \\ S_{21}(1.607+j0.53) & S_{22}(-.4+j0.007) \end{bmatrix}$$

Se calcula el factor de estabilidad k usando la ecuación (49), donde a 4 GHz k es igual a 1.215, por lo tanto el transistor es incondicionalmente estable. De aquí se calculan las impedancias de entrada y salida usando la ecuación (50) de impedancias conjugadas, donde tenemos que:

$$Z_{ENT} = 2.43+j8.48 \quad Z_{SAL} = 11.15-j5.99$$

Las redes se hacen en diferentes bloques de ADS, usando *Design Guide* y presentando las impedancias calculadas de los transistores en un lado y del otro una impedancia de 50Ω (simular impedancia del equipo).

Se introducen los valores de Z_{ENT} y Z_{SAL} en sus respectivos bloques y se procede a diseñar las redes de adaptación a la frecuencia de 4 GHz, en la **figura 61a** se muestra el bloque de la red de entrada y la **figura 61b** el de salida.

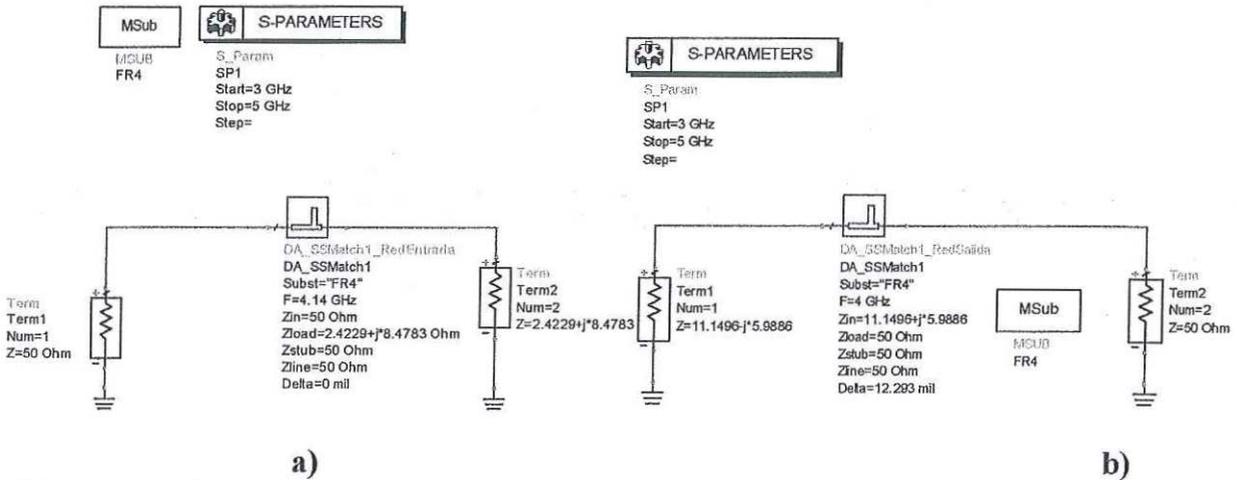


Figura 61.- Bloques del diseño de las redes de adaptación en ADS usando *Design Guide*: a) Red de entrada b) Red de salida de salida

Una vez que tenemos los circuitos como en la **figura 61**, hacemos la síntesis de redes en ADS y así tener los valores físicos de la red como en la **figura 62**.

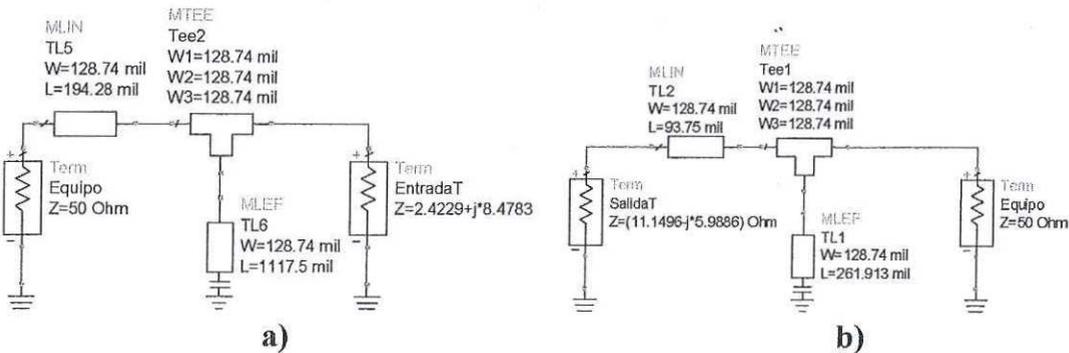


Figura 62.- Bloques de las redes de entrada (a) y salida (b) con valores físicos considerando las propiedades del sustrato FR4.

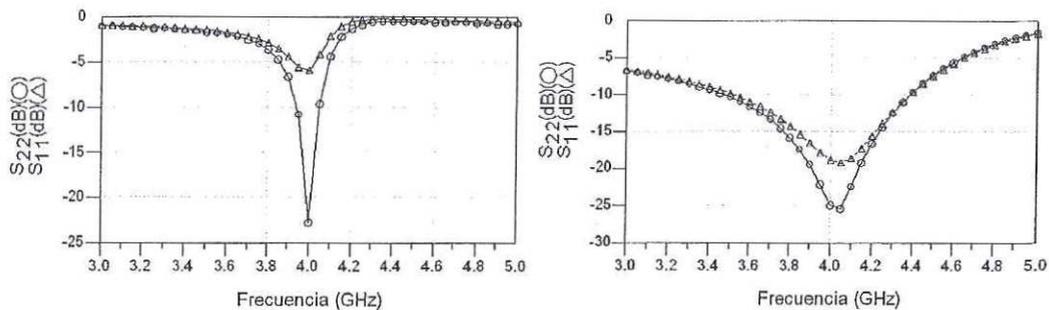


Figura 63.- Respuestas de la red de entrada (a) y red de salida (b)

Se usa como sustrato al material FR4 con una E_r de 4.5 y H de 1.65 mm. Las redes se simulan en ADS para ver su respuesta y como se ve en la **figura 63** se busca que las redes tengan una resonancia cerca de los 4 GHz.

En la **Figura 62** se observan los valores iniciales de las redes de adaptación, con esto podemos usar el modelo no-lineal del transistor para ver su respuesta y de ahí optimizar si es necesario.

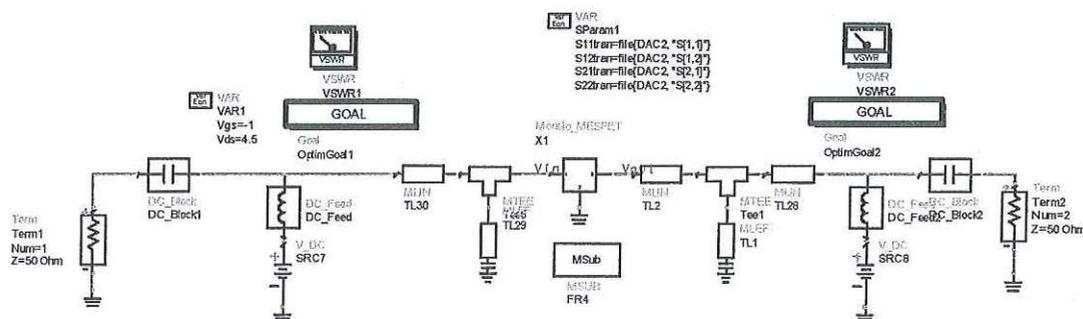


Figura 64.- Esquemático del transistor con redes de adaptación y bloques para optimización

En la **Figura 64** se muestra el esquemático utilizado en la optimización de las redes. Se calculan los VSWR de entrada y de salida para después optimizar las redes de manera que su respuesta en VSWR se encuentre en el rango de 1 a 1.5 a 4 GHz. Cabe mencionar que la optimización solo será en la longitud de las redes y no en el ancho para mantener una impedancia de la línea de 50 Ω ($w = 3.27$ mm).

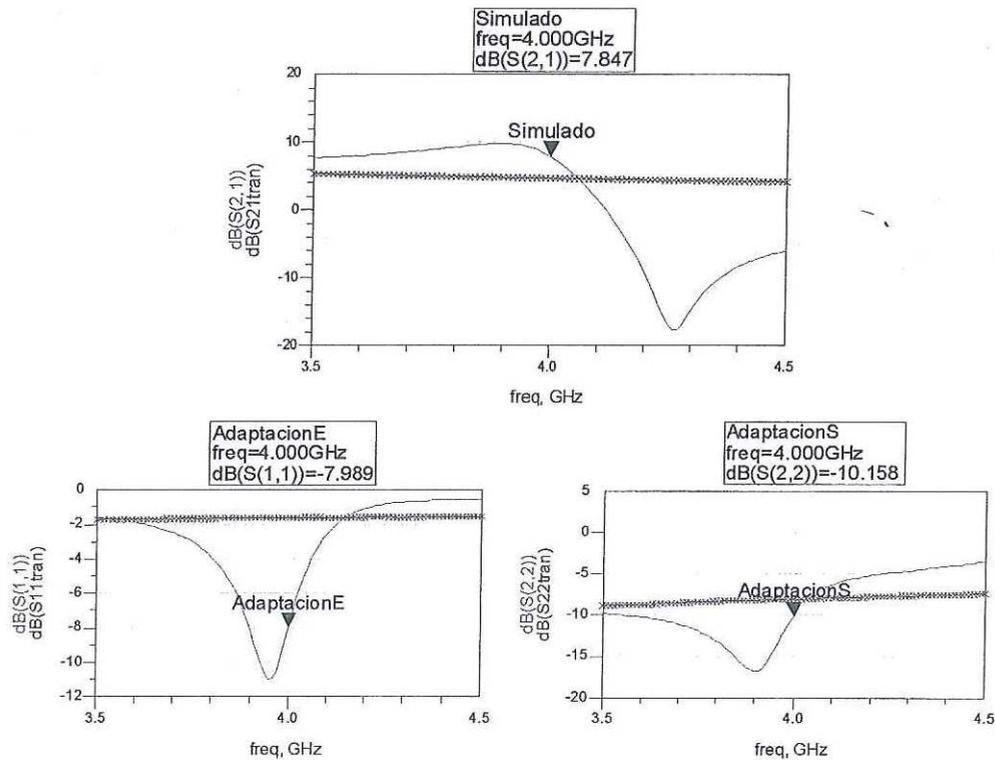


Figura 65.- Respuesta del amplificador en simulación con redes de adaptación (-) Amplificador (*) Transistor

En la **Figura 65** se tiene la respuesta que generan las redes de adaptación sin optimizar con el modelo no-lineal. Se observa de la **figura 65** una ganancia de 7.8 dB a 4 GHz y la respuesta con adaptación. En la **figura 65** se grafica la respuesta del amplificador junto con la respuesta del transistor sin redes de adaptación.

El VSWR se calcula utilizando ADS y para la entrada es de 2.32 y en la salida de 1.9 en 4 GHz. La optimización se hace en la longitud de las redes usando al VSWR como referencia así como se mencionó anteriormente.

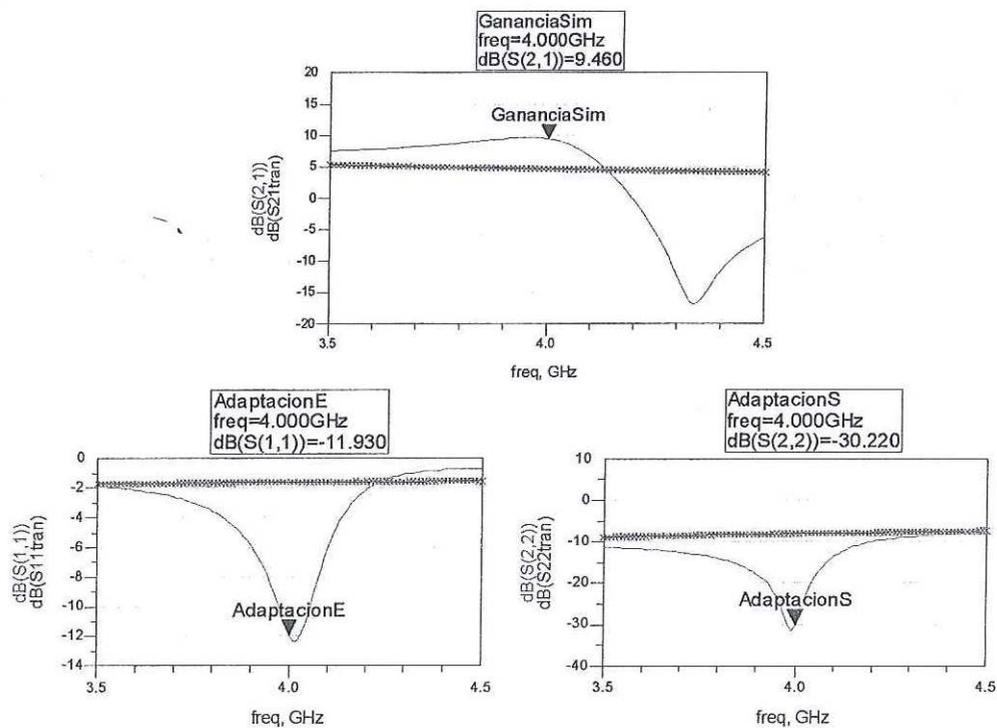


Figura 66.- Respuesta del amplificador en simulación con redes optimizadas (- Amplificador * Transistor)

En la **Figura 66** se muestra el resultado de la optimización de las redes de adaptación, el VSWR calculado en ADS es de 1.678 a la entrada y de 1.064 a la salida. El VSWR de la entrada de 1.67, es el valor mínimo que se puede obtener después de hacer varias optimizaciones.

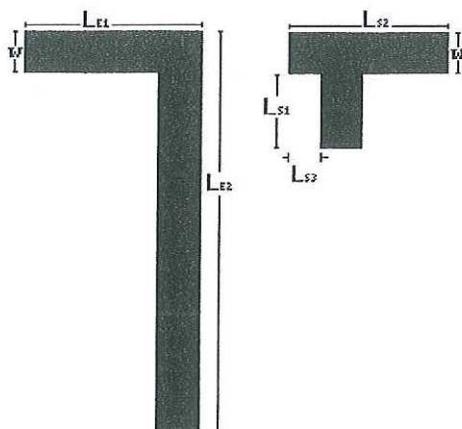


Figura 67.- Redes de adaptación (Entrada/Salida)

En la **Tabla II** se reportan los valores de las dimensiones físicas de las redes optimizadas y la **Figura 67** nos muestra la forma en como están diseñadas las redes.

Tabla II. Valores físicos de las redes de adaptación.

w (mm)	Red de entrada (mm)	Red de salida (mm)
3.27	$L_{E1} = 11.68$	$L_{S1} = 5.7$
	$L_{E2} = 31.14$	$L_{S2} = 9.16$
		$L_{S3} = 2.38$

IV.1.2. Diseño de las redes de alimentación

En el capítulo II se mencionó como las redes de alimentación fueron diseñadas utilizando el método propuesto por Wei *et al.*[2003]. Las redes están diseñadas para presentar una impedancia alta a la frecuencia de 4 GHz ($\sim 100 \Omega$), se usan capacitores para que la señal de RF no dañe a la fuente de alimentación, también se usa una resistencia en la entrada que sirva como un atenuador para reducir el posible paso de la señal de RF hacia la fuente de alimentación.

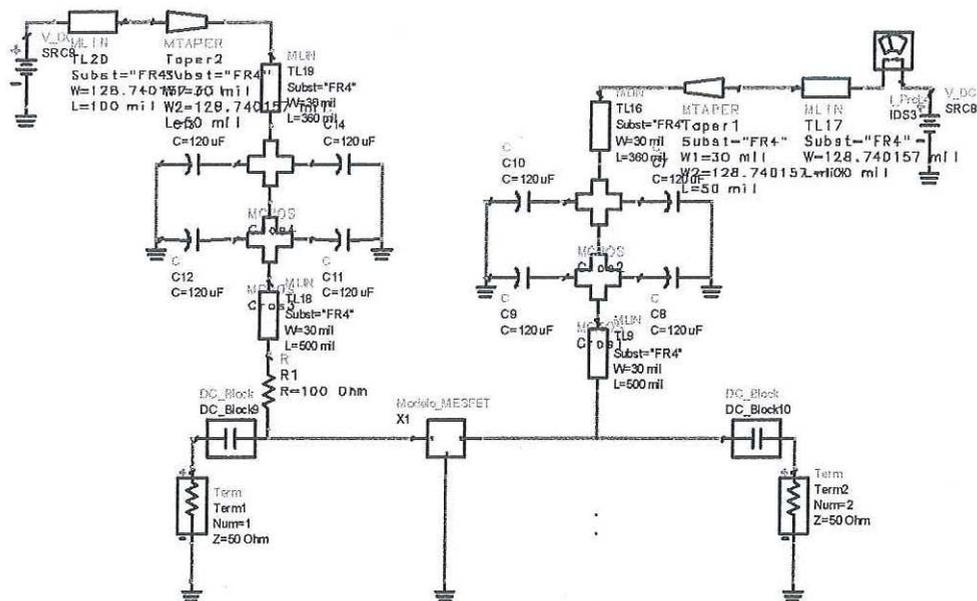


Figura 68.- Esquemático en ADS usando las redes de alimentación Wei

Las redes tienen un ancho de .762 mm que presentan una impedancia de 100Ω a 4 GHz, en la terminal tienen un ancho para una impedancia de 50Ω , esto solo se hace para facilitar la conexión de las fuentes de voltaje. Se pasan las redes a un esquemático en ADS, **figura 68** donde se simulan con el amplificador para comparar sus resultados.

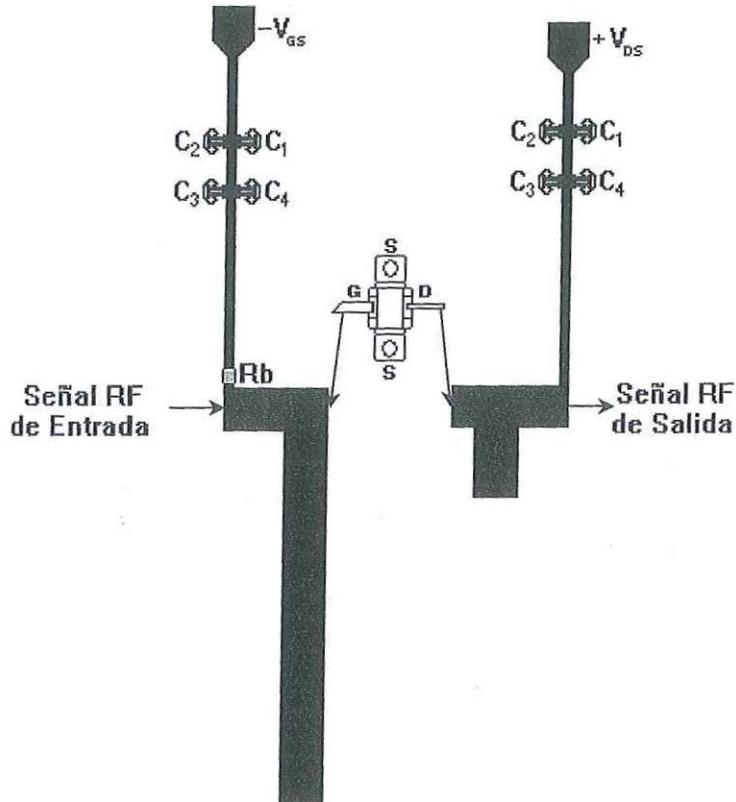


Figura 69.- Redes de adaptación con las redes de alimentación

La **Figura 69** nos muestra la plantilla del amplificador con las redes de alimentación propuestas por Wei.

V. RESULTADOS

En la sección V.1 se presentan los datos obtenidos de las simulaciones del amplificador de los parámetros S y simulación de 1 tono. En la sección V.2 se describe el proceso de fabricación del amplificador clase A, en la sección V.3 se presentan las mediciones obtenidas del amplificador y en la sección V.4 se comparan los datos obtenidos en mediciones y los obtenidos en simulaciones. Por ultimo sección V.5 muestra los resultados obtenidos de la simulación de las redes de alimentación Wei y sección V.6 presenta las simulaciones AM-PM del transistor y amplificador.

V.1 SIMULACIÓN DEL AMPLIFICADOR EN ADS

V.1.1 Simulación de los parámetros S

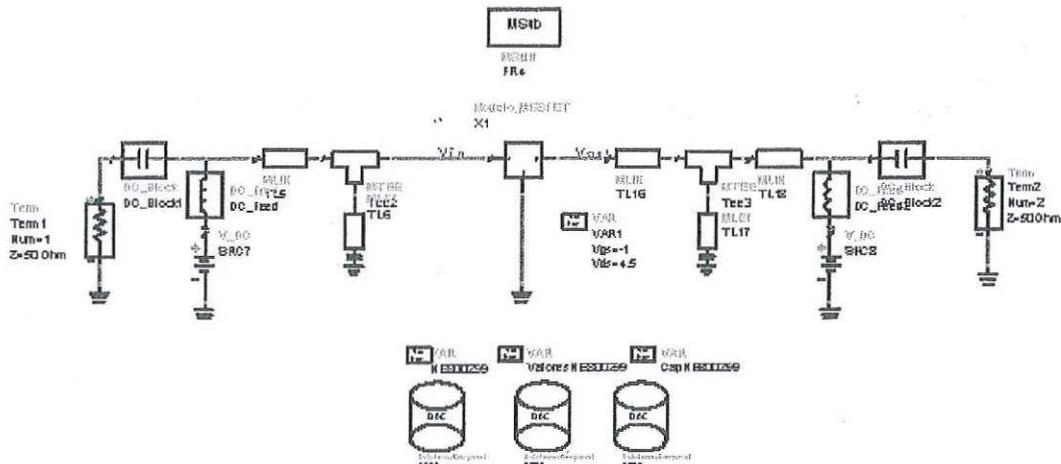


Figura 70.- Bloque de simulación de su respuesta en frecuencia en ADS

Los valores obtenidos de las redes de adaptación se introducen en un nuevo esquemático, se usan redes de alimentación ideales y el mismo modelo del circuito equivalente desarrollado en la sección III, **figura 70**. El punto de operación es el punto Q₁ y el barrido de frecuencia es de .5 a 4.5 GHz.

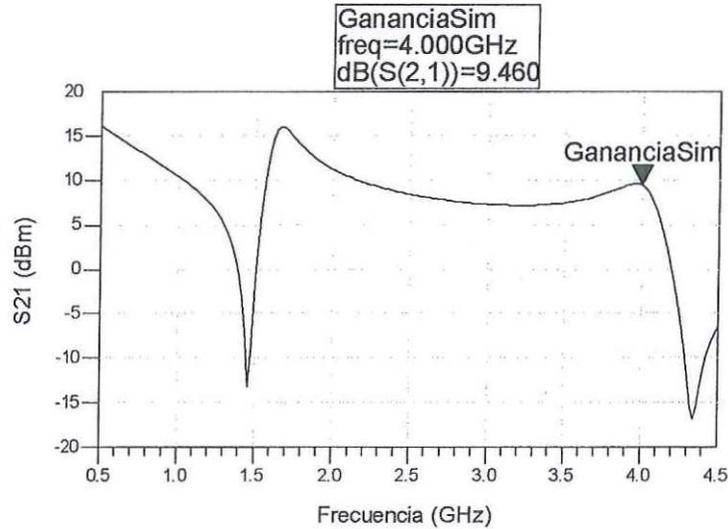


Figura 71.- Respuesta del amplificador en Simulación en S_{21} (G vs f)

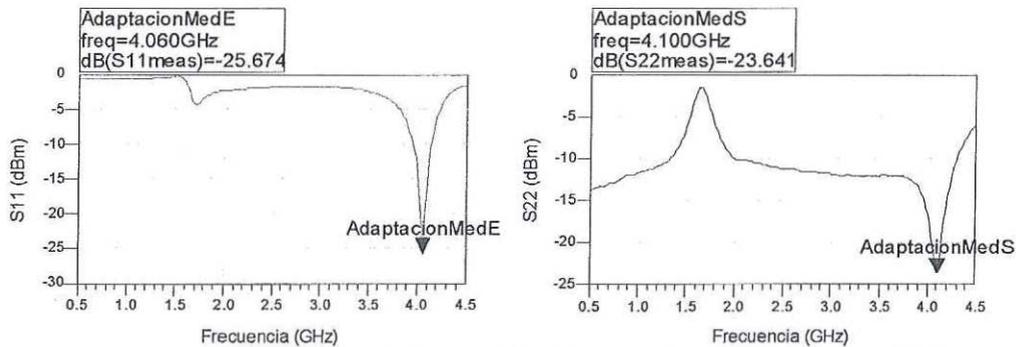


Figura 72.- Respuesta del amplificador en S_{11} y S_{22} (Adaptación)

En las **figuras 71** y **72** se muestra la respuesta del transistor con las redes de adaptación. En la **figura 71** se observa que el amplificador presenta una ganancia de 9.36 dB a 4 GHz, en la **figura 72** se observa la adaptación de las redes de entrada y de salida con una resonancia cercana a 4 GHz. También se grafican los resultados de simulación del transistor sin redes de adaptación, esto es para observar la respuesta que tiene el transistor cuando se agregan las redes de adaptación.

V.1.2. Simulación en potencia

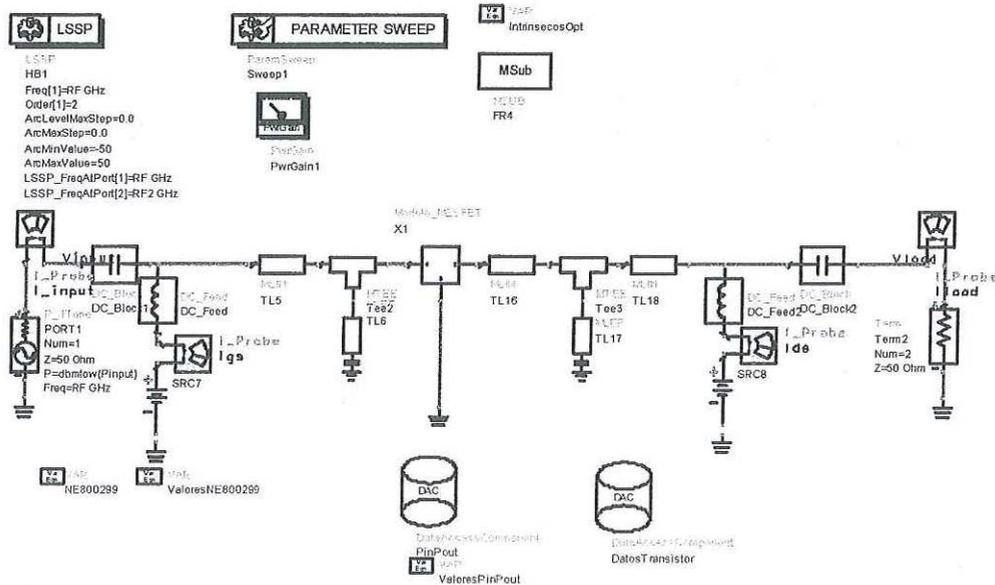


Figura 73.- Bloque de simulación en potencia en ADS

En la figura 73 se muestra el esquemático en ADS para la simulación en gran señal.

El barrido en la potencia de entrada (P_{IN}) se hace desde -12 dB hasta 24 dB a la frecuencia de 4 GHz, la potencia de salida de la señal fundamental y la ganancia obtenida, se representan en la figura 74.

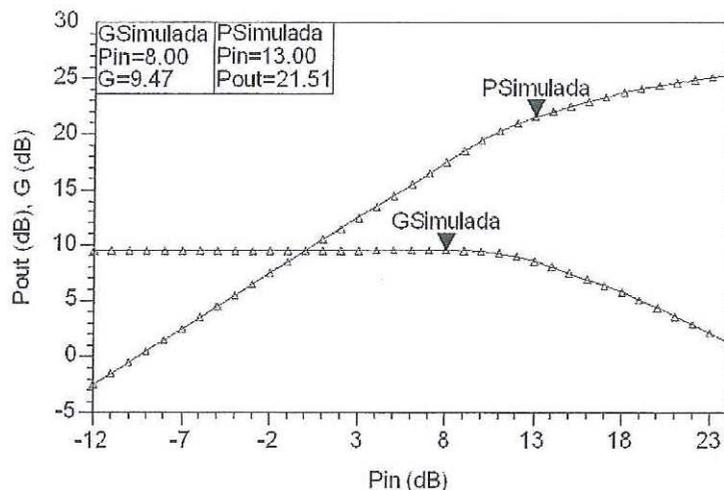


Figura 74.- Respuesta del amplificador en Potencia (Simulación)

Tanto como en la simulación de los parámetros S y en la **figura 74** se observa que la ganancia esta en 9.4 dB aproximadamente. El P_{1dB} se encuentra por 21 dB simulado.

V.2 FABRICACIÓN DEL AMPLIFICADOR CLASE A

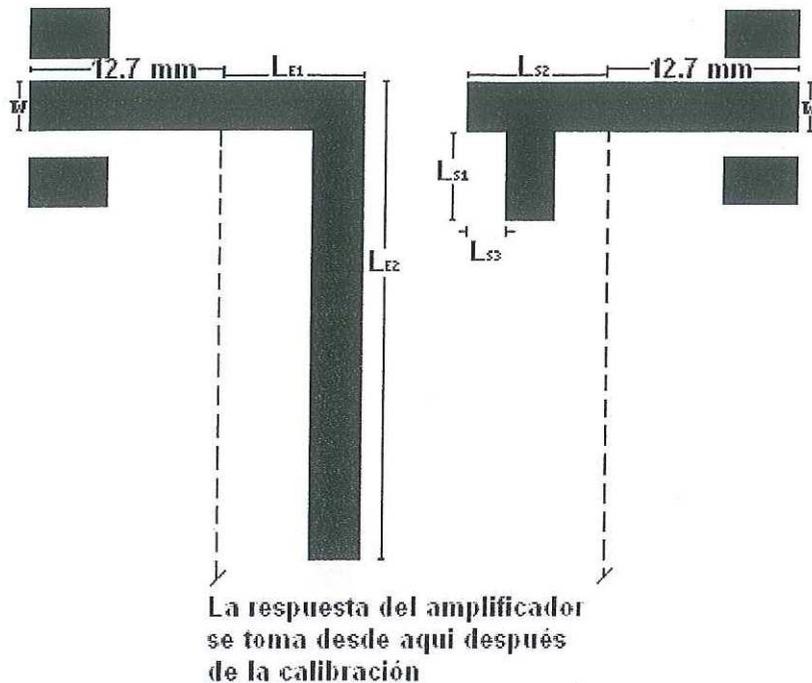


Figura 75.- Valores físicos de la red

V.2.1. Fabricación de las redes de acoplamiento

Las redes se diseñan tomando en cuenta la longitud del Thru utilizado en el kit de calibración y base de prueba (25.4 mm), por lo tanto, a los valores de L_{E1} y L_{S2} se les suma 12.7 mm a su valor inicial a cada lado como se indica en la **figura 75**. Dentro de ADS, en la sección de Layout se imprimen las plantillas para la fabricación, se imprimen a escala 1:1 en una impresora láser sobre papel transparente.

Las redes de adaptación se fabrican utilizando el sustrato FR4 cuyas propiedades se presentan en la **Tabla III**.

Tabla III. Propiedades Eléctricas del sustrato FR4

Propiedades Eléctricas (FR4)	Valores
Espesor del sustrato (h)	1.65 mm
Permitividad Relativa (ϵ_r)	4.25 F/m
Permeabilidad Relativa (μ)	1
Conductividad del cobre (δ)	5.88×10^7 S/m
Grosor del conductor (T)	.034 mm
Coefficiente de perdidas tangenciales ($\tan\delta$)	0.016

En el proceso de fabricación de las redes de adaptación, las placas de cobre se limpian y pulen para quitar cualquier impureza que tengan. La placa se posiciona en la máquina de centrifugado que se muestra en la **figura 76** sobre una base de aluminio que se fija por medio de vacío, de tal manera que la placa quede fija al momento de hacerla girar. Cuando la placa esta en posición se añaden de 2 a 3 gotas de una solución de fotoresist (solución sensible a luz ultravioleta) hasta cubrir toda la placa, después se hace girar la placa por unos segundos para que la solución se deposite de manera uniforme. El tiempo de giro debe de ser solo por unos segundos.

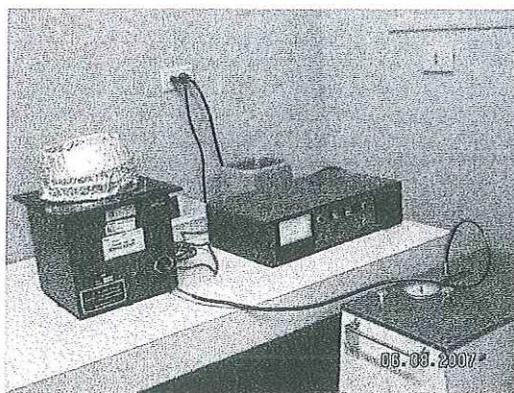


Figura 76.- Motor de Centrifuga con tubo al vacío para la sensibilización de placas

La placa de cobre se pasa a un horno de recocido donde se deja por unos 5 minutos aproximadamente (**Figura 77**). Aquí es importante que se trabaje en una atmósfera limpia, ya que cualquier partícula de polvo que caiga sobre la placa puede arruinar la fabricación de las redes de adaptación.



Figura 77.- Horno de recocido para la fabricación de placas

A la placa sensibilizada se le expone a luz ultravioleta con el dibujo de las redes, esto se hace colocando las plantillas encima de la placa sensibilizada. Esto se hace por unos cuantos minutos usando el montaje de la **figura 78**.



Figura 78.- Montaje de Exposición de luz ultravioleta

Usando Hidróxido de Sodio (NaOH) como revelador se remueve el fotoresist de las partes expuestas a la luz ultravioleta, dejando una capa delgada de la solución con la figura

del circuito. Al final, se baña a la placa con Cloruro Férrico (FeCl_3) por unos minutos para remover el cobre y dejar las redes expuestas.

Se pulen los extremos de las placas y se soldan conectores de 3.5 mm a los extremos, dichos conectores se aterrizan con vías a tierra como se observa en la **figura 79**.

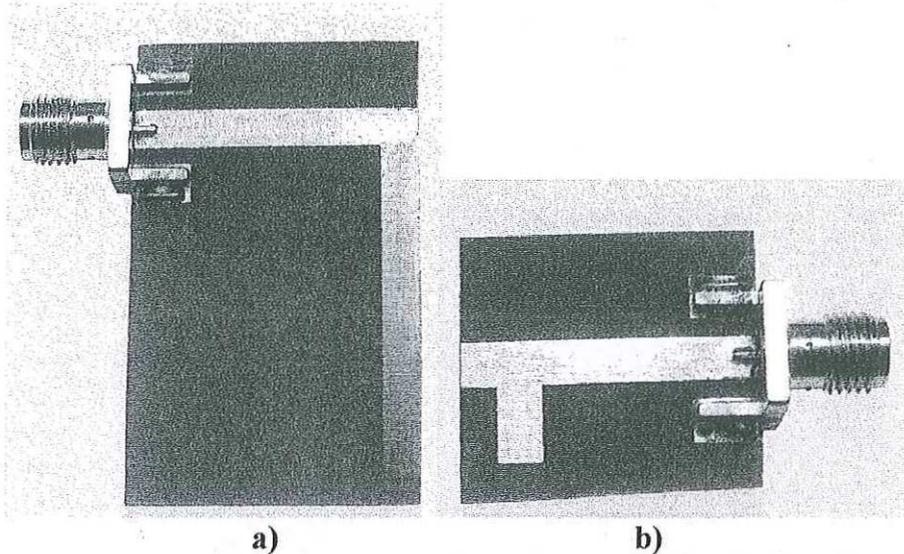


Figura 79.- Redes de adaptación de Entrada (a) y Salida (b)

Con las redes fabricadas, hacemos la comparación de los valores de las dimensiones físicas de las redes de adaptación a los valores presentados en la **Tabla II (Figura 67)**.

Tabla IV. Comparación de las dimensiones de redes fabricadas y simuladas

(mm)	Valor Calculado	Valor Físico	Error (%)
w	128.74	3.3	0.9 %
L_{E1}	11.68	11.55	1.06 %
L_{E2}	31.14	31.39	0.81 %
L_{S1}	5.7	5.85	2.7 %
L_{S2}	9.16	9.52	4 %
L_{S3}	2.38	2.66	12 %

V.3. CARACTERIZACIÓN DEL AMPLIFICADOR

Las redes se ensamblan en un disipador de cobre de manera que el transistor queda montado en el centro (**Figura 80**). Las mediciones se hacen con el banco de medición automatizado presentado en el capítulo III (**Figura 21**).

Se hace una medición de parámetros S tomada desde .5 hasta 4.5 GHz al punto Q_1 . Se atenúa la señal de salida en el puerto 2 con una atenuación de 20 dB, programado en el VNA.

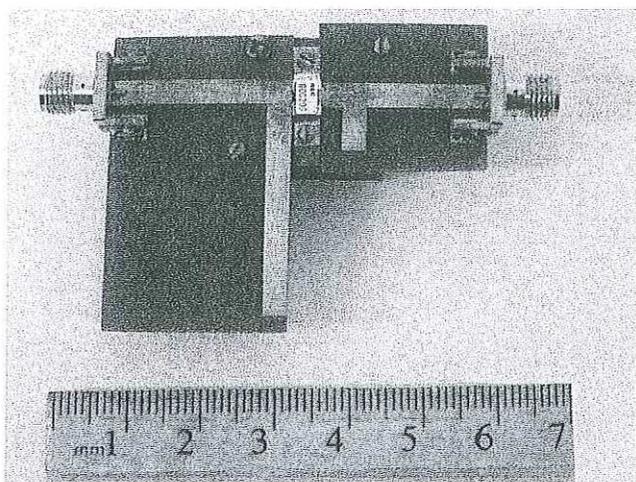


Figura 80.- Amplificador clase A

V.3.1. Medición de parámetros S

Los datos medidos del kit de calibración se utilizan para corregir los errores sistemáticos del analizador de redes, mover el plano de referencia y caracterizar el amplificador desde las redes de adaptación como se indica en la **figura 75**.

Como se mencionó en el capítulo III (pag. 26), la calibración se hace por medio de un programa de computadora (LIMCAL); cabe mencionar que a pesar de que las mediciones de parámetros S del kit de calibración y del amplificador son independientes,

estos deben de hacerse en la misma sesión de medida, ya que de no ser así los errores de conmutación serán distintos y no podrán ser debidamente corregidos.

Los datos medidos tanto del amplificador como del kit de calibración se guardan en una computadora y la calibración se realiza con el programa de Limcal.

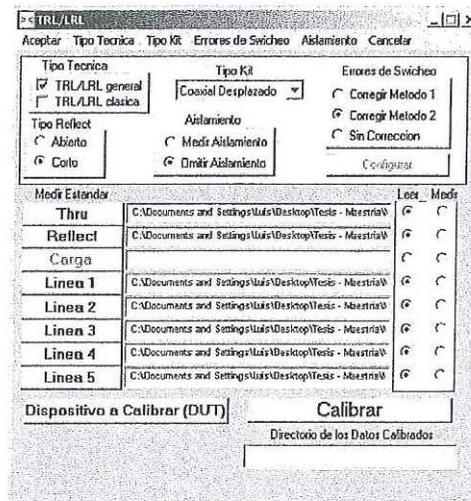


Figura 81.- Ventana de calibración de Limcal

Después de hacer la calibración externa utilizando Limcal, se pueden desplegar los resultados y guardarse en un archivo de texto (con formato Touchstone). Posteriormente se leen y se grafican en ADS para poder hacer una comparación de los datos medidos y simulados.

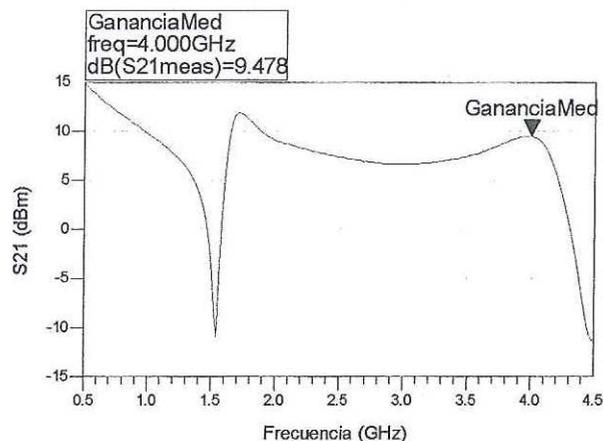


Figura 82.- Respuesta física del amplificador en S_{21} (G vs f)

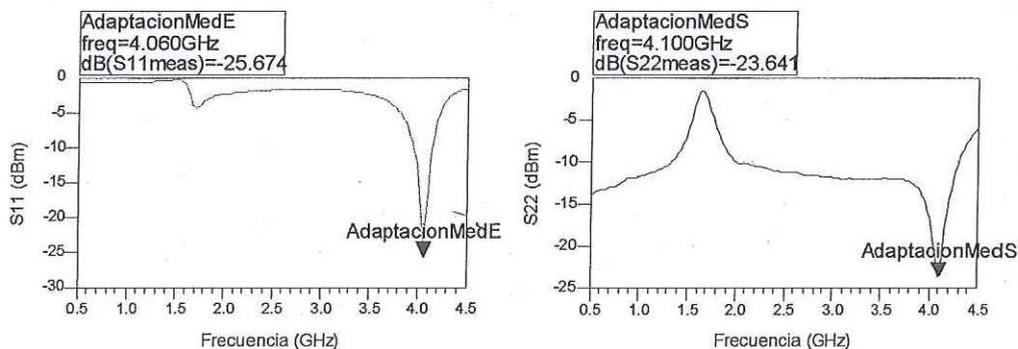


Figura 83.- Respuesta del amplificador en S_{11} y S_{22} (Adaptación)

Las **figuras 82 y 83** muestran la respuesta del amplificador medido. La ganancia del amplificador es de 9.45 dB mostrado en la **figura 82**, la resonancia presentada por las redes esta cerca de la frecuencia de diseño como se indica en las gráficas de la **figura 83**.

V.3.2. Medición AM-AM de 1 tono

Para caracterizar las respuestas de potencia del amplificador se efectuaron mediciones AM-AM de 1 tono utilizando el banco de medición de 1 tono presentado en el capítulo III (**Figura 44**).

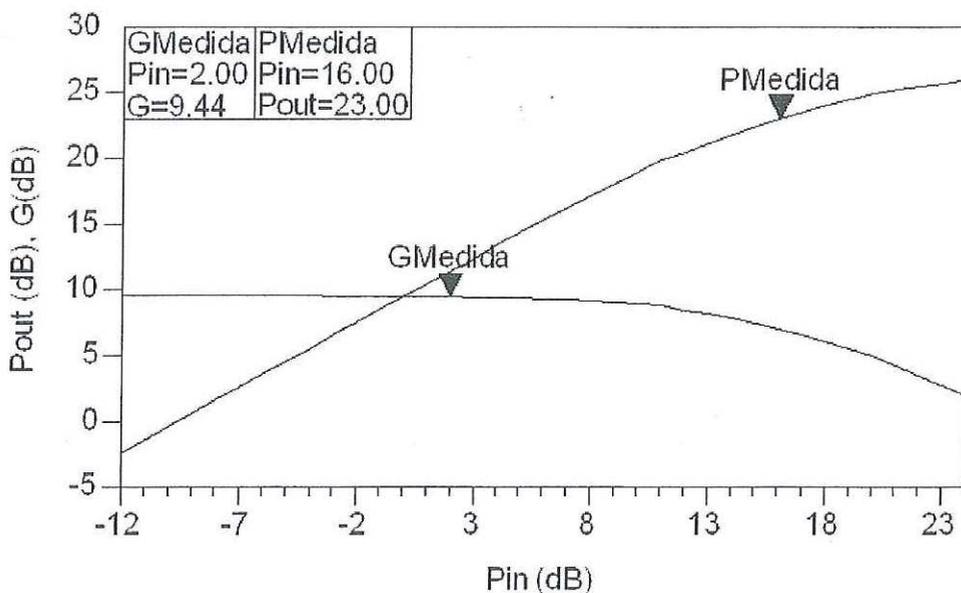


Figura 84.- Respuesta del amplificador Potencia

En la **figura 84** se observa una ganancia de 9.46 dB a 4 GHz con los datos medidos y el P_{1dB} en 21 dB aproximadamente.

V.4. COMPARACIÓN DE DATOS MEDIDOS Y SIMULADOS

En ADS se grafican los datos medidos y se comparan con los resultados de la simulación del amplificador.

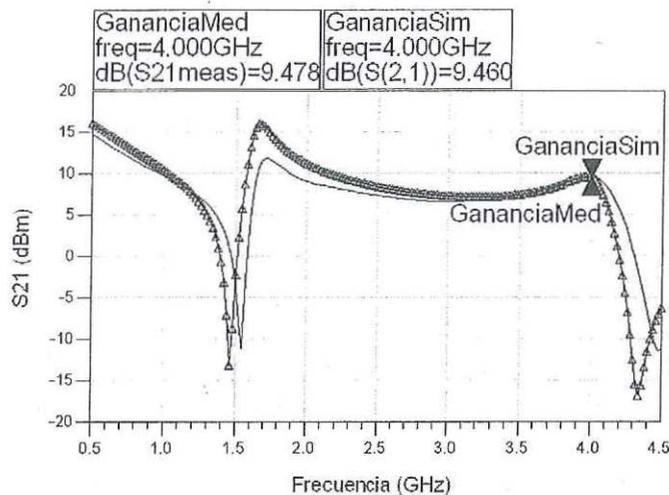


Figura 85.- Respuesta del amplificador en S_{21} (G vs f) (Δ Simulado, - Medido)

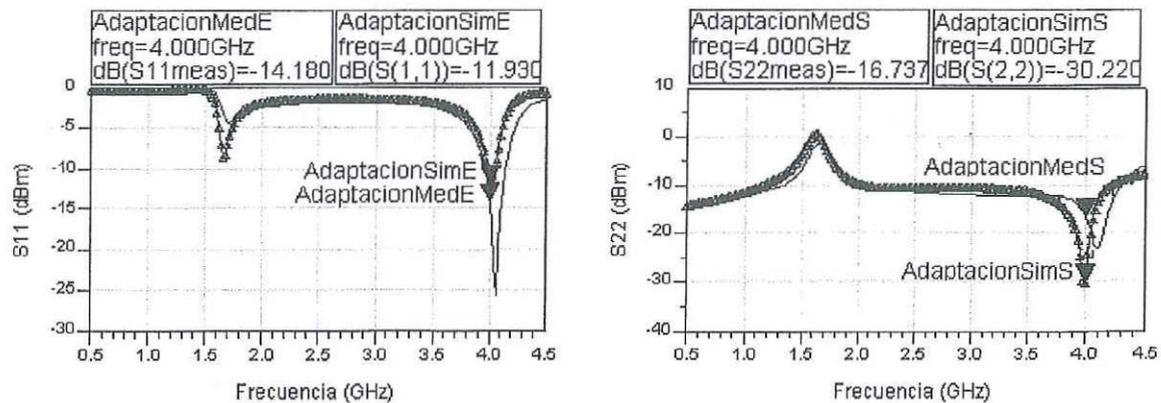


Figura 86.- Respuesta del amplificador en S_{11} y S_{22} (Adaptación) (Δ Simulado, - Medido)

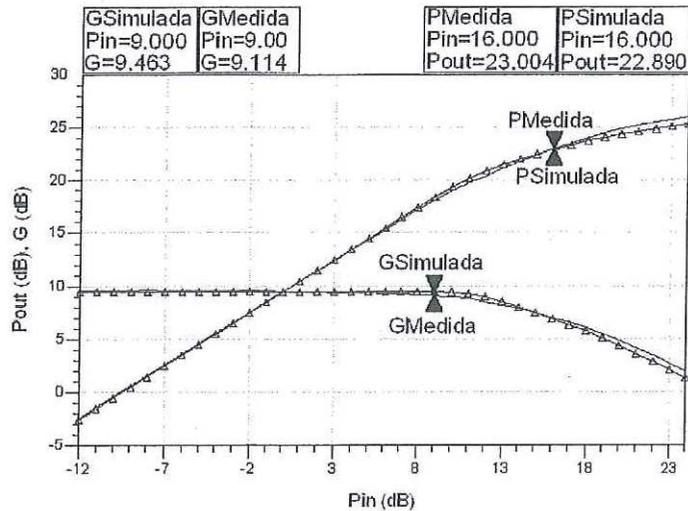


Figura 87.- Respuesta del amplificador Potencia (- Simulado, Δ Medido)

En las figuras 85 al 87 se muestra que los datos experimentales coinciden con las simulaciones. El amplificador esta generando una ganancia de 9.4 dB y el P_{1dB} se encuentra en 21 dB aproximadamente.

Se calcula la PAE del amplificador dentro de ADS con los datos simulados usando las siguientes fórmulas:

$$P_{DC} = |\text{Re}(V_{GS}) * \text{Re}(I_{DS}) + \text{Re}(V_{DS}) * \text{Re}(I_{DS})| + 1 \times 10^{-20} \quad \dots(51)$$

$$PAE = \frac{P_{OUT} - P_{OUT}/G}{P_{DC}} \quad \dots(52)$$

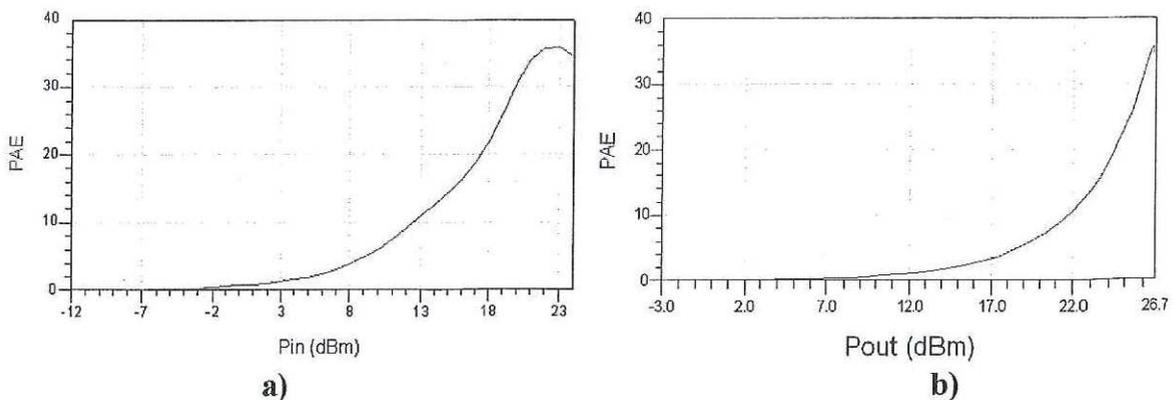


Figura 88.- PAE con datos simulados a) PAE vs Pin b) PAE vs Pout

La **figura 88** nos muestra que la PAE del amplificador se encuentra arriba del 30% cercano al punto de 1 dB de compresión. En la ecuación (51) se le suma 1×10^{-20} para evitar que en la ecuación (52) se divida entre 0. En la Tabla V se comparan los

Tabla V. Tabla Comparativa de las especificaciones del amplificador y los resultados obtenidos por medición y simulación

Especificaciones	Simulación		Amplificador	
	Entrada	Salida	Entrada	Salida
Ganancia (G) mayor a 9 dB	9.46 dB		9.54 dB	
Banda de Frecuencia: 3.8 – 4.2 GHz	3.5 – 4.12 GHz		3.5 – 4.2 GHz	
Frecuencia Central: 4 GHz	4 GHz		4 GHz	
VSWR (1:1.5)	Entrada	Salida	Entrada	Salida
	1.7 dB	1.1 dB	1.5 dB	1.3 dB
Potencia de salida (P_{1dB}) a 21 dB	21 dB		21 dB	

V.5. RESPUESTA EN ANCHO DE BANDA DE LA RED WEI

En el capítulo IV, se presentó un esquemático con el diseño de una red de alimentación para el amplificador utilizando la teoría propuesta por Wei [2001]. Se simulan las redes con el transistor para ver sus efectos y así analizar la respuesta en ancho de banda. Primero se analiza la respuesta del transistor usando redes de alimentación ideales, de esta manera se comparan esos datos con las redes de alimentación propuestas por Wei.

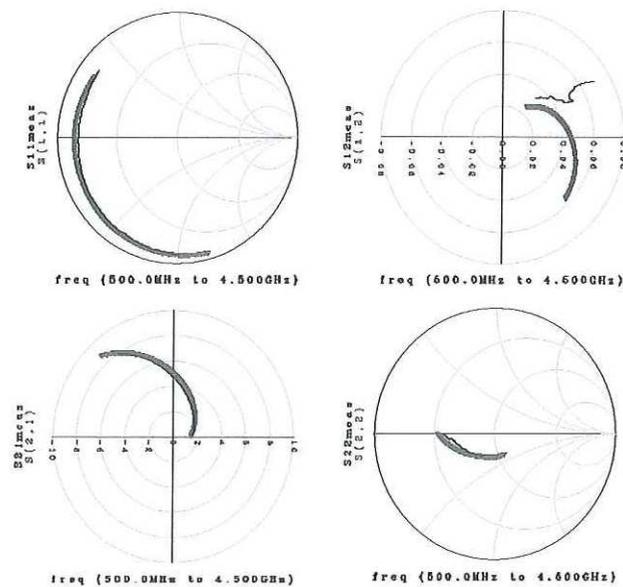


Figura 89.- Respuesta en parámetros S del transistor usando redes ideales (* Simulación, - Medición)

En la **figura 89**, se observa la respuesta del transistor a un punto de operación, con un barrido en frecuencia de 0.5 a 4.5 GHz, la línea gruesa es la respuesta del modelo y la línea delgada es una medición del transistor. Usando el esquemático de la sección IV.1.2 se sustituyen las redes ideales por las redes Wei.

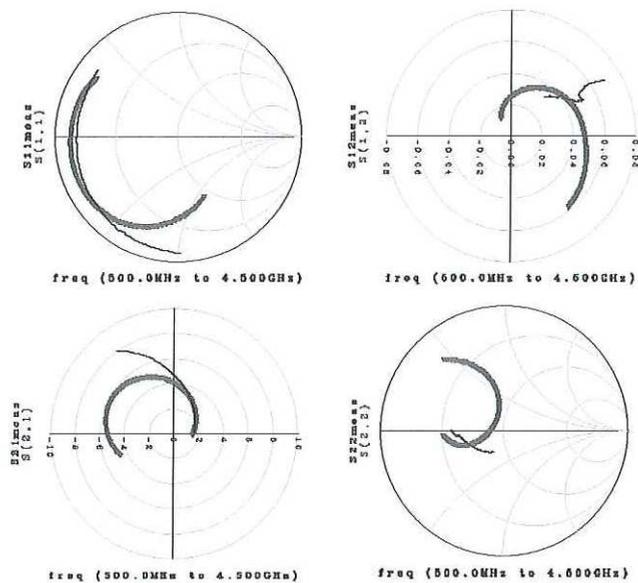


Figura 90.- Respuesta en parámetros S del transistor usando redes Wei (* Simulación, - Medición)

En la **figura 90**, se observa una desviación en los parámetros S, a simple vista las redes no parecen funcionar, sin embargo se observa que a baja frecuencia es donde ocurren las discrepancias. Se concluye entonces, que las redes Wei[2003] influyen en la respuesta del transistor a bajas frecuencias.

Las redes fueron diseñadas para presentar alta impedancia a 4 GHz, pero a más baja frecuencia esa impedancia se disminuye y se aproxima a los 50Ω , por lo que se ven pérdidas en la señal.

De acuerdo a Wei *et.al* [2001] las redes operan en un ancho de banda amplio, sin embargo, no es posible que trabajen en un ancho de banda similar a redes ideales. Por otra parte, si se observan las respuestas de la **figura 90** nuevamente, se puede notar que en cierto rango de frecuencias las redes de alimentación de Wei *et.al* [2001] operan razonablemente. Este rango se encuentra entre los 2.5 GHz y 4.5 GHz y se tiene que las redes trabajan en un ancho de banda aproximado a los 2.5 GHz. Para la aplicación de esta tesis, dicho rango es más que suficiente para su funcionamiento, como se observa en la **figura 91**.

Las redes se simulan solamente y no se implementan en la fabricación del amplificador por la razón de que se manejan Tees de polarización en las mediciones, sin embargo, si se requiere fabricar al amplificador de manera que funcione como un dispositivo independiente de componentes adicionales, las redes de alimentación aquí presentadas pueden ser usadas de forma confiable.

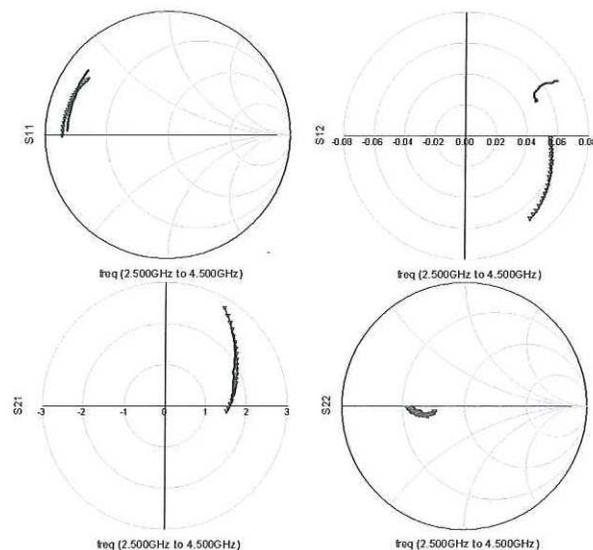


Figura 91.- Respuesta en parámetros S del transistor usando redes Wei en el rango de 2.5 a 4.5 GHz (* Simulación, - Medición)

V.6. SIMULACIÓN DE AM-AM Y AM-PM

De acuerdo con la teoría, las no-linealidades del transistor que se presentan cuando éste es excitado a gran señal, ocasiona la generación de n armónicos a la señal de salida, donde el número de armónicos que afectan a la señal se miden con un analizador de espectros. En el programa de ADS se puede limitar el número de armónicos a considerar en la señal de salida.

Se hacen las simulaciones usando el modelo no-lineal, se analizan los armónicos y se ve su respuesta en la fase. Todas las simulaciones se desarrollan para un mismo punto de operación y la potencia de entrada (P_{IN}) se considera desde -12 a 24 dBm en P_{IN} , se hacen 2 barridos: uno de -12 a 10 dBm con pasos de 1 dBm y el otro de 10.1 a 24 dBm con pasos de .3 dBm. Esto es para dar más puntos al final de las curvas y tener más precisión sin tener que simular tantos puntos en todo el barrido de potencia.

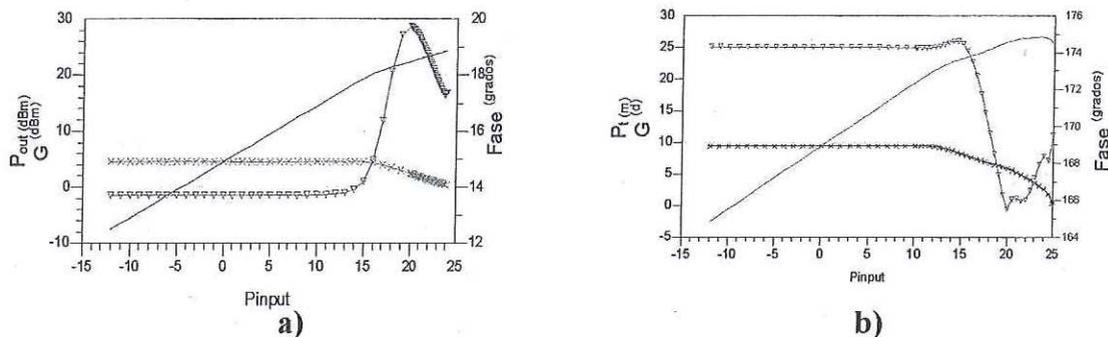


Figura 92.- Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de segundo orden (- Pout, × Ganancia, Δ Fase)

Se simula la magnitud y fase de la señal de salida y ganancia del transistor solo y del amplificador. Las 3 respuestas se presentan en una misma figura y se estudian los efectos que tienen en éstos el considerar pocos armónicos a la salida.

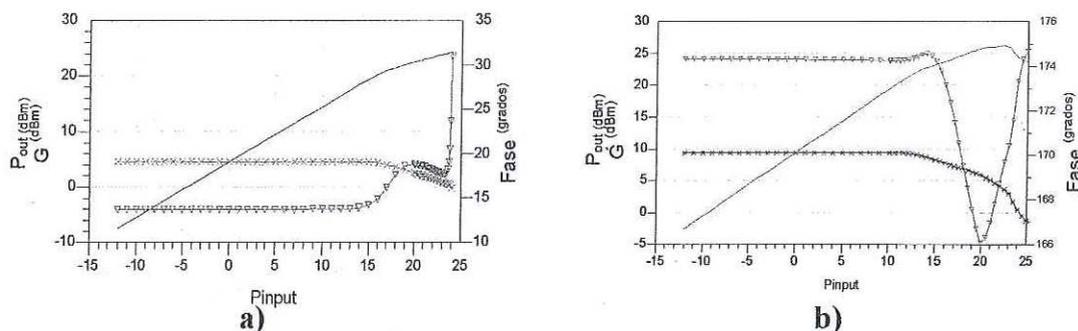


Figura 93.- Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de tercer orden (- Pout, × Ganancia, Δ Fase)

Como se observa en las **figuras 92 y 93** se ve un cambio en la fase tanto del amplificador como del transistor al considerar más armónicos, en la amplitud de la potencia de salida y la ganancia no se observa ningún cambio notable.

Se Simula ahora con más armónicos, considerando hasta 5 armónicos.

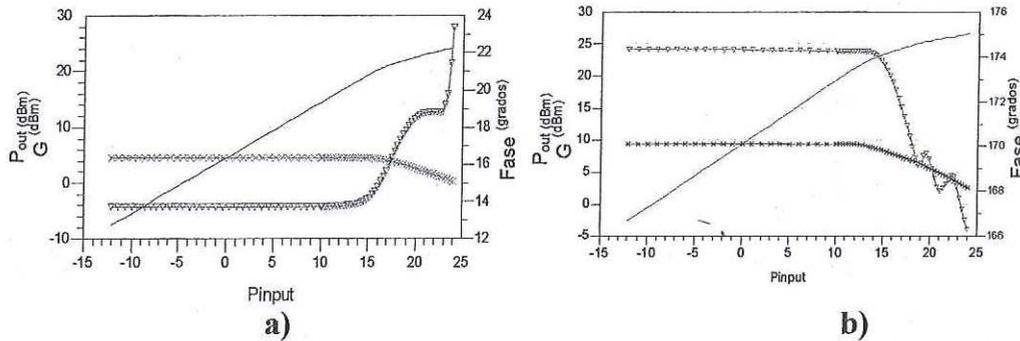


Figura 94.- Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de quinto orden (- Pout, × Ganancia, Δ Fase)

En la **figura 94** se observan cambios en la fase solamente, la ganancia y la amplitud de la potencia de salida aun no presentan cambios.

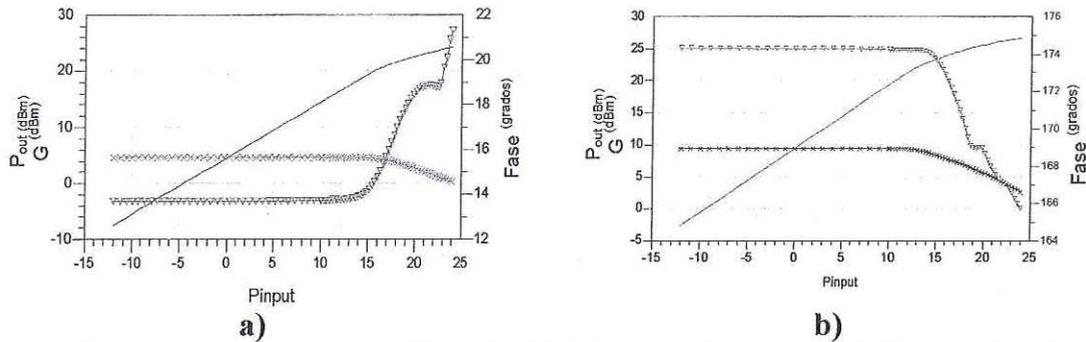


Figura 95.- Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de noveno orden (- Pout, × Ganancia, Δ Fase)

En la **figura 95** se consideran armónicos hasta el noveno orden ya que a séptimo orden no se noto un cambio considerable.

Aquí se observa como la respuestas en fase es más suave en su curvatura en el amplificador, también se puede notar que en el transistor ya no presenta cambios fuertes en la fase. Ahora se consideran armónicos hasta el doceavo orden y se grafican sus respuestas.

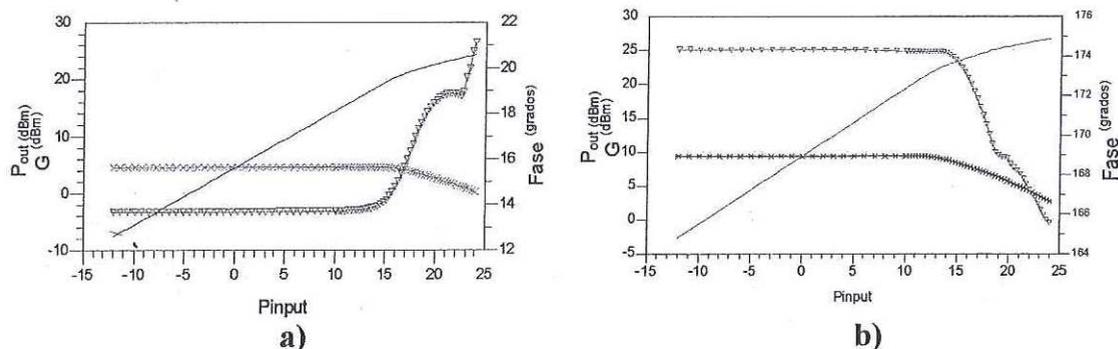


Figura 96.- Respuesta en AM/PM y AM/AM del transistor (a) y del amplificador (b) con armónicos de doceavo orden (- Pout, × Ganancia, Δ Fase)

En la figura 96 se observa que ya no hay cambio en la fase del transistor y la fase del amplificador se ve una respuesta todavía más suave a la de la figura 95. Como parte final, se estudian las respuestas del transistor y del amplificador con armónicos de mayor orden.

Al analizar las respuestas tanto del transistor como del amplificador considerando armónicos mayores al doceavo orden, no se nota ningún cambio en la fase, por lo tanto, se considera entonces hasta 12 armónicos es suficiente para el análisis y estudio del transistor y del amplificador. En el caso del transistor es suficiente hasta 9 armónicos y con el amplificador hasta los 12 armónicos. Esto quiere decir que para la simulación del transistor y del amplificador, en el bloque de simulación en balance armónico, se deben de tomar en cuenta todos los armónicos que se generan a la salida de los dispositivos en potencia, debido a que si consideramos menos armónicos, entonces la respuesta en AM/PM podría ser incorrecta.

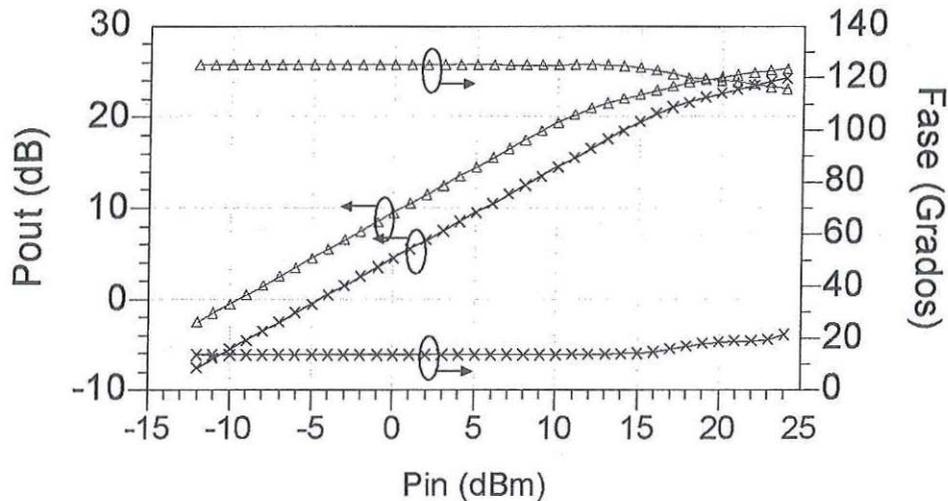


Figura 97.- Comparación en AM/PM del transistor y del amplificador (Δ Amplificador Clase A, \times Transistor NE800299)

En la **Figura 97** se grafican las respuestas en magnitud (AM/AM) y fase (AM/PM) del transistor y del amplificador. En la respuesta en magnitud (P_{out}) se observa un incremento del amplificador a la del transistor como es de esperarse, causado por la diferencia en la ganancia del transistor y del amplificador. En la fase se observa de igual manera un cambio sin embargo, esto es causado por la introducción de las líneas de adaptación, Voulevi, *et al.* [2001], esto genera un cambio en la fase y como se observa en la gráfica, la fase en el amplificador es mayor a la del transistor. Por último, se observa que las distorsiones en magnitud (AM/AM) y fase (AM/PM) tanto del transistor como del amplificador ocurren cerca del punto de 1 dB de compresión (P_{1dB}) de 21 dB previamente medido.

VI. CONCLUSIONES

VI.1. CONCLUSIONES

- *Respecto al punto 1 de los objetivos:* con las mediciones $I(V)$ en modo pulsado del transistor, tomadas a un punto de reposo cercano al punto de polarización del amplificador, pudimos obtener un modelo de corriente con mucha precisión, usando también la mejora al modelo de Angelov propuesta por Loo Yau *et al.*
- *Respecto al punto 2 de los objetivos:* se demostró que el modelo no-lineal de circuito equivalente nos sirve como una herramienta para la simulación de amplificadores de potencia clase A.
- *Respecto al punto 3 de los objetivos:* de acuerdo a los resultados obtenidos en la medición y simulación, tenemos un método confiable para diseño y fabricación de redes de adaptación.
- Con las redes de alimentación Wei solo se obtuvo un ancho de banda aproximado a 2 GHz en simulación, que para la aplicación del amplificador es suficiente.
- Se grafican las diferencias en las simulaciones de AM/PM en el transistor y amplificador por la introducción de las redes de adaptación como se menciona en la teoría.
- Se puede observar que la respuesta del modelo no-lineal del transistor operando a gran señal concuerda con los valores obtenidos en las mediciones.
- La caracterización del transistor y del amplificador por medio de la calibración de TRL nos da una respuesta muy favorable para la caracterización de transistores de potencia.

VI.2 APORTACIONES

- Uso del modelo no-lineal de circuito equivalente para la simulación de un amplificador de potencia clase A utilizando un transistor de encapsulado.
- Caracterización de un transistor de potencia de encapsulado para modelado no lineal de circuito equivalente.

VI.3 RECOMENDACIONES

- Extender el rango de potencia en el banco de medición de 2 tonos ya existente para medir transistores de encapsulado de potencia.
- Extender el rango de potencia del banco de medición ya existente para la extracción de los efectos AM-PM y AM-PM para medir transistores de encapsulado de potencia.
- Incluir en los programas de control para las mediciones de 1 tono, el uso de un pre-amplificador, de manera que dentro del programa se reste su influencia en la respuesta de 1 tono.

BIBLIOGRAFÍA

Angelov I., H. Zirath y N. Rorsman. 1992. A new empirical nonlinear model for HEMT and MESFET devices. *IEEE TRANSACTION ON MICROWAVE THEORY AND TECHNIQUES*. 40(12): 2258-2266 p.

Application Note MT956D. 1998. Measurement of large-signal device input impedance during load-pull. Maury Microwave Corp.

Bertho M. y R. Bosch. 1990. Broad-Band Determination of the FET Small-Signal Equivalent Circuit. *IEEE TRANSACTION ON MICROWAVE THEORY AND TECHNIQUES*, 38(7): 224-229 p.

Brinkhoff J. y A.E. Parker. 2003. Effect of Baseband Impedance on FET Intermodulation. *IEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*. 51(3): 1045-1051 p.

Cripps S. C. 1999. *RF Power Amplifiers for Wireless Communications*. Artech House. 1st ed. 17 p.

Dambrine G., A. Cappy, F. Heliodore y E. Playez. 1988. A New Method for Determining the FET Small-Signal Equivalent Circuit. *IEEE TRANSACTION ON MICROWAVE THEORY AND TECHNIQUES*. 36(7): 1151-1159 p.

Dunleavy Lawrence P., Charles P. Baylis II. 2004. Performing and Analyzing Pulsed Current-Voltage Measurements. *High Frequency Electronics*. 64-69 p.

Dunleavy L., W. Clausen y T. Weller. 2003. Pulsed I-V for Nonlinear Modeling. *MICROWAVE JOURNAL*. 46(3): 68-84 p.

Hirata Flores F.I. 2004. Caracterización y modelado no lineal de transistores HEMT utilizando las técnicas de medición de uno y dos tonos bajo iluminación óptica. CICESE, División de Física Aplicada, Departamento de Electrónica y Telecomunicaciones, Tesis de Maestría. 75 p.

Gonzalez G. 1984. *Microwave Transistor Amplifiers, Analysis and Design*. Prentice Hall. 1st ed. 43 p.

Loo-Yau J.R., Reynoso-Hernández J.A., Zuñiga J.E., Hirata F.I. y Ascencio-Ramírez H. 2006. Modeling The I-V Characteristics of the Power Microwave FETs with the Angelov Model using Pulse Measurements. *IEE MICROWAVE AND OPTICAL TECHNOLOGY LETTERS*. 48(6): 1046-1049 p.

- Loo-Yau J.R., Sánchez-Herrera D.A., Reynoso-Hernández J.A. y Zúñiga-Juárez J.E.. 2005. Un Novedoso Método para Caracterizar la Distorsión en Amplitud y Fase (AM-AM y AM-PM) para transistores encapsulados y en obleas. Congreso de Instrumentación SOMI XX, Octubre 2005.
- Maas S.A. y Miracco T.. 2002. Using Load-Pull Analysis and Device Model Validation to improve MMIC Power Amplifier Design Methodologies. *Microwave Journal*. 45(11): 20-34 p.
- Pozar D. M. 1998. *Microwave Engineering*. John Wiley & Sons. 2nd ed. 619 p.
- Raab F. H., Asbeck P., Cripps S., Kenington P. B., Popovich Z. B., Potheary N., Sevic J. F. y Sokal N. O. 2003. RF and Microwave Power Amplifier and Transmitter Technologies – Part 2. *High Frequency Electronics*. 22-36p.
- Reynoso Hernández J.A., F.E. Rangel Patiño y J. Perdomo. 1996. Full RF characterization for extracting the small-signal equivalent circuit in microwave FET's. *IEEE TRANSACTION ON MICROWAVE THEORY AND TECHNIQUES*. 44(12): 2625-2633 p.
- Vuolevi J.H.K, T. Rahkonen y J.P.A. Manninen. 2001. Measurement Technique for Characterizing Memory Effects in RF Power Amplifiers. *IEEE TRANSACTION ON MICROWAVE THEORY AND TECHNIQUES*. 49(8): 1383-1388 p.
- Wei Y.Y., Gale P. y Korolkiewicz E.. 2003. Effects of Grounding and Bias Circuit on the Performance of High Frequency Linear Amplifiers. *Microwave Journal*. 46(2): 98-106 p.
- White J.F.. 2004. Applying S-Parameters to Amplifier Design. *Microwave and RF*. 43(7): 67-79 p.
- White P.M. y R.M. Healy. 1993. Improved Equivalent Circuit for Determination of MESFET and HEMT Parasitic Capacitance from 'Coldfet' Measurements. *IEEE MICROWAVE AND GUIDED WAVE LETTERS*. 3(12): 453-454 p.
- Yeap Y.W., L.H. Chua y S.H. Tan. 2004. Design of a 3.5W S-band power amplifier based on small-signal s-parameters analysis. *Microwave Journal*. 47(7): 80-84 p.