

CENTRO DE INVESTIGACION CIENTIFICA Y DE  
EDUCACION SUPERIOR DE ENSENADA

SELECTOR INTELIGENTE DE ACCESO MULTIPLE

TESIS  
MAESTRIA EN CIENCIAS

ALBERTO COLIN GONZALEZ

RESUMEN de la tesis de Alberto Colín González presentada como requisito parcial para la obtención del grado de MAESTRO EN CIENCIAS en FISICA APLICADA con opción en ELECTRONICA Y TELECOMUNICACIONES.

Enero de 1985

SELECTOR INTELIGENTE DE ACCESO MULTIPLE

Resumen aprobado: -----

  
M. en C. Carlos Gerardo Lopez  
Director de tesis

Se presenta un sistema selector de acceso múltiple (SIAM) que puede conectar hasta 16 terminales de video a únicamente cuatro líneas de entrada de una computadora local y a cuatro líneas mas de otra, localizada a una distancia de cinco kilómetros. Este sistema, asigna a cada usuario una prioridad de acceso a las computadoras mencionadas, pudiendo ser esta en forma manual o automática que dependa de la estadística de acceso de los usuarios durante un año. El sistema cuenta con un reloj en tiempo real que es programable a una hora específica de cada día para hacer el cambio automático de prioridad.

El Centro de Cálculo Electrónico (CCE) del Centro de Investigación Científica y Educación Superior de Ensenada

(CICESE) cuenta con este sistema, que además registra el acceso de cada usuario permitiendo llevar una estadística personal de conexión a las computadoras, y puede conectarse a las velocidades de 1200, 2400 y 4800 bauds. Tiene la capacidad de dialogar con el técnico de mantenimiento sobre su estado de operación actual ya que cuenta con programas de autodiagnóstico para fines de mantenimiento. Está diseñado en base a un microprocesador 8085A de ocho bits por palabra, es económico, fácil de operar y altamente confiable.

CENTRO DE INVESTIGACION CIENTIFICA Y DE

EDUCACION SUPERIOR DE ENSENADA

DIVISION DE FISICA APLICADA

SELECTOR INTELIGENTE DE ACCESO MULTIPLE

TESIS

Para cubrir parcialmente los requisitos necesarios para  
obtener el grado de MAESTRO EN CIENCIAS presenta

ALBERTO COLIN GONZALEZ

Ensenada, B.C. Enero de 1985

TESIS APROBADA PARA SU DEFENSA POR:



M.C. Carlos Gerardo López Hernández, Director del Comité



Dr. Arturo Serrano Santoyo, Miembro del Comité

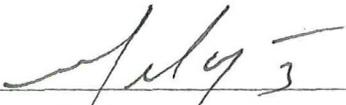


M.C. Carlos Duarte Muñoz, Miembro del Comité

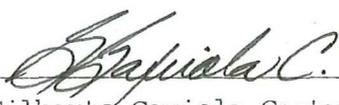


M.C. Alberto Amador Buenrostro, Miembro del Comité

Dr. José Carlos Pmalaza Díaz, Jefe del Departamento de Electrónica y Tele-  
comunicaciones



M.C. Martín Luis Celaya Barragán, Director de la División de Física Aplica-  
da



M.C. Gilberto Gaxiola Castro, Director Académico Interino

Tesis presentada en Enero 17, 1985

A LA MEMORIA DE MI PADRE PEDRO

A MI ESPOSA CHELA POR SU COMPRESION  
Y APOYO A LO LARGO DE ESTE TRABAJO

A MI ADORADA MADRE IRENE

A MIS QUERIDOS HIJOS DANIELA Y JONATAN CON TODO MI AMOR

Agradezco el apoyo y la confianza de mi amigo el Sr. M. en C. Francisco Suarez Vidal, ya que sin su apoyo no hubiera sido posible la terminación de este trabajo. Además, reconozco las interesantes sugerencias y ayuda de mi comité de tesis, las cuales en todo momento me fueron ofrecidas, en particular de:

- M. en C. Carlos Gerardo Lopez
- Dr. Arturo Serrano Santoyo
- M. en C. Carlos Duarte Munoz
- M. en C. Alberto Amador Buenrostro

Agradezco también, la ayuda económica ofrecida por parte del CCE del CICESE para el desarrollo de este prototipo, particularmente del M. en C. Alberto A. Buenrostro.

Doy gracias al Dr. Martinez quien de algún modo me dió su apoyo para la conclusión de la misma.

Finalmente a todo el personal del CICESE que ha contribuido de alguna manera con mi formación técnica y académica.

## CONTENIDO

I	INTRODUCCION	1
I.1	Antecedentes	1
I.2	Objetivos	6
II	DESCRIPCION GENERAL	8
II.1	Circuitos codificadores y decodificadores de protocolo	9
II.2	Receptor asíncrono de 16 usuarios	11
II.3	Matrices de conmutación para opción local y remota	13
II.4	Reloj del sistema	17
II.5	Subsistema de control	18
II.6	Alimentación	19
III.	DISEÑO DE CIRCUITOS	22
III.1	Receptor de solicitudes de acceso y transmisor de mensajes hacia el usuario	24
III.2	Convertidor de protocolo	31
III.3	Puertos de entrada y salida	35
III.4	Selector de direcciones para acceder usuarios	42
III.5	Conmutador deconmutador matricial	45
III.6	Monitor	47

## CONTENIDO (con't)

III.7	Memoria de lectura escritura de prueba	50
III.8	Circuitería de reloj	53
III.9	Opción remota	55
IV	PROGRAMACION DEL SISTEMA MONITOR	57
IV.1	Programa principal de control	58
IV.2	Subprograma de interrupciones	60
IV.3	Subprograma de actualización	62
V	PRUEBAS DE LABORATORIO	65
V.1	Prueba de funcionamiento de matrices de conmutación	65
V.2	Pruebas para la entrada y salida de datos	67
V.3	Programa que prueba las interrupciones del sistema	74
V.4	Prueba de la memoria de lectura escritura	77
V.5	Fotografías del sistema	79
VI	OPERACION	81
VI.1	Descripción de la operación del sistema	81
VII	CONCLUSIONES	85

CONTENIDO (con' t)

LITERATURA CITADA	87
APENDICE I	89
APENDICE II	91
APENDICE III	102

## LISTA DE FIGURAS

1	Configuración actual de la red de computadoras para usuarios en el CICESE.	2
2	Utilización de cinco terminales de usuario del sistema PRIME 400. Promedio estadístico junio 1982	4
3	Seleccionador inteligente de acceso múltiple	5
4	Diagrama a bloques del sistema SIAM	10
5	Receptor asíncrono de 16 usuarios	12
6	Matríz de conmutación	14
7	Subsistema de control	21
8	Diagrama a bloques del receptor transmisor asíncrono universal	25
9	Diagrama de tiempos del transmisor	26
10	Diagrama de tiempos de un acoplador típico EIA número RS 232C	28
11	Diagrama de tiempo del receptor	30
12	Diagrama de tiempo del bit de inicio	31

LISTA DE FIGURAS (con't)

13	Estructura del circuito periférico 8155	36
14	Opciones para programar al periférico 8155	39
15	Organización de los dos puertos del temporizador para el circuito 8155	40
16	Formas de onda de salida del temporizador	41
17	Circuito selector de direcciones que permite el acceso de usuarios	44
18	Circuito conmutador deconmutador matricial para 16 usuarios	46
19	Circuito que contiene el sistema monitor	48
20	Circuito para la memoria de lectura escritura de prueba	51
21	Circuito de reloj para la entrada y salida de datos	54
22	Programa principal	59
23	Subprograma de interrupciones	61
24	Estructura tablas TMC, CLO y estadística	63

LISTA DE FIGURAS (con't)

25	Subprograma de actualización	64
26	Programa que prueba cuatro troncales de conmutación	66
27	Subprograma que prueba la entrada de datos del usuario a la microcomputadora	68
28	Diagrama a bloques del programa que checa la salida de datos	70
29	Programa de mantenimiento que prueba la línea de comunicación usuario-computadora (ECO)	73
30	Programa que prueba el funcionamiento de las interrupciones	76
31	Programa de mantenimiento para probar un kilobyte de memoria de usuario	78
32	Fotografía del SIAM en etapa de pruebas de laboratorio	80
33	Fotografía del seleccionador antes de ser conectado a la computadora PRIME	80

## LISTA DE TABLAS

I	Representación de seis dispositivos, tres son puertos de propósito general	37
II	Representación de cuatro alternativas de uso del puerto C del periférico 8155	38
III	Mapa de memoria del sistema de desarrollo SDK 85-SIAM	52

## SELECTOR INTELIGENTE DE ACCESO MULTIPLE

### I. INTRODUCCION

#### I.1 Antecedentes

El Centro de Cálculo Electrónico (CCE) del CICESE cuenta actualmente con dos minicomputadoras colocadas a cinco Kilómetros una de otra. Es decir, una PRIME 750 ubicada en el Kilómetro ciento tres de la carretera Tijuana-Ensenada, y la otra, una PRIME 400 localizada en el centro de la ciudad. Pudiendo ser cualquiera de las dos la opción remota, dependiendo de la localización del Seleccionador inteligente de Acceso múltiple (SIAM). Es decir, si el seleccionador está colocado en el kilómetro 103 de la carretera mencionada la opción remota se refiere a la computadora ubicada a cinco kilómetros de distancia en la calle espinoza que es el centro mismo de la ciudad. El CCE cuenta con un sistema que puede multicanalizar ocho líneas de entrada asíncronas conectadas a terminales de video, a una sola línea de salida, ver figura 1. Este sistema se encuentra un tanto limitado en capacidad, accesibilidad y mantenimiento, debido que cuando se descompone, algunas veces es necesario recurrir a un servicio de mantenimiento externo.

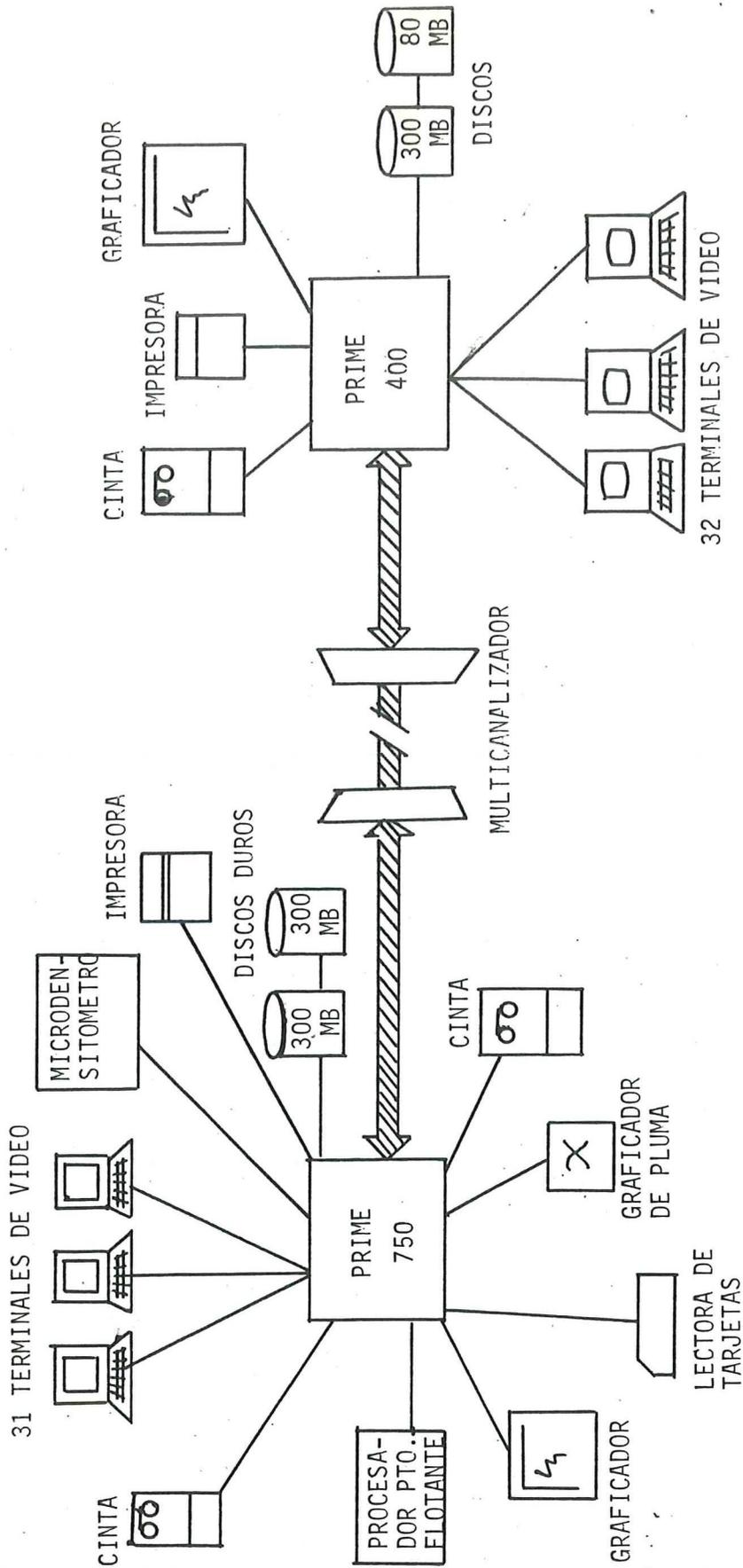


Fig. 1 Configuración actual de la red de computadoras para usuarios en general CICESE.

El mencionado CCE requiere de un sistema SIAM que sea capaz de reducir, tanto las líneas de entrada a la computadora local, como el de poder utilizar opciones remotas automáticas, si se desea que programe previamente la prioridad de acceso de los usuarios, con costo reducido y mantenimiento accesible. La multicanalización y la selección de señales digitales representa una herramienta útil para el administrador de centros de informática. Esto es, se logra la optimización de sus canales o puertos, que estadísticamente se ha comprobado que son subutilizados. Como puede observarse en la figura 2, en la que se grafican el promedio estadístico de utilización de cinco terminales de usuarios conectados a la computadora PRIME 400 en horas por día, mes, año y que permite observar sin mayor detalle como el usuario de la terminal 28, utiliza la computadora en promedio diez minutos diarios en horas hábiles. En cambio, las terminales 24 y 26 son empleadas en forma óptima, según se observa en la figura 2.

La baja utilización de los puertos disponibles incide sobre costos, mala administración y escasez de visualizadores.

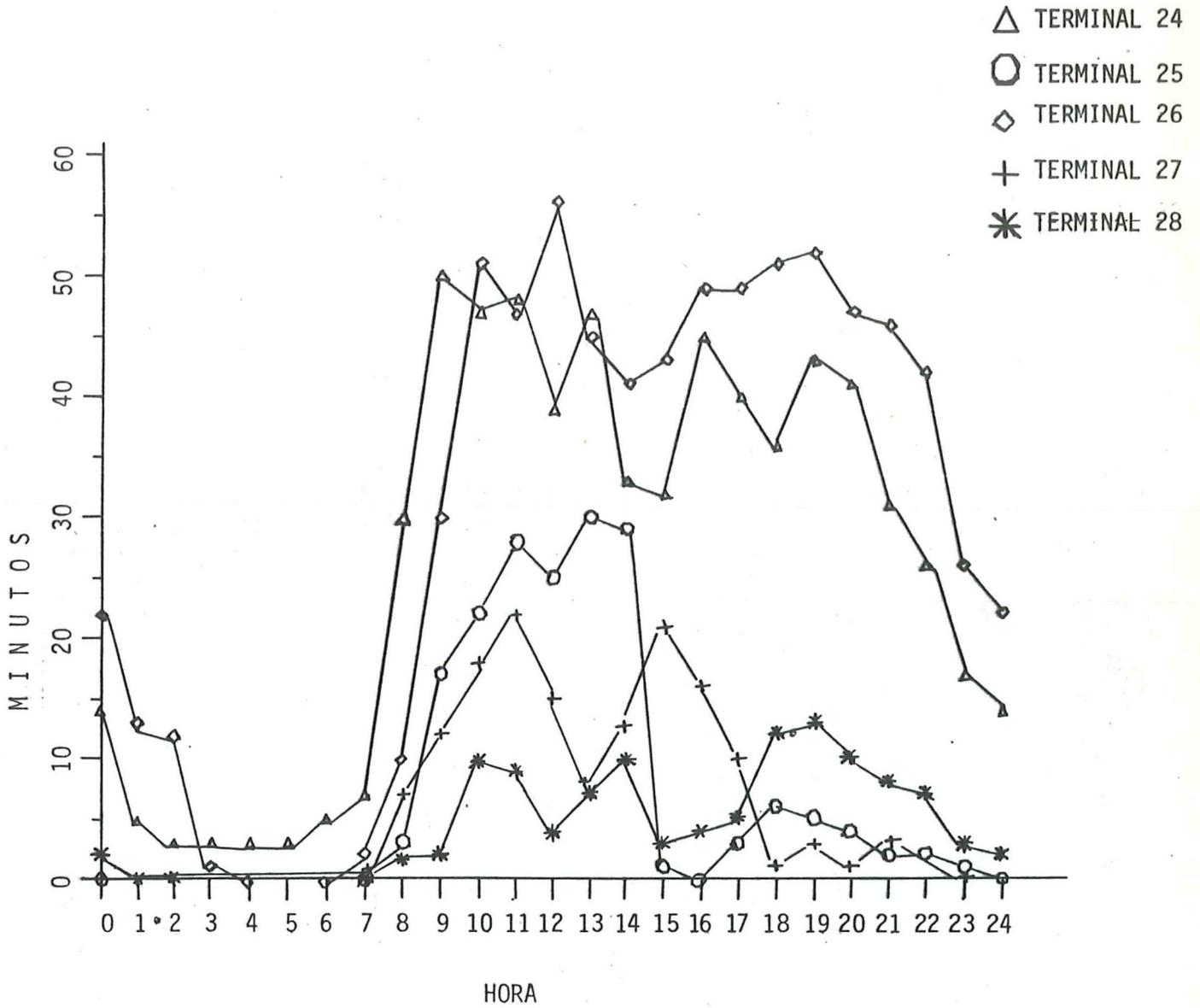


Fig. 2 Utilización de cinco terminales de usuario del sistema PRIME 400. Promedio estadístico junio 1982

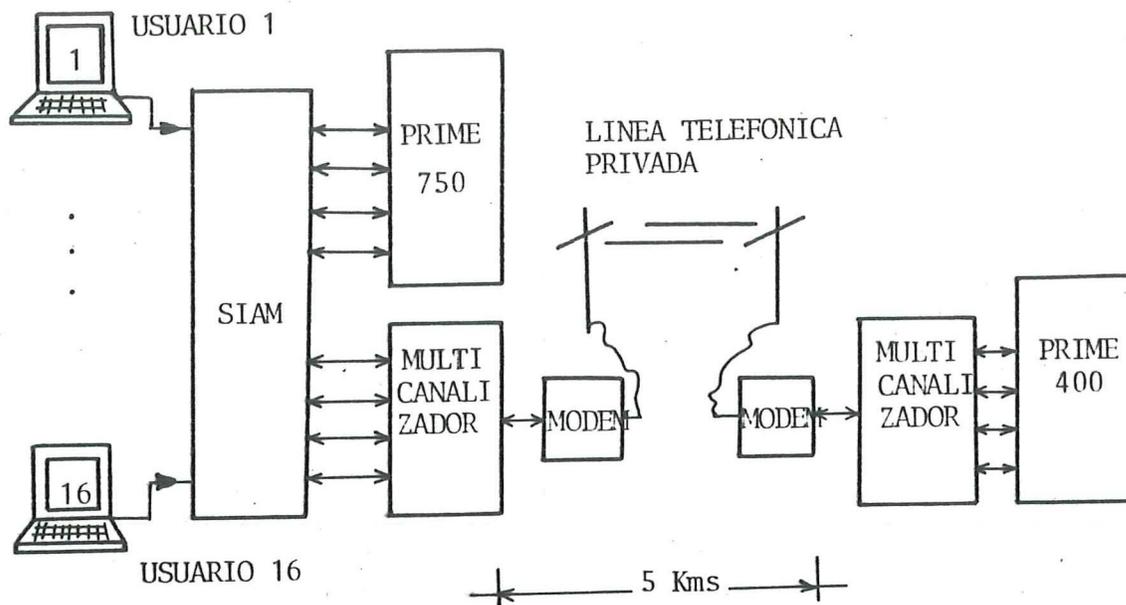


Fig. 3 Seleccionador inteligente de acceso múltiple

## I.2 Objetivos

Los objetivos más importantes del SIAM son:

1. Crear un sistema que permita conectar 16 usuarios provenientes de periféricos (tales como: terminales de video alfanumérico) a cuatro líneas asíncronas de una computadora local (PRIME 750) y cuatro mas de otra remota (PRIME 400).
2. Controlar el acceso de los usuarios a las computadoras, asignando una prioridad previa al inicio de operación del sistema.
3. Que esta asignación de prioridad pueda realizarse en forma manual o automática.
4. Debe permitir que los usuarios conectados a través del sistema, puedan acceder a las velocidades de señalización de 1200, 2400 y 4800 Bauds.
5. Que proporcione una estadística personal de conexión a las computadoras por usuario.

6. Que cuente con un reloj en tiempo real, que pueda programarse a una hora determinada para que realice el cambio automático de prioridad.
7. Que se implemente un programa de autodiagnóstico para pruebas de funcionamiento del sistema para fines de mantenimiento.
8. Que pueda ser conectado a cualquier computadora que use el protocolo RS 232C del CCITT para transmisiones asíncronas en la conexión de sus terminales.
9. Que sea fácil de programar, compacto, confiable y económico.

## II. DESCRIPCION GENERAL

La figura 3, muestra la forma de conectar el SIAM, de tal modo que se optimicen las líneas de acceso a las computadoras mencionadas. Esto es, se conectan 16 usuarios en forma asíncrona al sistema, que a su vez son conectados en forma directa con cuatro de sus líneas a la computadora local y con cuatro líneas mas al multicanalizador, la salida de este conectada a un modulador que permitirá la transmisión a través de línea telefónica hacia la computadora remota.

La figura 4, muestra la estructura particular del SIAM cuyos bloques mas importantes son:

- Circuitos codificadores y decodificadores de protocolo
- Receptor asíncrono de 16 usuarios
- Matrices de conmutación para opción local y remota
- Reloj del sistema \*
- Subsistema de control
- Alimentación

\* no está conectado actualmente

## II.1 Circuitos codificadores y decodificadores de protocolo

El protocolo o norma que permite la comunicación entre usuarios y computadoras es el RS 232C del Consejo Consultivo Internacional de Telefonía y Telegrafía (CCITT). Los circuitos electrónicos que sirven como acoplamiento entre usuarios y computadora a través de esta norma son receptores de línea designados para acoplar equipo terminal de datos (DTE) con equipo de comunicación, su clasificación comercial es DS1488/DS1489 (National, et al., 1980). Estos dispositivos satisfacen las especificaciones de industrias electrónicas (EIA), ver apéndice III. Esta técnica por su sencillez se utiliza comunmente en transmisiones de corta distancia.

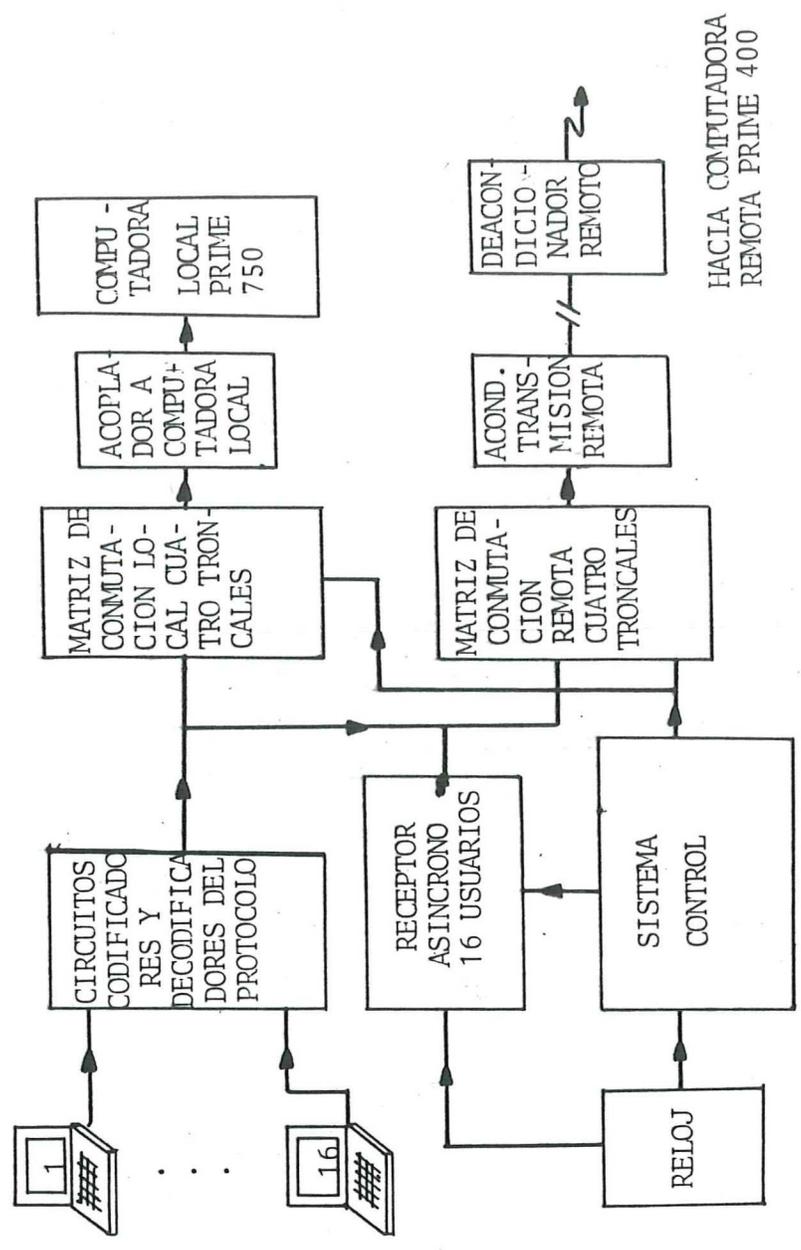


Fig. 4 Diagrama a bloques del sistema SIAM

## II.2 Receptor asíncrono de 16 usuarios

La figura 5, muestra el arreglo empleado para este bloque, el cual está constituido básicamente por: un receptor transmisor asíncrono universal (UART). Este acoplador se usa frecuentemente cuando se desea conectar computadoras a terminales de video y teletipos, ya que tiene la ventaja de tener implementada su salida en tres estados, es decir, presenta alta o baja impedancia de salida según se elija. Además, cuenta con registros de almacenamiento y corrimiento, los cuales pueden conectarse al ducto de datos del transmisor, respectivamente y cuenta también con banderas de control que indican en que momento se puede transmitir o recibir información (Ver figura 5).

El acoplador de la figura 5, efectúa las siguientes funciones:

- a). Almacena las solicitudes de acceso por parte de los usuarios
- b). Envía mensajes de aceptación afirmativa o negativa al usuario

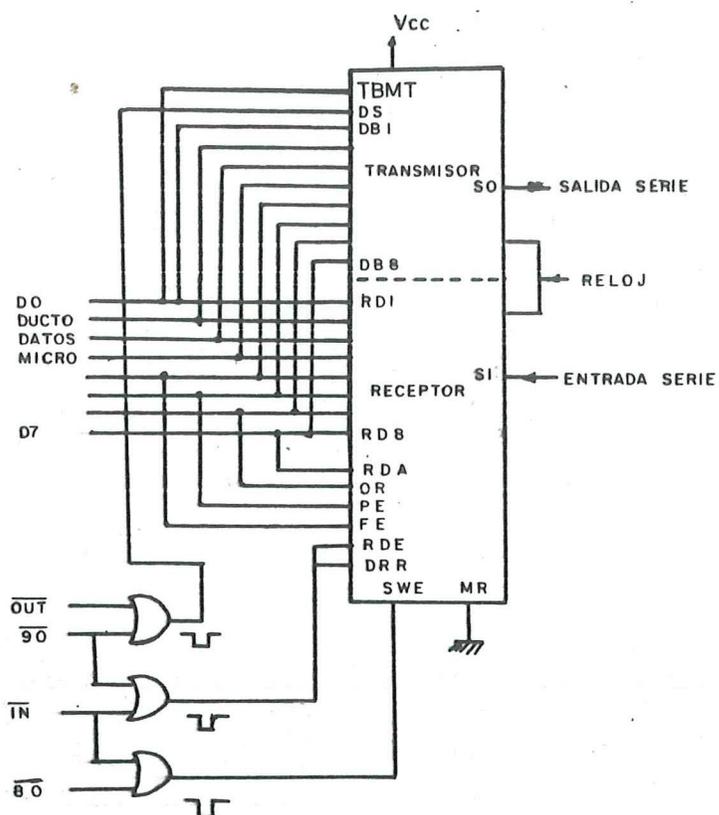


Fig. 5 Receptor asíncrono de 16 usuarios

Este circuito recibe ordenes del subsistema de control y además se comporta como un puerto de entrada y salida serie. Trabaja con un reloj que es dieciseis veces mas rápido que la velocidad de acceso del usuario, y se alimenta únicamente con cinco Voltios.

### II.3 Matrices de conmutación para opción local y remota

Para la opción local en cuanto a la conmutación de las líneas que solicitan acceso de conexión a la computadora, se requiere un interruptor que funcione con un principio similar al de un conmutador telefónico que pueda controlar por prioridad 16 usuarios asignados a cuatro troncales telefónicas. Para esto, se emplearon cuatro matrices de conmutación con un arreglo de  $4 \times 4 \times 2$  que significa lo siguiente. Ver figura 6

Existen cuatro canales de entrada por cuatro de salida en una dirección y otros cuatro similares conectados en dirección contraria que permiten una comunicación bidireccional (RCA, et al., 1980). Permitiendo que cualquiera de las entradas puede ser conectada a cualquiera de las salidas, siempre y cuando estas salidas no hayan sido previamente asignadas a algún otro canal de entrada. La selección de los canales se hace en binario con cuatro bits que pueden realizar dieciseis combinaciones diferentes de

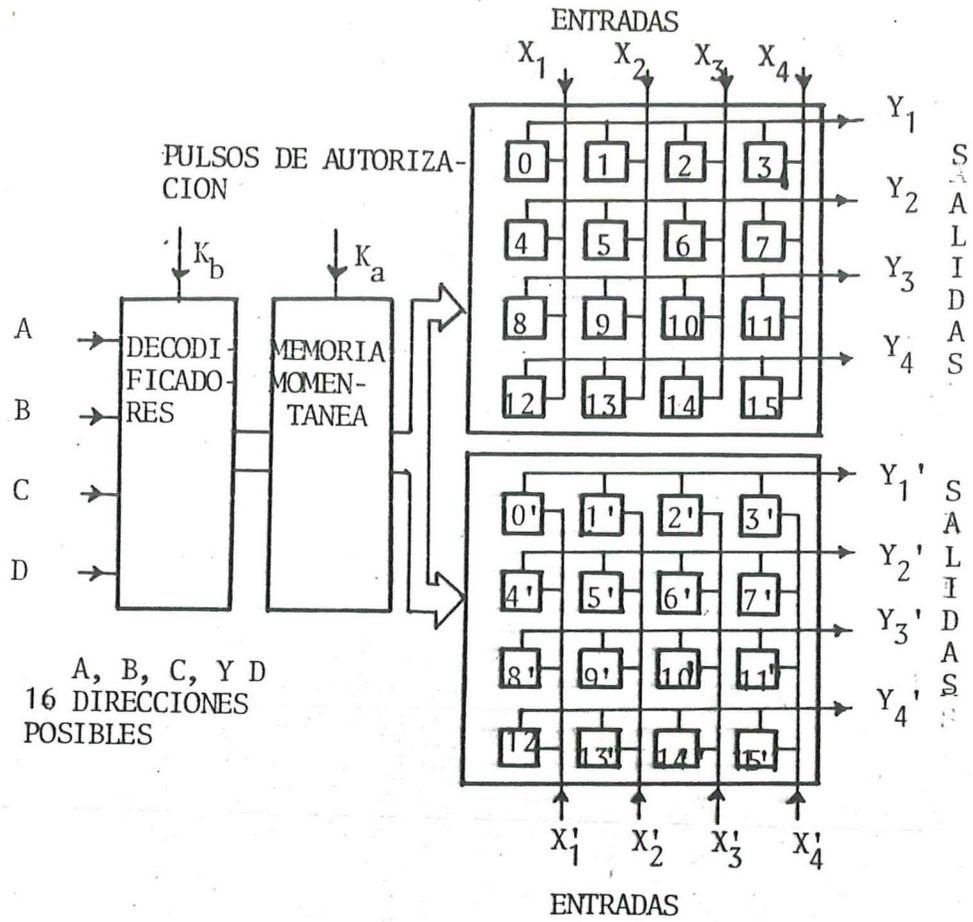


Fig. 6 Matriz de conmutación

conexiones. Además, cuenta con una señal de autorización que precede a cada palabra del código.

La siguiente representación matemática indica lo que se desea de las matrices de conmutación.

Si  $X$  es una matriz vectorial que representan las variables de entrada  $x_i$  ( $i=1, \dots, m$ ), definida por:

$$X^t = [x_1, \dots, x_m] \quad (1)$$

Sea  $Y$  una matriz vectorial que represente las variables de salida  $y_i$  ( $i=1, \dots, n$ ), definida por:

$$Y^t = [y_1, \dots, y_n] \quad (2)$$

Si se relacionan las ecuaciones (1) y (2) se obtiene la matriz de conmutación  $A$  definida por:

$$A = \begin{bmatrix} a_{11} & \cdot & \cdot & \cdot & a_{1m} \\ \cdot & & & & \cdot \\ \cdot & & & & \cdot \\ \cdot & & & & \cdot \\ a_{n1} & \cdot & \cdot & \cdot & a_{nm} \end{bmatrix} \quad n \times m \quad (3)$$

es decir, se obtiene

$$Y=AX \quad (4)$$

donde  $a_{ij}=0,1$

$i=1,2,\dots,m$  (m entradas)

$j=1,2,\dots,n$  (n salidas)

Para el caso particular del seleccionador SIAM en que  $m=6$  y  $n=4$ : A es una matriz de  $4 \times 16$ .

$$A = \begin{bmatrix} a_{11} & \dots & a_{116} \\ \cdot & & \cdot \\ \cdot & & \cdot \\ \cdot & & \cdot \\ a_{41} & \dots & a_{416} \end{bmatrix} \quad 4 \times 16$$

y las variables a la salida serán:

$$\begin{aligned} y_1 &= a_{11}x_1 + a_{12}x_2 + \dots + a_{116}x_{16} \\ y_2 &= a_{21}x_1 + \dots + a_{216}x_{16} \\ y_3 &= a_{31}x_1 + \dots + a_{316}x_{16} \\ y_4 &= a_{41}x_1 + \dots + a_{416}x_{16} \end{aligned}$$

Debe notarse que si  $a_{ij}=1$   $a_{ik}=0$   $k \neq j$

Es decir, que si un usuario determinado  $i$  esta conectado al puerto de salida  $j$  de la computadora, ningún otro usuario puede estar conectado a este puerto al mismo tiempo.

#### II.4 Reloj el sistema

El reloj es el corazón del sistema ya que sin él no sería posible el funcionamiento del mismo. Está constituido básicamente de dos cristales de cuarzo que trabajan en forma independiente, a las frecuencias fundamentales de 6.144 y 2.4576 Megaciclos y también contiene circuitos secuenciales divisores de frecuencia. El primer cristal se emplea exclusivamente para el funcionamiento interno de la microcomputadora, donde el oscilador que es excitado por este cristal no se muestra y el segundo de menor frecuencia sincroniza la entrada y salida de datos de los usuarios pudiendo con esta entrada seleccionar tres velocidades diferentes para hacer mas versátil el sistema. las frecuencias de reloj de interés en kilociclos por segundo son seis principalmente: . La primera es 3072 empleada para la operación interna de la Unidad de Procesamiento Central (CPU) y el acceso a los periféricos de la microcomputadora, la segunda, tercera y cuarta son 19.2, 38.4 y 76.8 utilizadas para efectuar el diálogo entre el usuario y seleccionador. La quinta, habilita el proceso de interrupción al sistema para darle servicio al usuario y la última 0.06 que actúa como reloj en tiempo real para el cambio automático de prioridad.

## II.5 Subsistema de Control

Este subsistema es el cerebro central que maneja al seleccionador y que permite coordinar todas las señales de reloj logrando sincronizar todos y cada uno de los movimientos realizados por los usuarios y los canales de acceso de la computadora PRIME. A través de este bloque de control, permite o no el acceso de conexión a todos los usuarios según la prioridad a que han sido programados. Su diseño y construcción está basado en un microprocesador 8085A. Este microcircuito opera con un ducto de direcciones de diez y seis bits que se multicanaliza con el ducto de datos en tiempo, a través de su lógica de tres estados que permite un funcionamiento coherente y sincronizado. Además, cuenta con un ducto de control y opera con siete modos de direccionamiento que lo hacen bastante poderoso. Ver figura 7.

### Tareas que realiza el subsistema de control

- a). Controla la conexión y desconexión de las matrices de conmutación para opciones local y remota.
- b). Interroga a los usuarios según su prioridad, si es que desean acceder a las computadoras ya mencionadas.

- c). Controla el enlace bidireccional computadora usuario.
- d). Asigna prioridad manual o automática según lo desee el CCE y el usuario.
- e). Cuenta con un reloj en tiempo real para ejecutar el cambio automático de prioridad.
- f). Lee si existen líneas disponibles del controlador Multilínea Asíncrono (AMLC) que es el acoplador hacia las computadoras (Prime, et al., 1975).
- g). Realiza y almacena la estadística de conexión a la computadora por parte de los usuarios.
- h). Permite la comunicación con el técnico del CCE para fines de mantenimiento.

## II.6 Alimentación

La fuente de poder que alimenta al SIAM tiene múltiples salidas con requerimiento de corriente diferentes para cada una de ellas. Los niveles de voltaje entregados son +5, +6, +12 y -12 Voltios, y el total del consumo promedio de potencia en condiciones máximas de operación es de 10.8 Watts

aproximadamente. Además, cuenta con un circuito de control, que limita la corriente a casi cero amperes, cuando la carga se encuentra en corto circuito.

#### Funcionamiento interno del sistema

El SIAM cuenta con un monitor que continuamente está actualizando las tablas y registros que determinan el estado de conexión y desconexión actual del seleccionador.

Una vez inicializados los puertos de entrada y salida, la tabla estadística, la tabla matricial de conexión/desconexión (TMC) y el registro libre/ocupado (CLO), se autoriza la función de interrupción, cuya tarea es darle servicio de conexión a la computadora a usuarios que la soliciten. En este momento se efectúa una interrupción, y el apuntador salta y pregunta por el usuario de mayor prioridad, si este usuario solicita acceso de entrada, el sistema selector pregunta si hay líneas libres disponibles para poder conectar a este usuario a la computadora PRIME. Una vez conectado el apuntador, salta y actualiza sus tablas de conexión y desconexión, posteriormente pregunta por el usuario de la siguiente prioridad. Este proceso se repite hasta que las cuatro líneas de acceso a la PRIME estén ocupadas, si esto se cumple, entonces el controlador enviara un mensaje al usuario solicitando que espere un tiempo

razonable para acceder.

Es importante hacer notar que el usuario puede solicitar acceso a la computadora local o la remota, para lo cual el SIAM debe ser capaz de identificar la opción necesitada y conectarla, por otro lado registra los accesos de cada usuario para llevar una estadística de conexión por terminal.

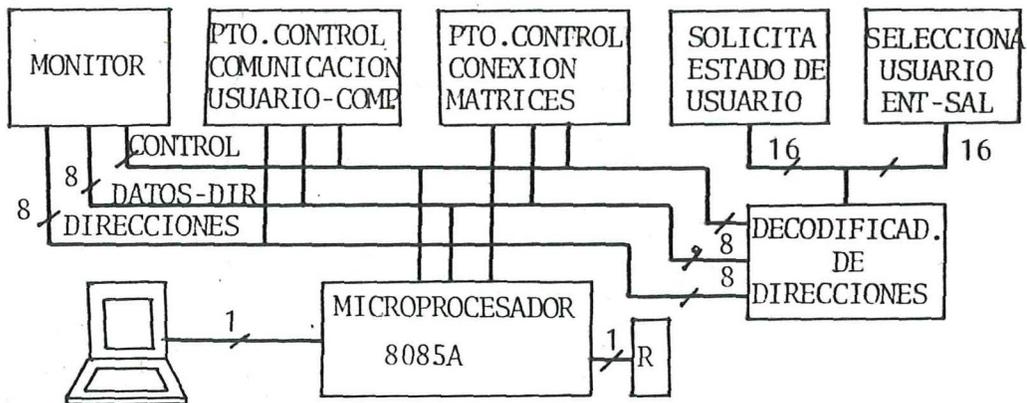


Fig. 7 Subsistema de control

### III. DISEÑO DE CIRCUITOS

En este capítulo se describen los circuitos diseñados para el seleccionador en el siguiente orden:

III.1 Receptor de solicitudes de acceso y transmisor de mensajes hacia el usuario

III.2 Convertidor de protocolo

III.3 Puertos de entrada y salida

III.4 Selector de direcciones para acceder usuarios

III.5 Conmutador de conmutador matricial

III.6 Monitor

III.7 Memoria de lectura escritura de prueba

III.8 Circuitería de reloj

III.9 Opción remota

### III.1 Receptor de las solicitudes de acceso y transmisor de mensajes hacia el usuario

La figura 8, muestra este circuito constituido por un receptor transmisor asíncrono universal (UART) conectado al ducto de datos del microprocesador y tres compuertas o inclusive instaladas al ducto de control y decodificador de direcciones para periféricos. Este circuito (UART) es muy a menudo empleado como acoplador a computadoras o microprocesadores que empleen canales de datos en forma de tren serie con formato asíncrono. Consta de una parte receptora y otra transmisora las cuales pueden trabajar simultáneamente y en forma independiente, sin interferir una con otra. El receptor convierte los bits de datos de inicio, alto y paridad de la forma serie a paralelo verificando en forma simultánea, el código de transmisión, la paridad y los bits de inicio y alto. Por otro lado, el transmisor convierte la entrada de datos en paralelo a la forma serie colocando simultáneamente los bits de inicio, alto y paridad.

Este receptor construido con tecnología Metal Oxido Semiconductor Complementaria (CMOS) y con Integración de Gran Escala (LSI) el cual permite trabajar frecuencias arriba de 4 Megaciclos, es decir, 250 Kilobauds que supera a circuitos

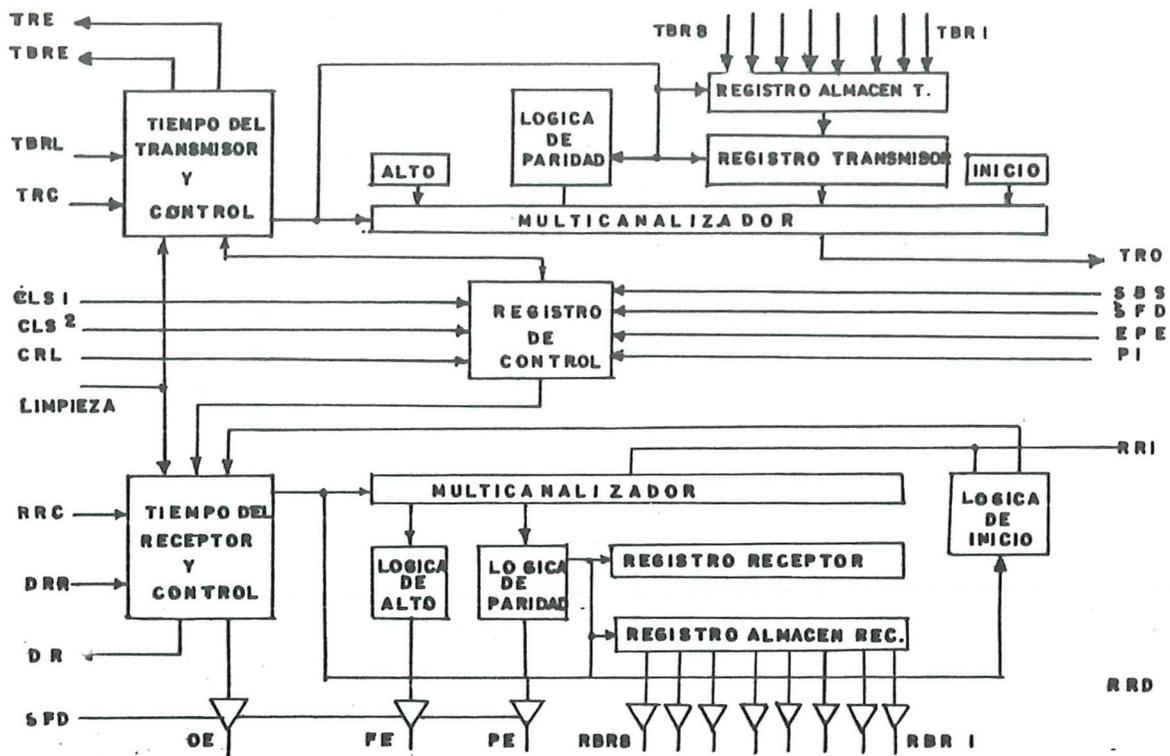


Fig. 8 Diagrama de tiempos del transmisor

del tipo 8255A que son los tradicionalmente empleados para este tipo de microprocesador. Además, el consumo de potencia queda reducido de 1 Watt a 10 mWatts. Ver apéndice III

### Operación del transmisor

La sección transmisora acepta datos en paralelo de 8 bits por palabra, los formatea con un bit de inicio y otro de alto y los transmite a través de la salida TRO, como se observa en la figura 9.

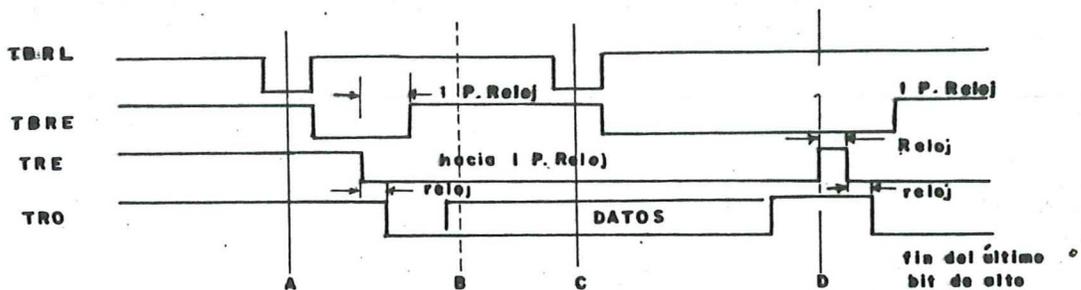


Fig. 9 Diagrama de tiempos del transmisor

Su respuesta en el tiempo se observa en la figura 9. En el punto A, el dato es cargado dentro del registro de almacenamiento del transmisor, este dato viene desde las entradas de datos TBR1 a TBR8. Mediante un frente de bajada de reloj la información se transfiere al registro transmisor, y la señal TRE se pone en cero lógico, lo cual indica que la transmisión de datos comienza. Por esto, la señal TBRE se pone en estado lógico alto y la velocidad de reloj del transmisor debe ser 16 veces más rápida que la velocidad de los datos para evitar pérdidas de los mismos. La secuencia en el punto C, es que a través de un segundo pulso sobre TBRL el dato se carga desde el del registro de almacenamiento del transmisor. La transferencia de datos hacia el registro transmisor es detenida hasta que finalice completándose la salida de caracteres en acceso. Finalmente en D el dato se transfiere automáticamente al registro transmisor donde se inicia la transmisión en tren serie de caracteres.

TBRL.- Un nivel lógico bajo en la entrada carga registro de almacenamiento del transmisor (TBRL), transfiere los datos desde las entradas TBR1-TBR8 dentro del registro de almacenamiento del transmisor.

TBRE.- Un nivel lógico alto en la salida registro de almacenamiento del transmisor desocupado (TBRE), indica que este registro ha transferido sus datos

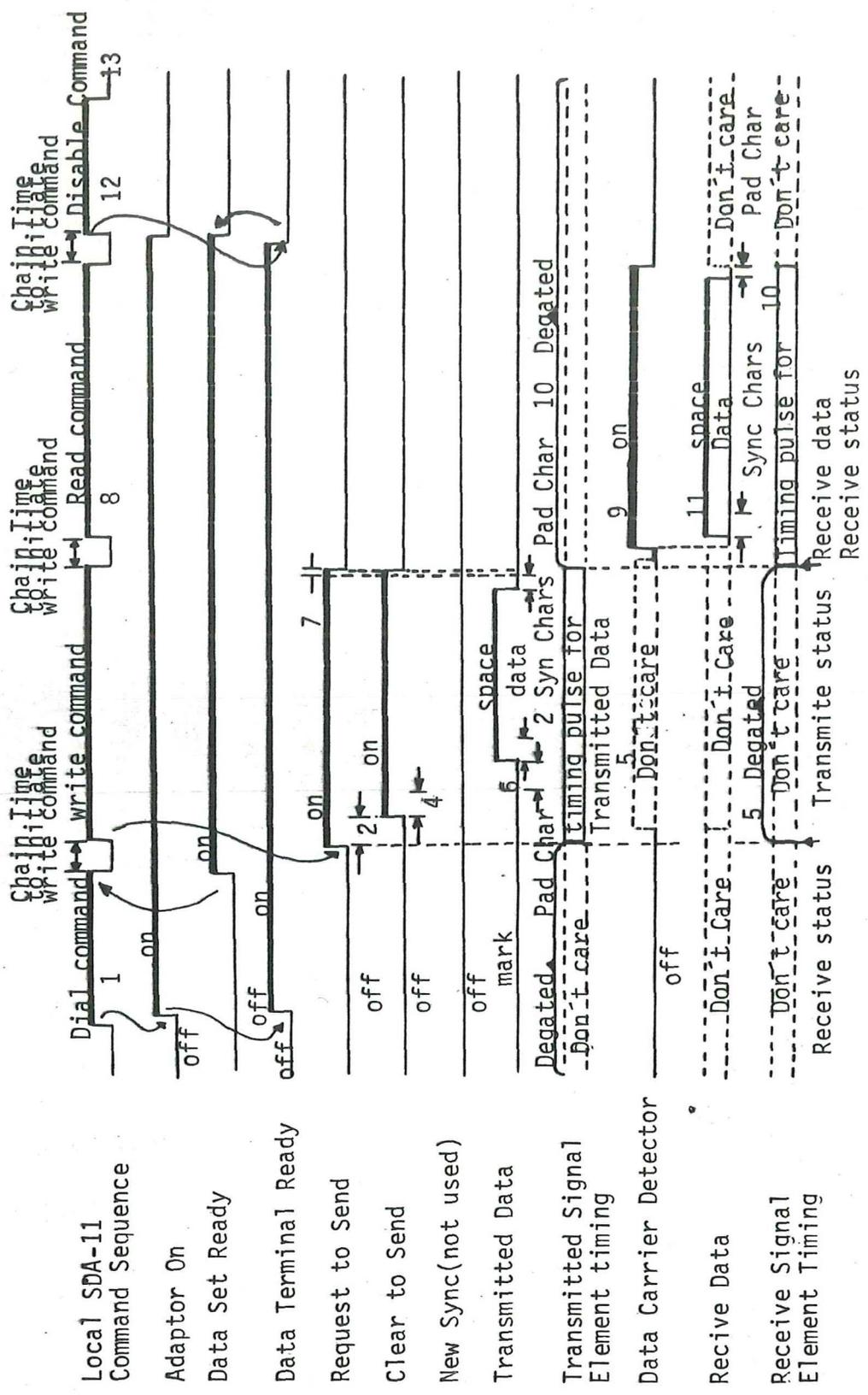


Fig 10 Diagrama de tiempos de un acoplador tipico EIA número RS 232C.

al registro transmisor y esta listo para un nuevo dato.

TRE.- Un nivel lógico alto en la salida registro transmisor desocupado (TRE) indica que una transmisión completa de un caracter incluyendo bits de inicio y alto se ha completado satisfactoriamente.

TRO.- Salida de caracteres de la sección transmisora.

#### Operación del receptor

Se recibe el dato en forma de tren de pulsos serie a través de la entrada R1. Esta entrada debe mantenerse en estado lógico alto en ausencia de señal, es decir, si no se ha recibido el dato. El reloj que permite el funcionamiento satisfactorio de este circuito es 16 veces mas rápido que la velocidad con que inciden los datos. El diagrama de tiempos se observa en la figura 11.

Si analizamos en el punto A un nivel lógico bajo sobre la entrada DRR, esto limpia la línea DR. En el punto B, el dato es transferido desde el registro receptor hacia el registro RBR, durante el primer bit de alto.

## Detección del bit de inicio

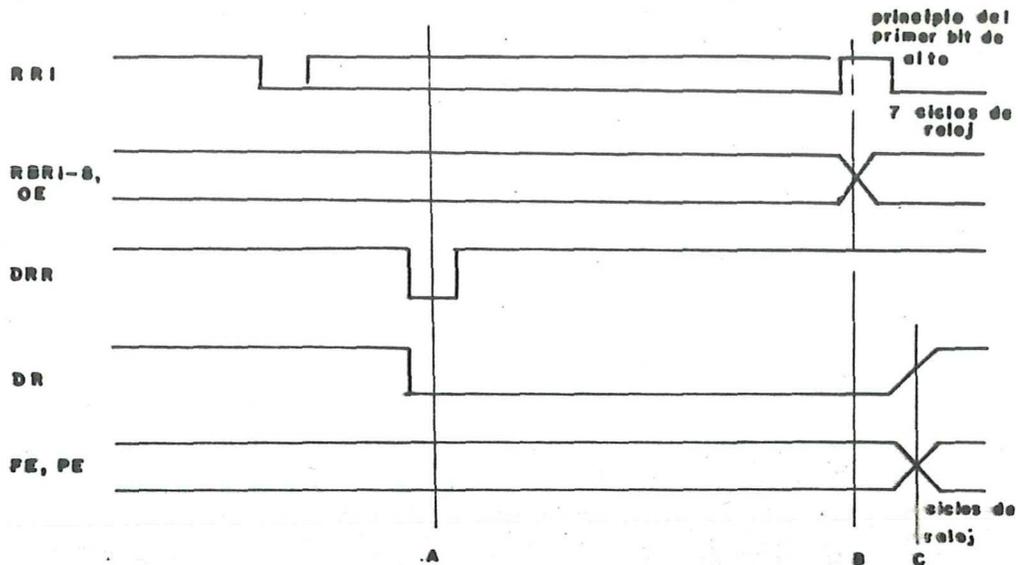


Fig. 11 Diagrama de tiempos del receptor

La detección de este primer bit es efectuada a través de un reloj 16 veces más rápido que la razón de entrada de datos, es decir, para cada ciclo de un dato de entrada existen 16 ciclos del reloj mencionado. Así que la manera de detectar e identificar el bit de inicio es medir exactamente el octavo ciclo de reloj y probar que está en estado lógico

cero, ver figura 12.

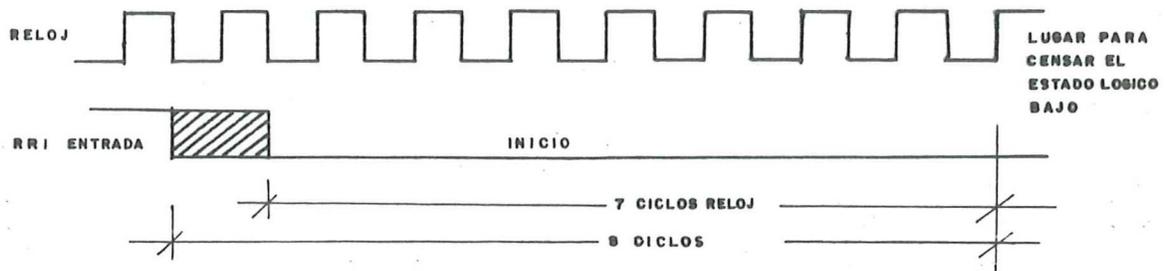


Fig. 12 Diagrama de tiempo del bit de inicio

### III.2 Convertidor de protocolo

El protocolo empleado define la estructura, contenido y procedimiento secuencial para la transmisión de datos entre los usuarios que desean conectarse a: las líneas de comunicación, luego a las computadoras y finalmente la técnica usada para la detección de error y su recobramiento. Al protocolo se le considera como un nivel mayor de comunicación, y está relacionado con la transmisión lógica de un grupo de datos dentro de un bloque físico que es el mensaje de datos, (ver figura 10). Por lo tanto, la función

del protocolo es intercambiar estos mensajes de datos asegurando al mismo tiempo una secuencia correcta y una integridad de los mismos sobre los canales de comunicación con una probabilidad significativa de introducir errores, (DEC, et al., 1974).

La organización del mensaje y su secuencia de transmisión se diseñan de tal manera que puedan manejar los problemas de enlace de una computadora a otra, reinicialización de una computadora, resincronización de las secuencias de transmisión, transmisión de datos transparentes y formatos eficientes de mensajes. El protocolo es simétrico en naturaleza y diseñado para operar en los dos siguientes modos: comunicación simultánea entre dos puntos en ambas direcciones (Full Duplex ó Duplex) y comunicación en una única dirección a un tiempo (Half Duplex) sobre configuraciones de punto a punto y multipunto. Es independiente de los enlaces de transmisión física y opera sobre circuitos serie síncronos, asíncronos y del tipo paralelo también. El protocolo usado puede verse desde dos niveles, el primero o nivel básico esta relacionado con la transmisión de mensajes físico correctos entre usuarios y las computadoras. Esto incluye detección de error, retransmisión y resincronización si es necesario. El segundo nivel esta relacionado con el significado y entendimiento de estos mensajes una vez que se intercambian correctamente. En el

caso de estaciones remotas y concentradores esto incluye las preguntas de direccionamiento del dispositivo su control y formato de datos.

#### Aplicabilidad

El protocolo RS 232C es aplicable a mensajes de comunicación entre procesos que operan dentro de la computadora y sus usuarios. Suponga como procesos aquellos que son disponibles para interpretar y crear mensajes conectados secuencialmente y estaciones que tengan una lógica suficiente para implementar mensajes desconocidos o detección y corrección del error sencillo.

El protocolo codifica todos los símbolos en cantidades de ocho bits y no está relacionado con el modo de transmisión. De este modo, las técnicas de transmisión, serie o paralelo, síncronas o asíncronas sobre redes conmutadas o no conmutadas son manejadas por el protocolo.

La inclusión de enlaces enviado en un formato asíncrono, con sus bits de inicio y alto hacen al protocolo aplicable a operaciones punto a punto y multipunto sobre circuitos Duplex y Half Duplex.

#### Criterio de diseño

El protocolo es diseñado para que opere eficientemente

sobre canales de comunicación dentro de intervalos de velocidad media de 50 a 6000 símbolos por segundo (8 bits por símbolo o byte) equivalentes a velocidades entre 400 y 50,000 bauds. El protocolo supone que existe alguna probabilidad de error que se introduce en el enlace de comunicación durante la transmisión y su diseño permite detectar y corregir hasta un error sencillo.

#### Características que presenta el protocolo

1. Secuencia correcta e integridad del dato, aun sobre canales productores de error, es decir, ruidosos.
2. Utilización eficiente de la línea mediante uso simultáneo de líneas Duplex en ambas direcciones, Ver apéndice I.
3. Transmisión eficiente de cualquier secuencia de bits (transferencia de datos)
4. Operación independiente del ancho del bit del canal (serie, paralelo) y características (asíncronas y síncronas) utilizando acopladores con circuitos ya existentes y modems.
5. Operaciones sobre configuraciones de canal punto a

punto y multipunto utilizando facilidades en Duplex y Half Duplex.

6. Facilidades para conectar un computador sobre el canal de datos.
7. Detección de error utilizando un código de paridad sencillo.
8. Formatos eficientes.
9. Facilidades para sincronizarse al inicializarse.
10. Habilidad para lograr sincronización de mensajes y estar protegidos desde interpretaciones erróneas de datos de usuarios como información de control.

### III.3 Puertos de entrada y salida

Los periféricos que hacen posible la entrada y salida de datos de la memoria hacia usuarios o viceversa, son circuitos que están constituidos en integración de gran escala que están contenidos en una pastilla de circuito integrado, es decir, sus características generales se pueden resumir en lo siguiente:

- a) Dos kilobits de memoria de lectura escritura organizada en 256X8, esto es, 256 palabras de ocho bits, ver apéndice II.
- b) Dos puertos de ocho bits (PA y PB) para entrada o salida de datos y un puerto de seis bits (PC) para datos o control.
- c) Un circuito temporizador de catorce bits de longitud.

La figura 13 muestra la estructura de este puerto, que es el 8155 fabricado por Intel Corporation.

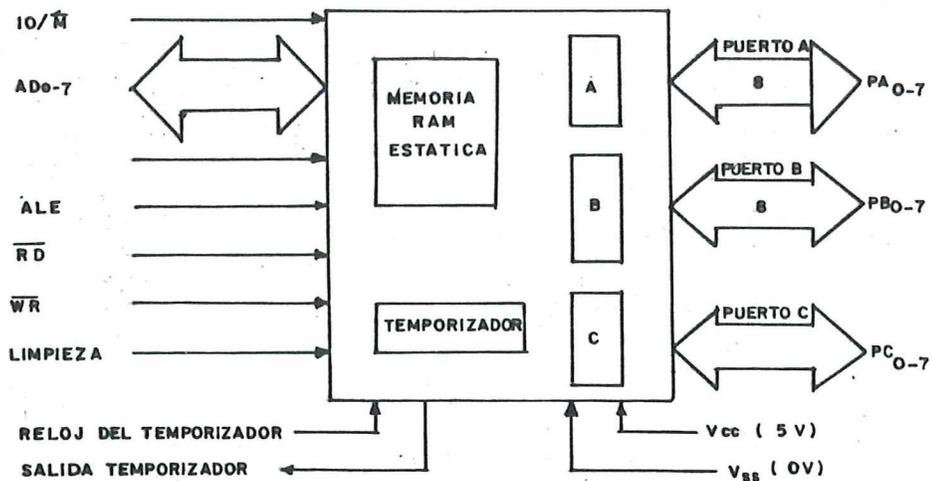


Fig. 13 Estructura del circuito periférico 8155

Dentro de las capacidades de este circuito de control se encuentran seis dispositivos de entrada y salida, tres de los cuales son puertos de entrada de propósito general, sus direcciones están en la tabla I.

TABLA I

DISPOSITIVO	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
REGISTRO COMANDO/ ESTADO	X	X	X	X	X	0	0	0
PUERTO A	X	X	X	X	X	0	0	1
PUERTO B	X	X	X	X	X	0	1	0
PUERTO C	X	X	X	X	X	0	1	1
8 LSB* TEMPORIZADOR	X	X	X	X	X	1	0	0
8 MSB** TEMPORIZADOR	X	X	X	X	X	1	0	1

\* BIT MENOS SIGNIFICATIVO

\*\* BIT MAS SIGNIFICATIVO

Donde el registro de comando/estado, permite controlar la operación de los tres puertos de entrada y salida y el temporizador. Ver figura 14

Los puertos PA y PB pueden programarse como entrada y salida y el puerto C puede hacerlo con cuatro alternativas

TABLA II

	ALT 1	ALT 2	ALT 3	ALT 4
PC0	PUERTO ENTRADA	PUERTO SALIDA	UTILIZADOS PARA DIALOGO INTERACTIVO	
PC1	"	"		
PC2	"	"		
PC3	"	"		
PC4	"	"		
PC5	"	"		

Tabla II. Representación de cuatro alternativas de uso del puerto C del periférico 8155

diferentes que muestra la tabla II. PA y PB pueden utilizar a PC como puerto de diálogo interactivo.

De la tabla II y para el caso de ALT 1 y ALT 2 en el registro comando/estado PC siempre se comportará como puerto de entrada salida de seis bits. Las ALT 3 y ALT 4 se usan para diálogo interactivo.

Los dos últimos bits más significativos del registro comando/estado controlan lo siguiente:

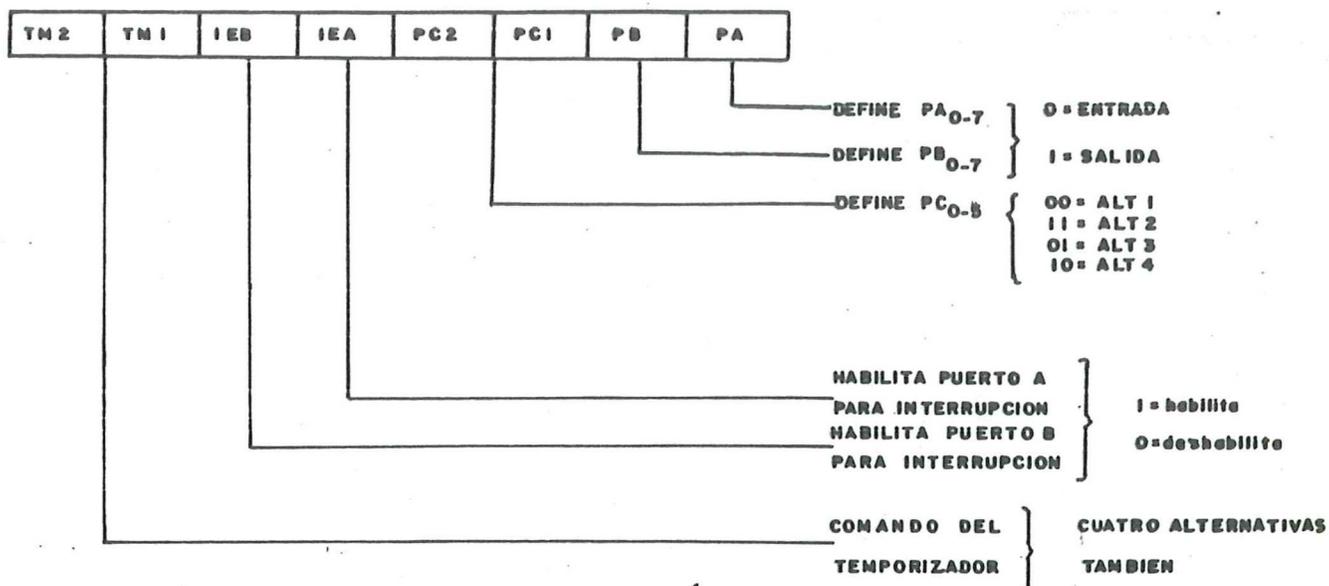


Fig. 14 Opciones para programar al periférico 8155

(1).- Detiene al contador independientemente de lo que este haciendo, (2).-Detiene al contador una vez que su cuenta ha decrecido hasta cero, y (3).- Finalmente, carga y restablece al contador una vez que este ha decrecido hasta cero.

#### Temporizador

Si se observa de la tabla I que dos puertos de entrada y salida se usan por el temporizador (XXXXX100 y XXXXX101).

Estos puertos se organizan de la siguiente manera. Ver figura 15

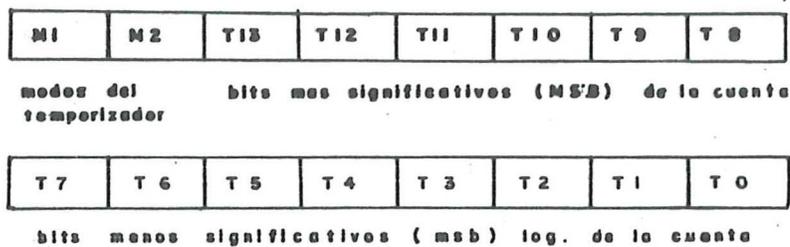


Fig. -15 Organización de los dos puertos del temporizador para el circuito 8155

Catorce de los dieciseis bits de estos puertos se utilizan para cargar con un valor específico al temporizador, los dos bits restantes, es decir, los del modo del temporizador son utilizados para seleccionar una de cuatro formas de onda diferentes posibles que son colocadas en la salida del mismo. La figura 16 muestra estas cuatro formas de onda posibles.

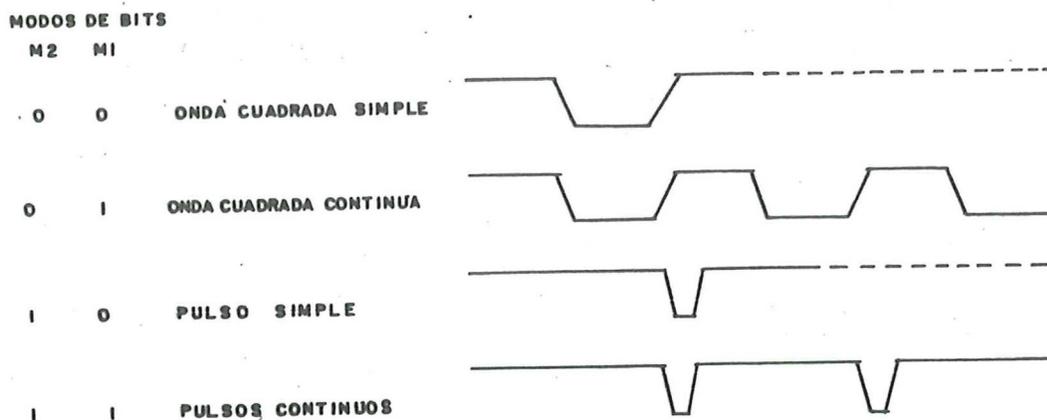


Fig. 16 Formas de onda de salida del temporizador

El SIAM en su estructura utiliza cuatro circuitos periféricos 8155 de los cuales autoriza a trabajar ocho puertos de entrada salida y un circuito temporizador. Los circuitos seleccionados a través de sus salidas en tres estados hacen las siguientes tareas: (1) conmutan y desconmutan las matrices que conectan los usuarios a las computadoras local y remota, (2) autorizan el diálogo

bidireccional entre computadoras y usuario desconectando al receptor asíncrono, (3) evalúan el estado de conexión usuario-computadora, (4) verifican el reloj en tiempo real para el cambio automático de prioridad, (5) autorizan al temporizador que ha su vez es el que ejecuta las interrupciones para darle servicio al usuario.

#### III.4 Selector de direcciones para acceder usuarios

Este circuito electrónico está diseñado para conectar dieciseis puertos receptores transmisores de información asíncrona a un infoducto de datos contenido en el seleccionador inteligente (SIAM). Este ducto interno debido a las características del microprocesador se encuentra multicanalizado en tiempo con el ducto de direcciones, lo cual es necesario separarlos para hacer posible la conexión, de los periféricos mencionados. Como se observa en la figura 17, el diseño utiliza un circuito combinatorio (circuitos 72 y 74) para generar las señales I/O IN, I/O OUT. MEM R y MEM W que son necesarias para direccionar puertos de entrada y salida de datos y bancos de memoria para escritura y lectura. Además, tiene un puerto para ocho bits en paralelo y conectado internamente, para que funcione en forma bidireccional (circuito 73), que utiliza un control de tres estados en sus salidas, para demulticanalizar los datos de las direcciones, (Christopher, et al., 1981). Estas últimas,

a través de dos decodificadores binarios con salida decimal (circuitos 56 y 57), seleccionan al circuito periférico deseado según su prioridad. Además, es interrogado si desea acceso de conexión a las computadoras local o remota.

El primer decodificador (circuito 56) debido a sus cuatro entradas binarias, es capaz de producir 16 estados diferentes que son equivalentes a los usuarios conectados al seleccionador. Este microcircuito puede autorizarse con frentes de bajada de reloj que tiene en sus salidas y leer el estado actual del circuito receptor o transmisor al que se encuentra conectado respectivamente. Es decir, permite al circuito 1, que le indique a la microcomputadora si se encuentra listo para transmitir o recibir información. Una vez realizada esta operación, se autoriza el segundo decodificador (circuito 57) el cual tiene como función, una vez que el circuito 1 esta listo, de permitir la entrada y salida de datos efectuando un diálogo interactivo entre el usuario y el microprocesador.

El circuito puede preguntar por cualquiera de los múltiples usuarios, dependiendo de su prioridad asignada, a través de dieciseis receptores transmisores asíncronos con un simple programa de lenguaje de máquina, dando rapidéz y eficiencia en su operación.

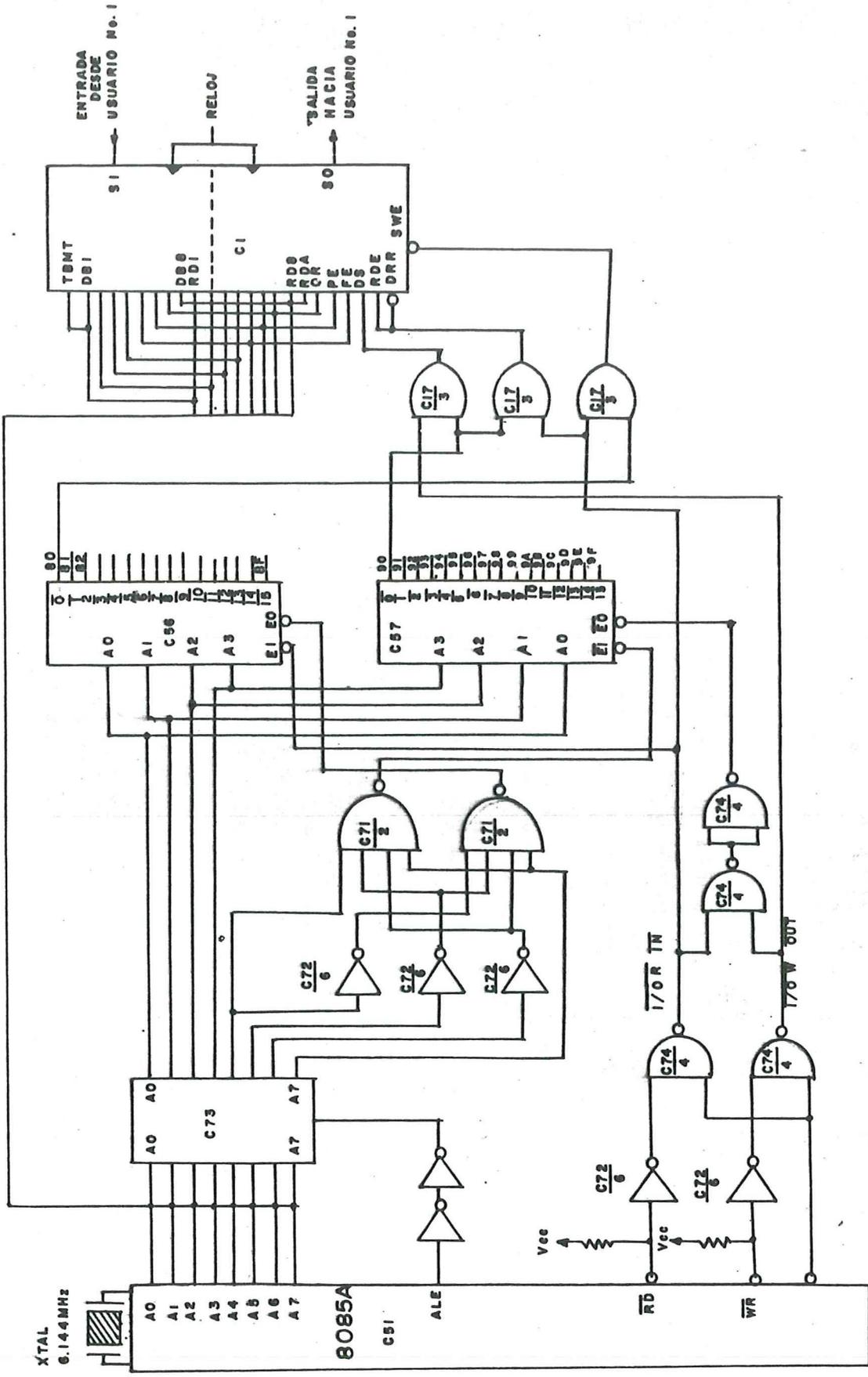


Fig. 17. Circuito selector de direcciones que permite el acceso de usuarios

### III.5 Conmutador deconmutador matricial

Debido a sus características de funcionamiento de las matrices y a la rapidéz que se requiere en los cambios que permiten conectar y desconectar a los usuarios, fué indispensable utilizar un puerto periférico (PA) con cuatro bits de salida en forma paralelo conectados permanentemente a las cuatro entradas de la matriz que operan como seleccionadoras del canal a escoger y utilizan un código decimal codificado en binario, el cual permite formar las 16 combinaciones diferentes deseadas con cuatro señales de entrada, las cuales son previamente seleccionadas por el microprocesador e indican que canal se conecta o desconecta a un tiempo, (RCA, et al., 1980). Es decir, no puede realizar ambas funciones simultáneamente. Además, utiliza otro puerto periférico (PB) de ocho salidas cuyas señales son disparadas en cuatro pares simultáneos las cuales preceden a las cuatro salidas selectoras del puerto anterior (PA) y su función es autorizar la conexión-desconexión requerida (Ver figura 18). Observese de la figura 18 que las salidas del primer puerto son PA0, ..., PA3 y los del segundo PA0, PA1, ..., PA7, donde el primer par en PB controlan las cuatro primeras entradas de usuarios, y el siguiente par los otros cuatro usuarios, hasta controlar los diez y seis mencionados. El circuito periférico a su vez es conectado al ducto interno de datos y direcciones, por medio del cual recibe las señales de control



del microprocesador.

### III.6 Monitor

Con la finalidad de facilitar la operación del selector, se pensó introducir el programa principal y sus subprogramas adyacentes, incluyendo los de mantenimiento, en una localidad de memoria permanente, ver figura 19, que tuviera la capacidad de absorber y grabar permanentemente en una memoria, semiconductora de lectura exclusiva, con área de memoria propia. Esta serie de programas que determinan las tareas específicas que deben realizar el selector con solo inicializarlo, facilitan el trabajo del técnico del CCE ya que se evita utilizar algún tipo de memoria como discos flexibles o duros según se desee, que incrementaría el costo del sistema. Esto es, existe dentro del seleccionador un sistema monitor capaz de operar al sistema con solo darle algunos datos de inicialización, su capacidad es de dos kilobytes aproximadamente y está localizado entre las direcciones 1000 y 17FF (valor dado en código hexadecimal). Debido a la necesidad de utilizar un monitor que permita probar todas las señales de control para activar todos y cada uno de los periféricos y circuitos empleados se adquirió el monitor del sistema de desarrollo SDK 85 de la compañía Intel por su facilidad en su operación y su disponibilidad inmediata. La ubicación según el mapa de memoria para este

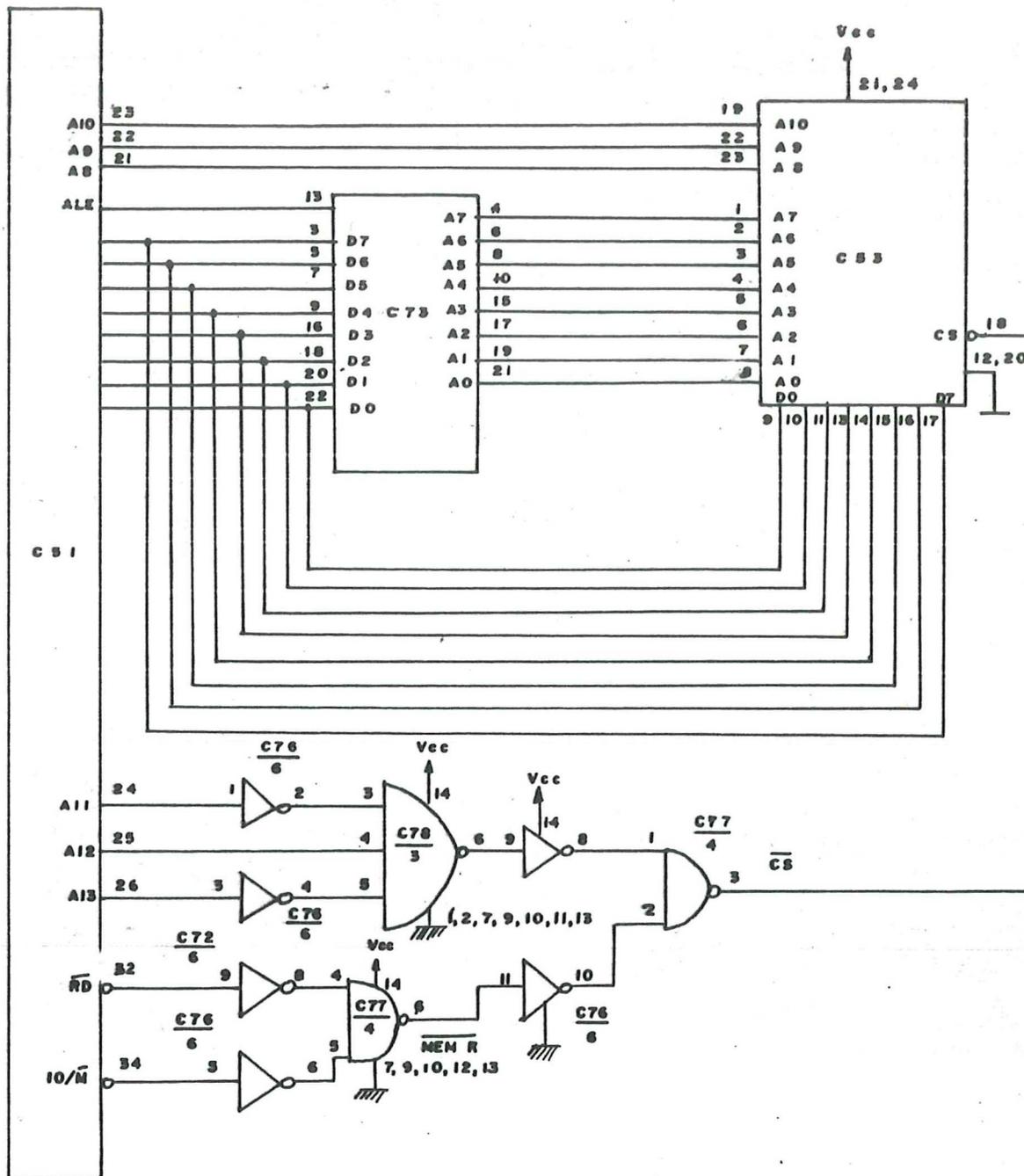


Fig. 19 Circuito que contiene el sistema monitor

sistema se observa en la tabla III y está entre las localidades 0000 y 07FF con dos kilobytes de longitud aproximadamente (ocho bits = 1 byte).

Para el diseño del circuito se consideró que, si dado que se deben utilizar las localidades de memoria de 1000H a 17FFH, esto es, si se combinan las tres cifras más significativas, debe activarse un pulso selector, el cual mascareado con otro pulso de lectura o escritura según se desee permita generar un pulso de autorización que seleccione al circuito colocado en las direcciones de memoria mencionada sin afectar a ningún otro circuito periférico ya sea de entrada/salida o memoria. Para la realización de esta lógica de selección se utilizaron (Ver figura 19): Un puerto periférico de entrada/salida en paralelo acoplado a una memoria semiconductor a través del ducto de direcciones y de datos que permitan seleccionarla en el momento adecuado. Además, se utilizaron seis circuitos inversores de alta velocidad, los cuales conectados a través de una compuerta de tres entradas del tipo NO-Y y otros dos mas de dos entradas, similares a la anterior, permitieron generar la señal selectora del circuito integrado que contiene al sistema monitor. Es importante observar que este tipo de circuitos, por la necesidad de una respuesta rápida, debe utilizar una tecnología TTL y un correcto diseño lógico que permita evitar ALEAS (señales indeseables que no son visibles muchas veces

en el osciloscopio y que son capaces de disparar circuitos sin poder evitarlo.

### III.7 Memoria de lectura escritura de prueba

Debido que el SIAM cuenta con un sistema de desarrollo se puede incrementar su instalación de circuitos periféricos y de memoria, según las necesidades que se tenga, se hace más útil y versátil al seleccionador ya que en cualquier momento se puede incrementar su capacidad con un aumento razonado de circuitos y de lógica necesaria. Por esto, si el programa monitor utiliza aproximadamente dos kilobytes de memoria para su realización, hubo la necesidad para probar su funcionamiento, de realizar pequeños y grandes cambios que permitieran su óptima capacidad. La ubicación del mapa de memoria de la tabla III, hizo posible colocar esta memoria entre las direcciones 3000H a 37FFH, con el diagrama de la figura 20. Para el diseño del circuito se considero lo siguiente:

del mismo modo que en el inciso anterior. Se toman las cifras más significativas y a través de un circuito combinatorio formado de seis inversores y cuatro compuertas del tipo NO-Y de dos entradas y una más de cuatro entradas, se obtienen los circuitos selectores deseados. Esto es, combinando las salidas A10, A11, A12 y A13 del ducto de direcciones y las señales de control RD, WR y IO/M se

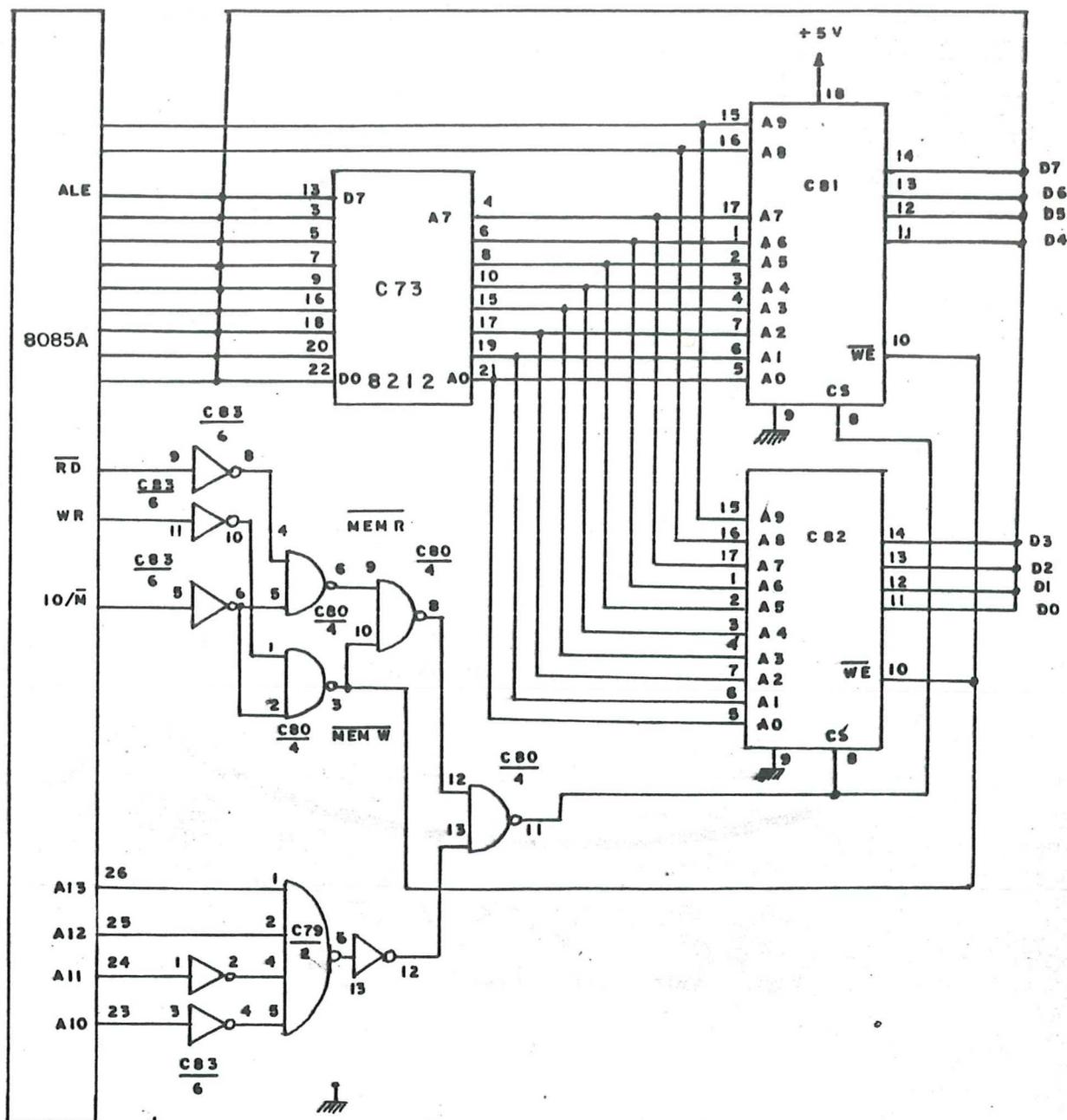


Fig. 20 Circuito para la memoria de lectura escritura de prueba

TABLA III

FFFF		
7FFF		
37FF	ABIERTO	
	2 KBYTES RAM PARA PRUEBA	CS6
3000 2FFF	EXPANSION RAM	CS5
2900 28FF	256 LOCS. RAM EXPANSION MEMORIA	
2800 27FF	RAM BASICA	CS4
2100 20FF	256 LOCALIDADES RAM BASICA	
2000 1FFF	LOCALIZACION COMANDOS TECLADO/INDIC.VISUL LOCALIZACION DATOS TECLADO/INDIC.VISUAL	CS3
1800 17FF	MONITOR DEL SISTEMA	CS2
1000 0FFF	EXPANSION ROM (2K)	CS1
0800 07FF	(2K) ROM MONITOR SDK 85	CS0
0000		

MAPA DE MEMORIA SDK 85, SIAM

Tabla III. Mapa de memoria del sistema de desarrollo SDK 85-SIAM.

obtienen los pulsos de autorización MEM R y MEM W que caracterizan la utilización de una localidad de memoria que actúa como de escritura-lectura. Finalmente, se obtiene la señal de autorización que permite seleccionar a la memoria mencionada sin afectar a otros circuitos instalados en el sistema. También se utiliza en el diseño de este circuito dos pastillas de cuatro bits por cada una, formando conjuntamente los ocho bits de los datos, con capacidad de 1000 bytes cada par de estas, (Christopher, et al., 1981). Es importante aclarar que se está utilizando un kilobyte de la memoria, ya que cuando se realizaron las pruebas se probó el programa principal y los subprogramas básicos, esto es, no se incluyeron sino hasta otra prueba los programas de mantenimiento que sumados al programa principal superarían el kilobyte. Cabe mencionar que el programa monitor del selector lo constituyen los programas de funcionamiento y de mantenimiento.

### III.8 Circuitería de reloj

Debido a la necesidad de contar con un sistema de reloj de salidas múltiples, precisas, y altamente estables (una parte por millón), se utilizó un diseño como el mostrado en la figura 21.

Este circuito es altamente confiable y ha sido utilizado en otros diseños que requerían precisión. Su estructura básica,

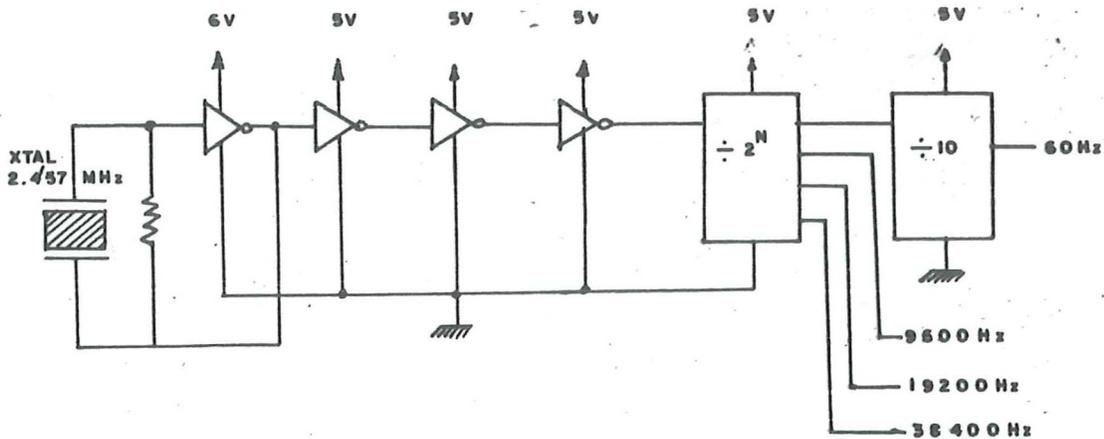


Fig. 21 Circuito de reloj para la entrada y salida de datos

es un cristal de cuarzo con frecuencia de oscilación de 2.4576 Mhz, tambien, emplea un arreglo de inversores, los cuales a su vez son conectados a un divisor de dos estados, esto, debido a sus múltiples salidas, que son seleccionables a las frecuencias de 9600, 19,2000 y 38,000 ciclos por segundo. De este modo, las velocidades mencionadas representan la rapidéz a la que se deben programar los receptores transmisores asíncronos universales (periféricos con memoria utilizados en la recepción de solicitudes de acceso por parte de los usuarios) para poder comunicarse entre si usuarios y microcomputadora. Por otro lado, el

reloj que permite el funcionamiento del circuito inteligente y sus puertos de entrada y salida, está formado por un cristal a la frecuencia de 6.144 Megaciclos el cual es conectado directamente a la pastilla del microprocesador, generando internamente las señales deseadas para operación.

### III.9 Opción remota

Esta parte del sistema como su nombre lo indica permite al usuario conectarse a una computadora colocada a 5 kilómetros aproximadamente de la base central, si cuenta con la autorización del CCE correspondiente. Es decir, si se tiene un directorio en la máquina mencionada, de otro modo no sería posible.

Su estructura es la siguiente: un juego de matrices de conmutación para 16 usuarios, un puerto de cuatro bits (PA) y otro de ocho (PB) (similar a la opción local). Externo al SIAM, sus cuatro salidas bidireccionales son amarradas a un multicanalizador estadístico y concentrador de datos, modelo M8C serie II de la compañía TIMEPLEX Inc (Ver apéndice III), el cual emplea un protocolo de enlace X.25 de nivel 2. Los errores en la estructura transmitida son comparados mediante un código de 16 bits de redundancia ciclica. Utiliza un procedimiento de retransmisión de bloques a través de una solicitud de repetición automática de repetición de los bloques erróneos. Finalmente y utilizando una línea

telefónica Duplex, se conecta a un modulador del tipo CM244A Blue Chip Series de la compañía International Communications Corporation el cual permite la transmisión de datos, modulando en fase y a la velocidad de 2400 bauds. por otro lado, en la zona remota se encuentra colocado otro modulador cuya función es convertir de tonos a pulsos la información. Y esta aún multicanalizada es introducida al demulticanalizador de la marca conocida, para que al fin cada usuario sea conectado a su entrada correspondiente del AMLC de la computadora remota, (ver figura 3).

#### IV. PROGRAMACION DEL SISTEMA MONITOR

La programación está diseñada y probada en lenguaje ensamblador por la necesidad de hacer al sistema lo mas flexible posible en su operación y mantenimiento. Además, el sistema monitor se encuentra grabado en una memoria de lectura exclusiva, (ver apéndice III), de bajo consumo de energía, alta velocidad y está compuesto de los siguientes programas y subprogramas:

IV.1 Programa principal de control

IV.2 Subprograma de interrupciones

IV.3 Subprograma de actualización

A continuación se analiza el funcionamiento de cada uno de estos.

#### IV.1 Programa principal de control

El programa principal realiza las siguientes tareas, ver figura 22.

- a). Inicializa puertos de entrada y salida, tabla estadística y tabla matricial de conexión y desconexión (TMC), actualiza el registro canal libre- ocupado (CLO) al AMLC y controla el reloj de interrupciones
- b). Desconecta matrices de conmutación
- c). Coloca a cero la bandera
- d). Pregunta si esta libre una de las cuatro entradas a la computadora local. Si es afirmativo, solicita que se llame al subprograma de actualización y posteriormente a la ejecución, le ordena que regrese el apuntador al lugar donde fue llamado. Si es negativo, solicita que se pregunte por el siguiente canal de acceso a la computadora y así subsecuentemente hasta cubrir los cuatro canales

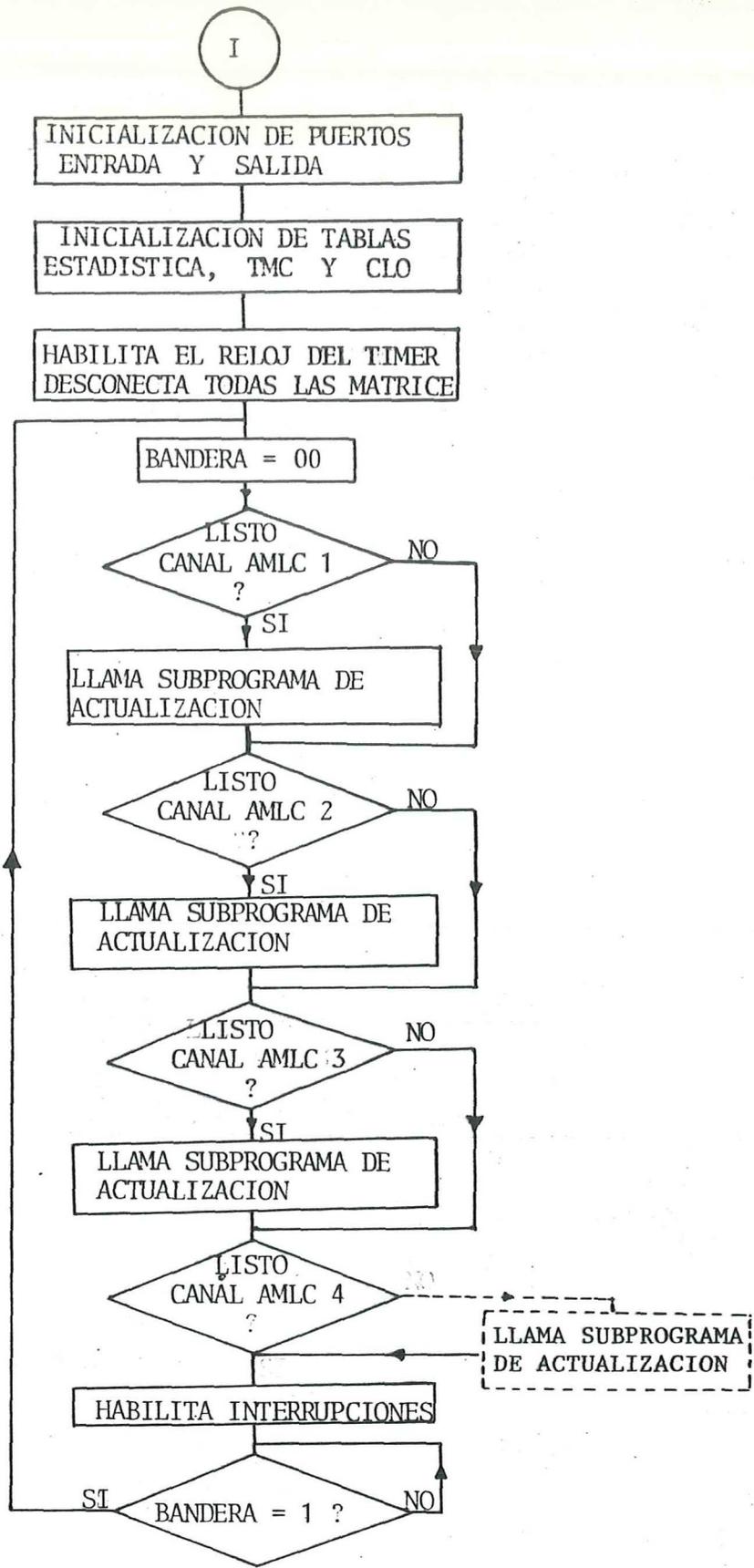


Fig. 22 Programa principal

- e). Autoriza interrupciones, (Colin W., et al., 1980) y espera por una para saltar al subprograma de servicio
  
- f). Finalmente al término del programa mencionado, coloca la bandera en uno y regresa al programa principal, inciso c)

#### IV.2 Subprograma de interrupciones

Este subprograma dentro del contexto total del seleccionador es la parte mas delicada e inteligente del sistema ya que requiere de una sincronización y coherencia fluida, que permita optimizar tiempo en sus ejecuciones. Sus puntos de trabajo mas importantes son los siguientes, ver figura 23.

- a). Desautoriza interrupciones y lee tabla actualizada TMC.
  
- b). Pregunta a través de la tabla TMC si solicita acceso el usuario de máxima prioridad. Si es negativo, pregunta de nueva cuenta, pero ahora lo hace al receptor asíncrono, si es que este usuario esta solicitando entrada actualmente. Si ambas solicitudes son negativas, salta y pregunta por el

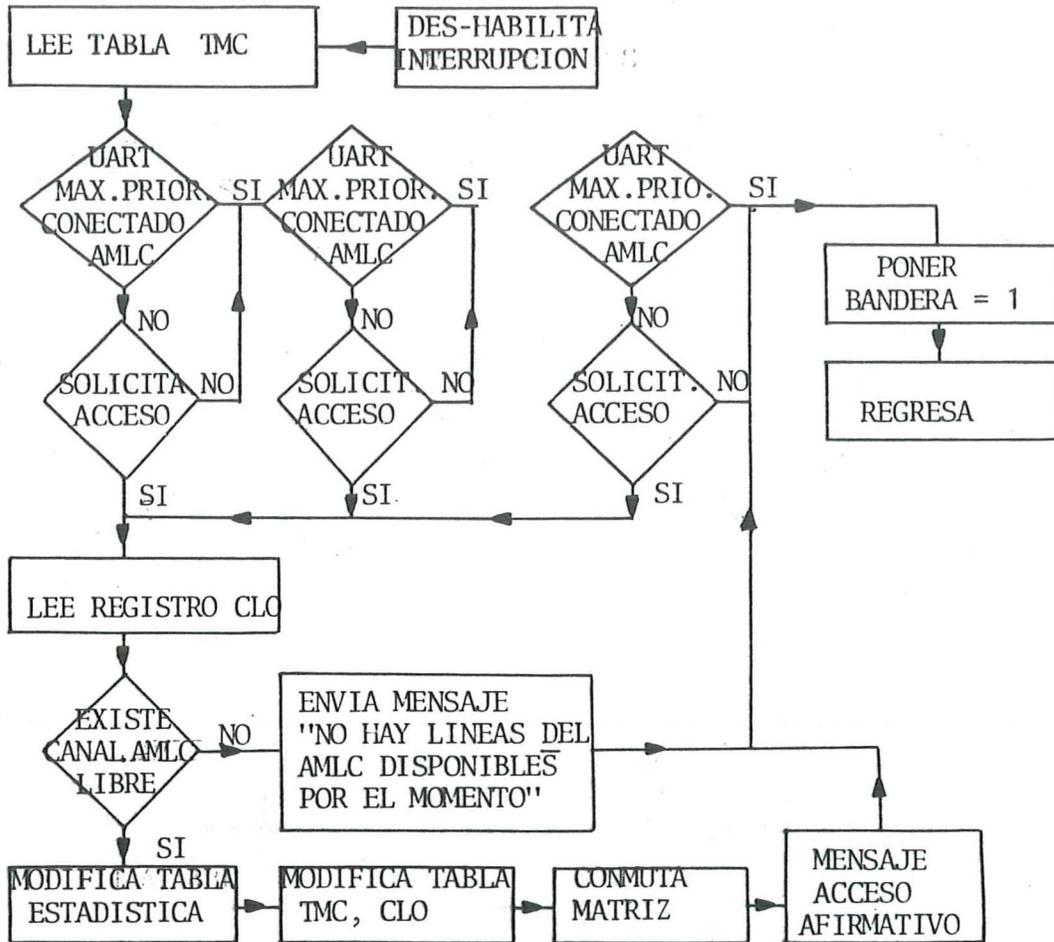


Fig. 23 Subprograma de interrupciones

usuario de siguiente prioridad.

- c). Si ambas de las solicitudes anteriores son afirmativas, el SIAM pregunta si existe canal libre del AMLC. Si no existe canal, el sistema envia un mensaje al usuario. LAS LINEAS DE ACCESO AL SISTEMA PRIME ESTA OCUPADAS FAVOR DE INTENTAR MAS TARDE.
- d). Si existe canal AMLC libre, entonces modifica las tabla estadísticas, TMC y CLO, conmuta matriz y finalmente envía un mensaje Acceso afirmativo (LOGIN PLEASE) y regresa al programa principal.

La figura 24 nos indica la estructura de las tablas TMC, CLO y estadística y su mapa de memoria.

#### IV.3 Subprograma de actualización

Tareas que realiza el subprograma de actualización, ver figura 25.

- 1). Modifica la tabla TMC
- 2). Actualiza el registro CLO

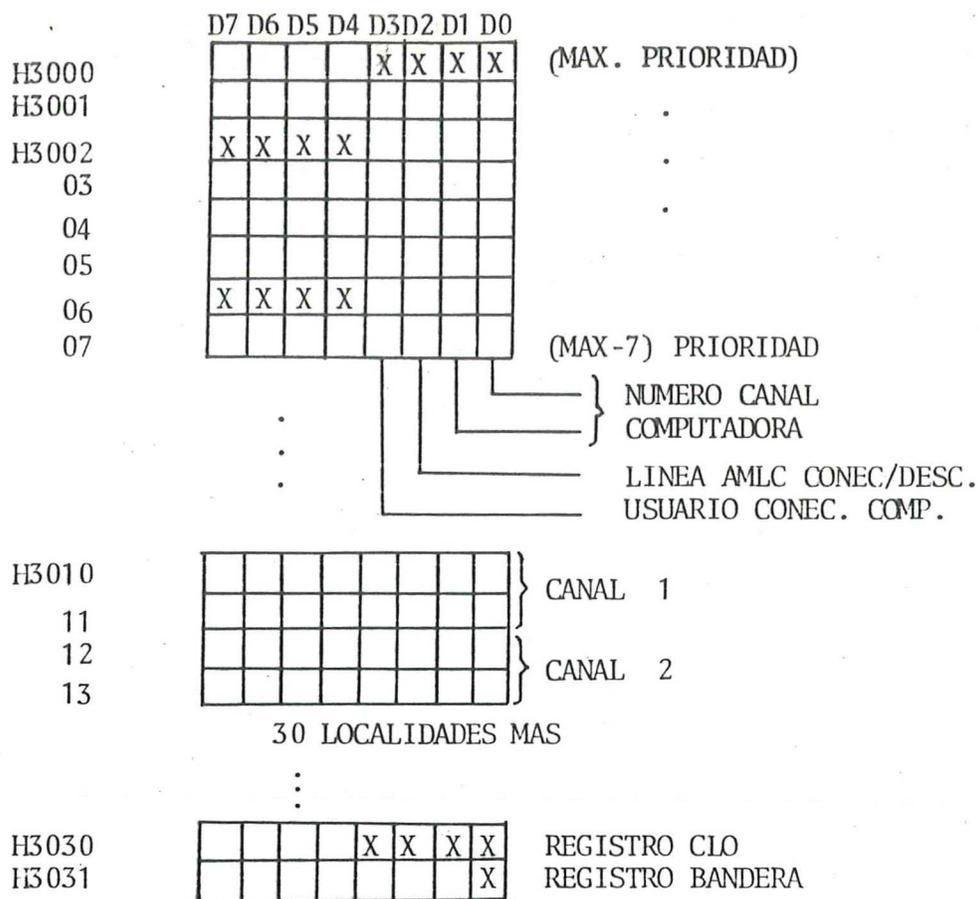


Fig. 24 Estructura tablas TMC, CLO y estadística

3). Identifica al usuario que se desconecta de la computadora

4). Salta e inicia nuevamente

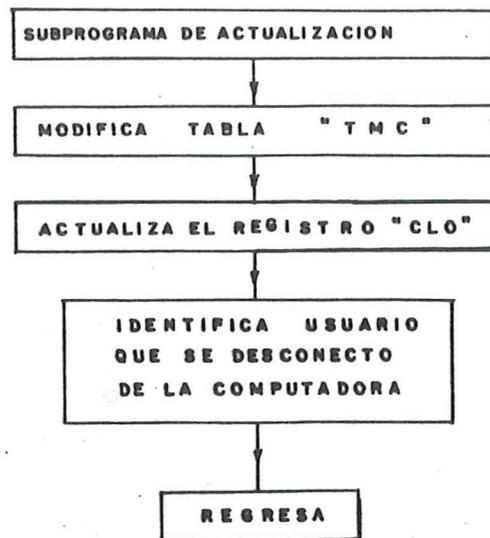


Fig. 25 Subprograma de actualización

## V. PRUEBAS DE LABORATORIO

Las pruebas de funcionamiento del SIAM se realizaron en el laboratorio para verificar que trabaja según los objetivos planteados. Para esto, se diseñó un juego de programas que también sirvan como diagnóstico de operación en el futuro. Es decir, se crearon subsistemas de mantenimiento independiente que permitan probar las partes más importantes del aparato y sus líneas de comunicación. A continuación se describe el funcionamiento de cada uno de ellos:

### V.1 Prueba de funcionamiento de matrices de conmutación

Este programa forma parte de los programas de diagnóstico utilizados para darle mantenimiento al sistema, ver figura 26. El mantenimiento puede ser correctivo o preventivo según se desee, para este caso y por el momento únicamente se cuenta con el primero ya que para el futuro se tiene contemplado, además de opción remota, el mantenimiento preventivo, cuyo interés está fuera de este trabajo.

Tareas que realiza este programa:

- a). Inicializa la pila y los puertos de entrada y salida.
- b). Guarda pulsos de autorización en las localidades 2080, 2081, 2082 y 2083.

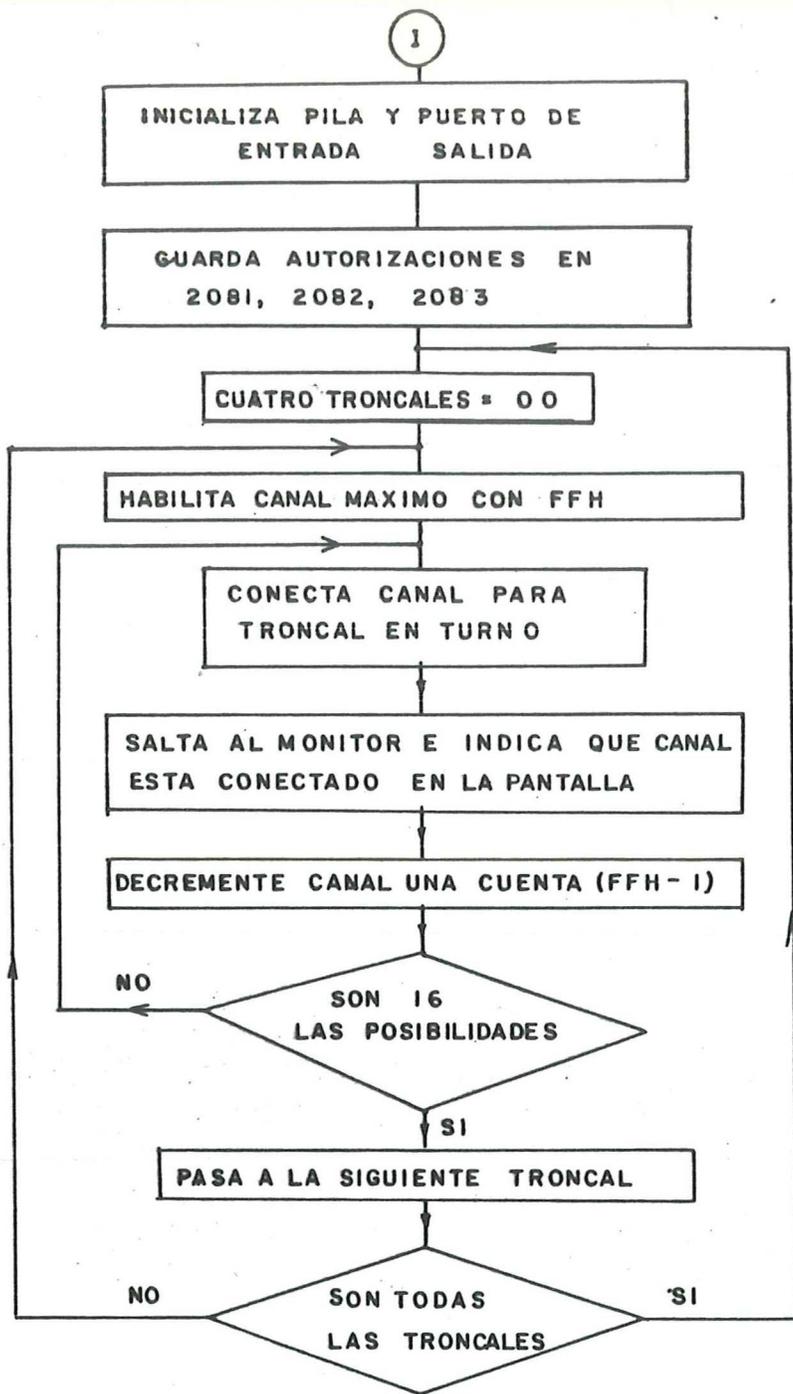


Fig. 26 Programa que prueba cuatro troncales de conmutación

- c). Pone a cero lógico las cuatro trocales.
- d). Autoriza el canal máximo.
- e). Conecta canal para la troncal en turno, posteriormente salta al monitor e indica en la pantalla de la terminal de servicio que canal esta conectado.
- f). Decrementa al canal una cuenta, (Colín, et al., 1980).
- g). Ejecutó las 16 posibilidades de conexión. Si es negativo, que salte al inciso e), si es afirmativo, pasa a la siguiente trocal y que la conecte.
- h). Estan todas las trocales conectadas. Si es negativo, salta al inciso d), si es afirmativo, salta al c) y repite todo el proceso nuevamente.

## V.2 Pruebas para la entrada y salida de datos

Ambos programas forman parte también del plan de mantenimiento, ya que por ejemplo el de entrada es capaz de detectar si un usuario esta solicitando acceso y no esta su linea conectada correctamente. Para esto, habilita al

receptor del usuario en prueba y espera para darle servicio. Así, si el usuario solicita entrada imprimiendo un caracter de su teclado, este caracter debe ser expuesto en el monitor de la terminal del técnico. Su descripción secuencial quedaría del siguiente modo, (ver figura 27).

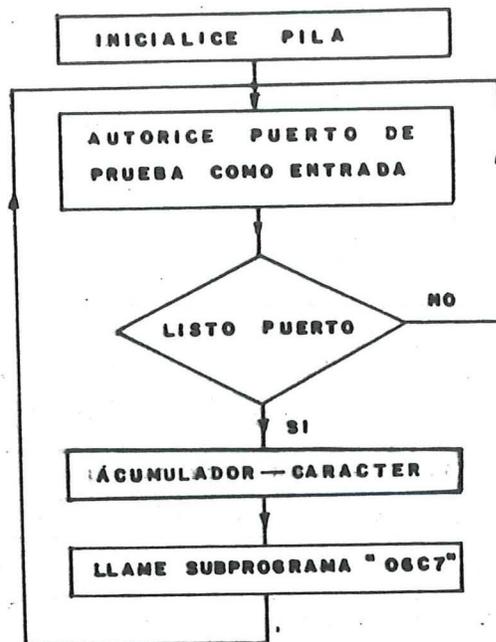


Fig. 27 Subprograma que prueba la entrada de datos del usuario a la microcomputadora

- a). Inicializa la pila
- b). Autoriza el puerto de interés que esta siendo probado como de entrada
- c). Pregunta si se encuentra listo. Si es negativo, salta al inciso b) y espera hasta que este listo. Si es afirmativo, introduce el caracter al acumulador del microprocesador y llama al subprograma que coloca en la pantalla dicho caracter y finalmente salta al inciso c) y repite.

Por otro lado está el programa que prueba la salida de los datos o mensajes enviados al usuario. Sus pasos secuenciales son los siguientes, (ver figura 28).

- a). Inicializa el puerto de salida.
- b). Guarda primera letra del abecedario en el registro interno B.
- c). Autoriza la salida del interruptor correspondiente.
- d). Lee el estado del transmisor si se encuentra listo, espera hasta que este.

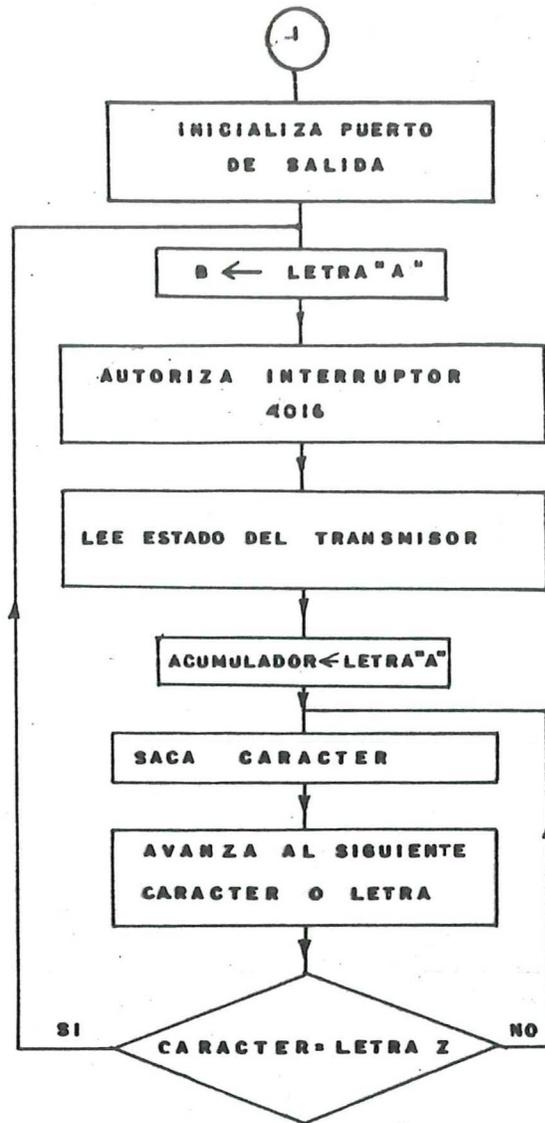


Fig. 28 Diagrama a bloques del programa que checa la salida de datos

- e). Coloca el primer caracter del abecedario en el acumulador.
- f). Saca caracter actual.
- g). Avanza al siguiente caracter.
- h). El caracter es la letra z. Si es negativo salta al inciso f) y continua sacando caracteres. Si es afirmativo, salta al inciso b) y repite sacando al abecedario.

Se tiene un tercer subprograma conocido como ECO que permite probar la entrada y salida de cuatro usuarios en cuatro, donde los usuarios en prueba teclean cualquier caracter en su terminal y deben recibirlo en su pantalla en un instante de tiempo corto. La trayectoria de este caracter es la siguiente: El usuario oprime su tecla escogida o caracter, instantáneamente éste es formateado en el código estandar americano para intercambio de información (ASCII), que es un código de siete bits para transferencia de datos. Posteriormente, se coloca en el circuito receptor correspondiente y se envía a la unidad de procesamiento central (CPU) del microprocesador, el cual inmediatamente después de recibirlo, lo regresa por el mismo medio donde vino hasta llegar y colocarse en la pantalla deseada. Su

descripción secuencial queda del siguiente modo, ver figura 29.

- a). Inicializa y autoriza primer puerto
- b). Listo puerto autorizado.
- c). Si es negativo, inicializa y autoriza el siguiente puerto y posteriormente salta al inciso d). Si es afirmativo, salta a d).
- d). Mete dato del puerto autorizado y guardalo en el registro B interno.
- e). Autoriza al puerto correspondiente como salida.
- f). Esta listo puerto autorizado como salida. Si es negativo, salta al inciso e) y espera hasta que este listo. si es afirmativo, coloca el dato del registro B interno en el acumulador y envialo a través del puerto autorizado al usuario correspondiente.
- g). Repite esta misma operación cuatro veces una por usuario.

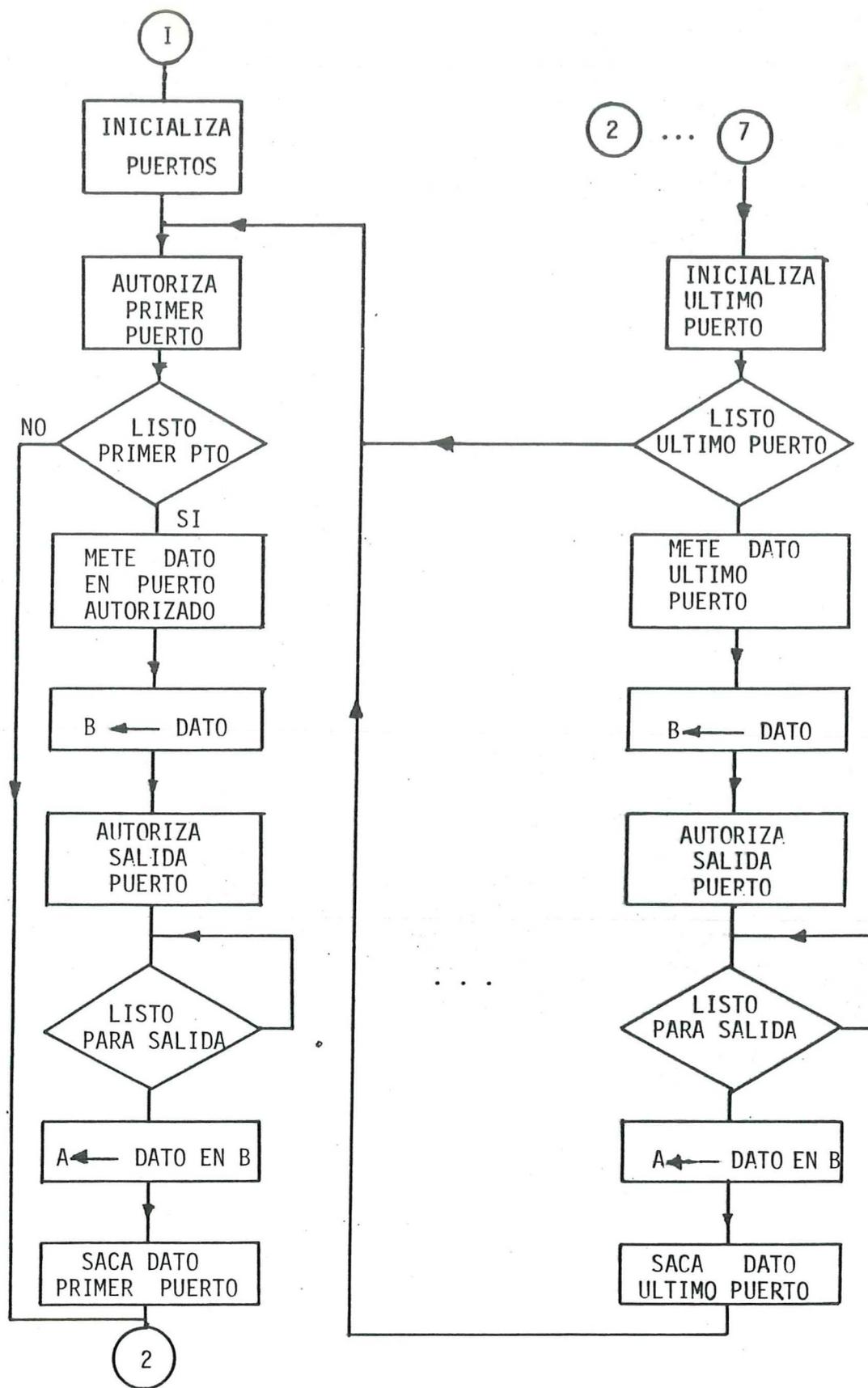


Fig. 29 Programa de mantenimiento que prueba la línea de comunicación usuario-computadora (ECO).



2C y 2D del puerto periférico correspondiente (Circuito 55).

La secuencia de operación de este programa de prueba es como sigue, (ver figura 30).

- a). Se inicializa el acumulador con ceros lógicos.
- b). Se almacena en los registros del temporizador la programación del mismo.  
Registro 2C---00H (LSB) Bits menos significativos  
Registro 2D---FCH (MSB) Bits mas significativos
- c). Se inicializa el temporizador y se comparan con una función NO-Y lógico la interrupción.
- d). Se autoriza la interrupción.
- e). Pregunta esta listo receptor. Si es negativo, se hace un lazo de espera hasta que este listo. Si es afirmativo, mete el caracter tecleado por el usuario hasta el acumulador. Posteriormente lo coloca en la pantalla de la terminal.
- f). Finalmente, salta al inciso d) y se repite el proceso mencionado.

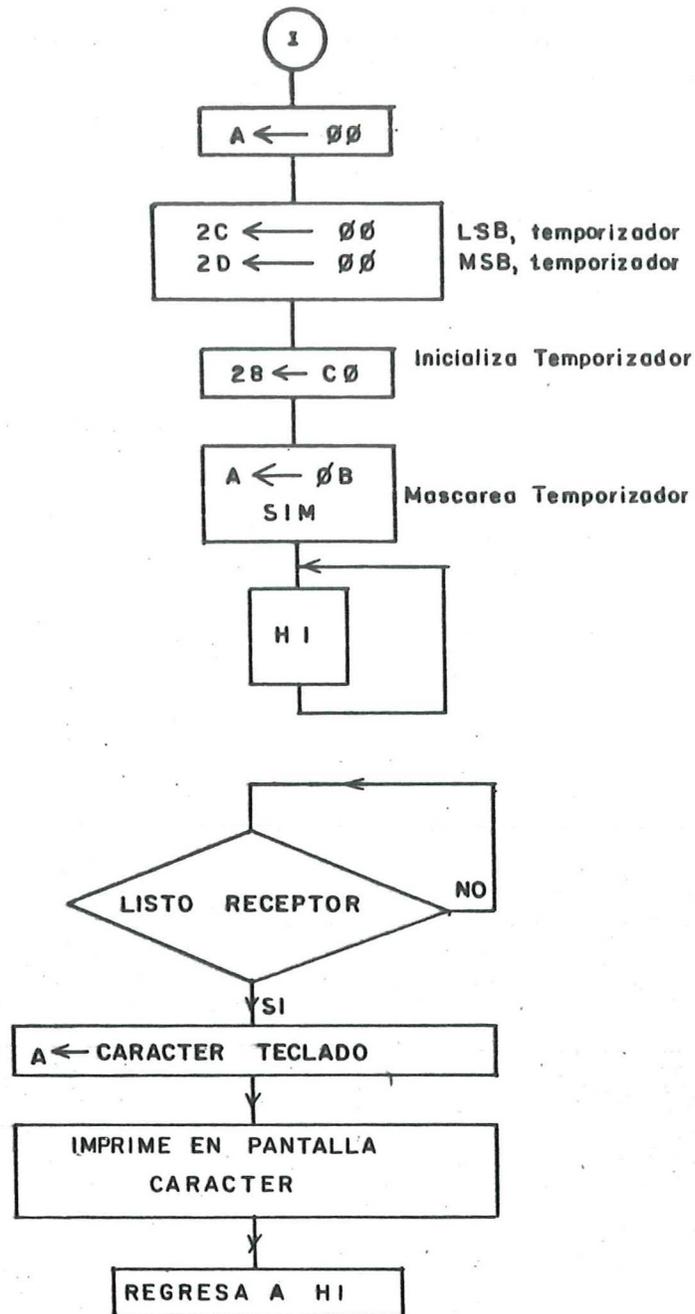


Fig. 30 Programa que prueba el funcionamiento de las interrupciones

#### V.4 Prueba de la memoria de lectura escritura

Este programa verifica si la memoria a probar está correcta, de lo contrario manda un mensaje indicando error. La secuencia de operación es la siguiente, ver figura 31.

- a). Inicializa parámetros y guarda primer dato a verificar.
- b). Coloca el apuntador en la dirección inicial de prueba
- c). Escribe el dato en la memoria a prueba desde el acumulador.
- d). Llama al acumulador el dato escrito en la memoria y comparalo con el esperado.
- e). Es el dato correcto. Si es negativo, envia mensaje de error o salta al monitor. si es afirmativo, salta al inciso f).
- f). Es la dirección final a verificar. Si es negativo, incrementa la memoria y salta al inciso c). si es afirmativo, incrementa el dato y salta a g).

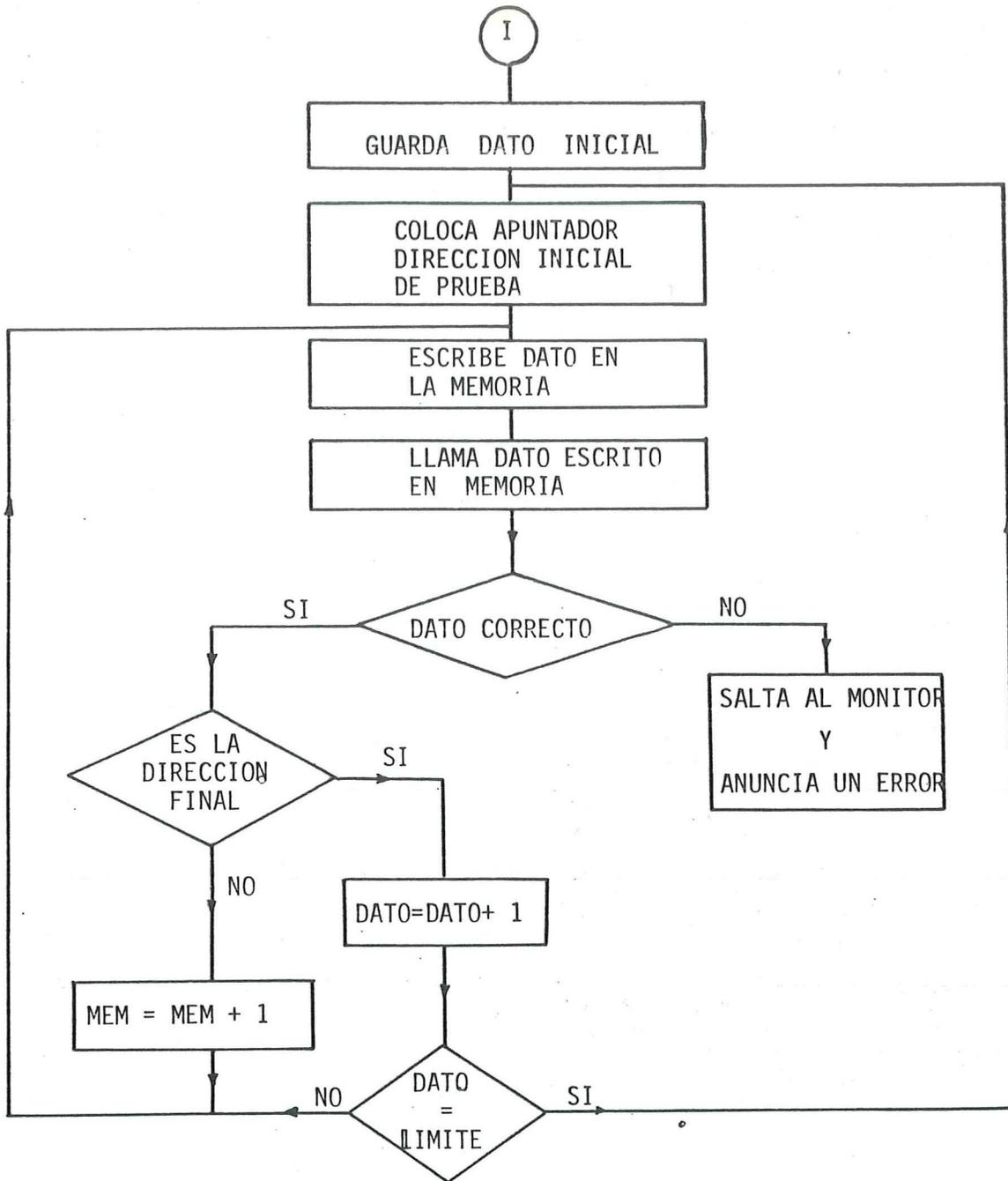


Fig. 31 Programa de mantenimiento para probar un Kbyte de memoria del usuario.

g). Es el último dato a comparar. Si es negativo, salta al inciso c) y repite el proceso nuevamente.

#### V.5 Fotografías del sistema

La figura 32, muestra dos fotografías del SIAM en etapas de prueba, para esto se necesitó del siguiente equipo: 1. Aparato diseñado SIAM.

2. Dos terminales de video alfanumérico.

3. Multímetro digital

4. Osciloscopio.

La figura 33, muestra la conexión del seleccionador con la computadora en su etapa final de pruebas, el cual permite e acceso a ocho usuarios por el momento. Con solo conectar una tarjeta extra a la estructura actual y un pequeño cableado adicional, su capacidad se debe extender a dieciseis usuarios en total, que es el tamaño más grande a que puede crecer el sistema.

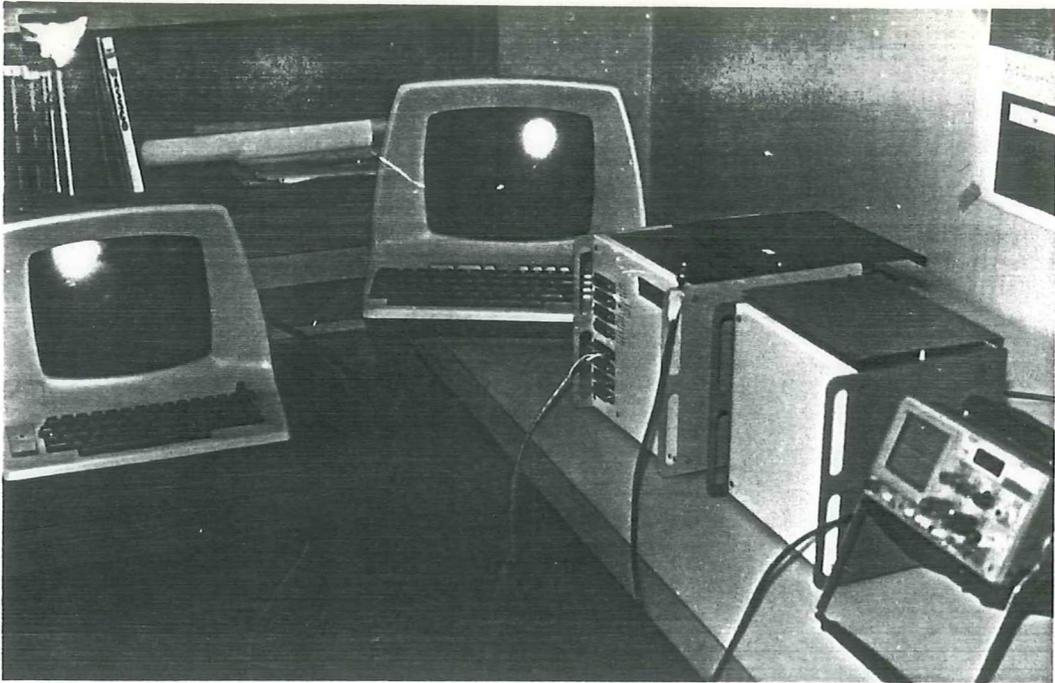


Fig. 32 Fotografía del SIAM en etapa de pruebas de laboratorio

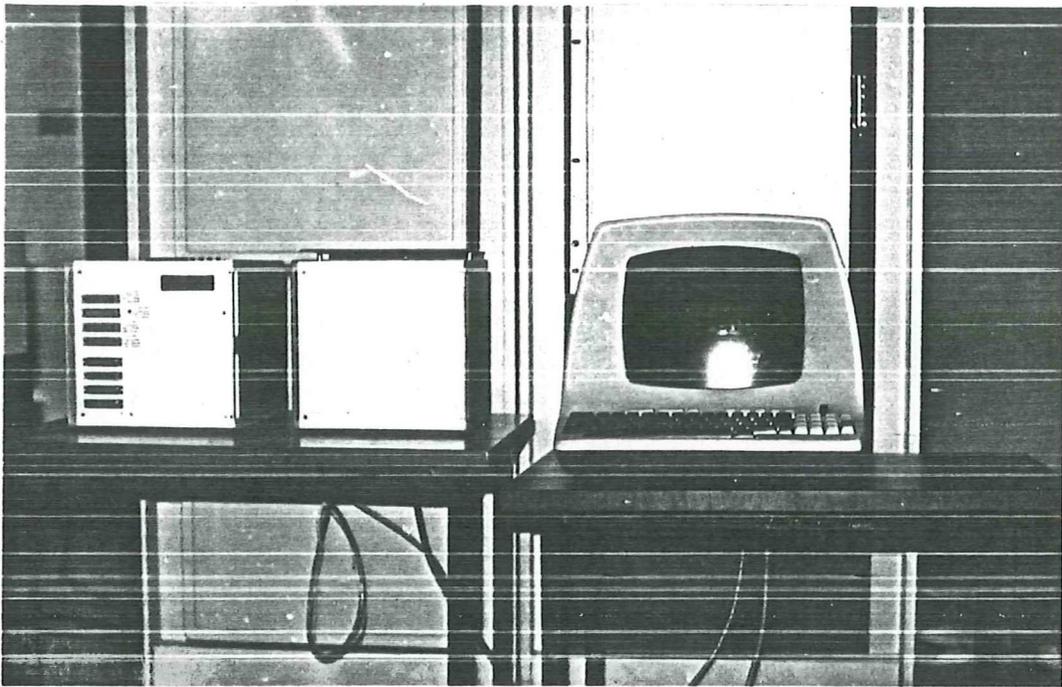


Fig. 33 Fotografía del seleccionador antes de ser conectado a la computadora PRIME

## VI OPERACION

### VI.1 Descripción de la operación del sistema

La operación se puede separar en dos partes, por un lado la que tiene que realizar el personal técnico para inicializar el funcionamiento del sistema y por otro la del usuario que es mas sencilla. De este modo, los pasos que tiene que seguir la persona responsable del sistema se resume como sigue:

1. Conectar el selector a través de su módulo de alimentación, a la línea alterna de corriente (110 Volts, 60 ciclos).
2. Colocar el interruptor de alimentación a la posición de encendido y verificar que el foco de alimentación se prenda.
3. Conectar el número de usuarios que se quiera esten controlados por el seleccionador y conectar las cuatro salidas a la computadora local, utilizando conectores RS 232C y además los cuatro restantes a la remota.
4. Encender la terminal de CCE utilizada para control,

conectarla al seleccionador a través de su conector exclusivo, con entrada única.

5. Utilizando el sistema monitor SDK 85, (SDK-85, et al., 1978) incluido en el seleccionador y direccionando el apuntador desde la localidad de memoria de lectura escritura 2000H a 200FH (que representan 16 posiciones de 8 bits. Es decir, esta área de memoria es la que ocupa la tabla matricial de conexión-desconexión) se procede a escribir la programación de la misma, la cual, constituiría la prioridad manual (Ver figura 26).
6. Del mismo modo, el contenido de la dirección de memoria 2030H y 2031H que representan dos localidades de ocho bits, los cuales contienen la información de canal libre ocupado y la bandera que se utiliza en cada interrupción. El programa principal, al inicializar coloca a cero las 32 localidades que van desde 2010H a 2013H, reservadas para guardar la estadística de acceso por usuario.
7. Posteriormente, el operador debe colocar el apuntador en la dirección 1000H, debido que es donde se encuentra el programa monitor que dará servicio a todo el sistema. Y finalmente, correr

este programa para que por si solo envíe un mensaje a todas las terminales que se encuentra listo para trabajar.

Por otro lado, la operación del usuario es relativamente sencilla. Es decir, este tiene que hacer lo siguiente:

Si se desea conectar cualquiera de los 16 usuarios a una de las cuatro líneas de la computadora local.

1. Oprimir la tecla L y apretar el regreso de carro.
2. El microprocesador inmediatamente y de acuerdo a la prioridad del usuario le indicará con un mensaje si hay línea disponible o no la hay. Es decir, si es afirmativo le contesta LOGIN PLEASE, que significa que tiene asignada una línea de la computadora local. Si es negativo, le envía el mensaje siguiente LAS LINEAS DE ACCESO AL SISTEMA PRIME ESTAN OCUPADAS POR FAVOR INTENTE MAS TARDE.

Si se desea conectar cualquiera de todos los usuarios permitidos a la computadora remota, siempre y cuando este conectada esta opción (fuera

del alcance de este trabajo) se oprime la tecla R posteriormente el regreso de carro y finalmente se espera que el sistema conteste de la misma manera que en la opción local.

Resumiendo ambas operaciones:

Se alimenta el sistema y se conectan las 16 entradas de los usuarios correspondientes y además, las cuatro salidas a la computadora. Posteriormente, interactúa el técnico de CCE con el SIAM para interrogarlo sobre el número de usuarios y el número de líneas de la computadora que están conectados. Luego el SIAM solicita prioridades de acceso al operador. Una vez inicializado el sistema los usuarios solicitan servicio tecleando la letra L de su terminal, y si finalmente su solicitud es aceptada, recibe automáticamente un mensaje de acceso afirmativo. Por otro lado, si esta es rechazada, recibe la indicación de que intente mas tarde. Todo esto con el fin de mantener informado al usuario del estado de funcionamiento del sistema.

## CONCLUSIONES

La operación del SIAM una vez instalado es bastante sencilla, ya que únicamente es necesario que el usuario oprima el caracter L de su teclado alfanumérico y el sistema se encargará o no de conectarlo a la computadora.

Su funcionamiento es similar el de un conmutador telefónico inteligente con cuatro troncales de conmutación y dieciseis usuarios que tienen prioridades diferentes. Su respuesta es suficientemente rápida de tal manera que puede darle servicio a los usuarios mencionados en un tiempo corto, sin que él lo notase.

Debido que el SIAM cuenta con programas de autodiagnóstico que permiten darle mantenimiento relativamente fácil, se reducen sus costos y se elimina la necesidad de utilizar personal externo que haría el sistema costoso. su precio, es cuatro veces menor que un multicanalizador ordinario de dieciseis líneas de entrada a solo cuatro de salida.

El seleccionador lleva en sus registros de memoria una estadística de conexión de parte de los usuarios, la cual facilita el conocimiento de acceso de cada uno de ellos como

lo realiza la computadora sobre sus cuatro líneas del AMLC.

El circuito diseñado puede ser conectado a cualquier computadora que use el protocolo RS 232C del CCITT en la conexión de sus terminales.

El SIAM se encuentra terminado y funcionando satisfactoriamente en su primera etapa.

## LITERATURA CITADA

Colin, W. L. L. 1980. Microcomputer experimentation with the Intel SDK-85. Prentice-Hall Inc., Englewood Cliffs. 340 p.

Rony, R. P., Larsen, D. G., Titus, A. J., 1979. Interfacing and scientific data communications experiments. Howard W. Sams and Co. Inc., Indianapolis. 350 p.

Christopher, A. T., Larsen, G.D. y Titus A. J. 1981 8085A cookbook. Howard W. Sams and Co. Inc., Indianapolis. 350 p.

Colín, G. A. 1984. Seleccionador Inteligente de Acceso Múltiple. Latincom 84. 2(6): 240-243.

Intel, Co. 1978, SDK-85 System Design Kit User's manual. Intel Corporation, Santa Clara. 52 p.

National, S. 1980, Interface databook. National Semiconductor Corp., Santa Clara. 678 p.

DEC, 1974, specification for DDCMP digital data

communications message protocol. Digital Equipment Corp. Mass. 40 p.

Prime, 1975, Asynchronous Multiline Controller AMLC.

Prime Computer Incorp. Framingham Mass. 50 p.

RCA. 1980, COS/MOS Integrated Circuits. RCA Solid State. San Diego California. 688 p.

## APENDICE I

ASCII.- Código estandar americano para intercambio de información.

Transmisión asíncrona.- Técnica de transmisión en la cual existe un tiempo variable entre la transmisión de caracteres sucesivos. El principio y el fin de cada caracter son indicados mediante un bit de inicio y otro de alto.

BAUD.- Unidad de medida de la velocidad de señalización.

Código binario.- Técnica mediante la cual la información es expresada por uno o mas bits.

Byte.- Secuencia de bits, normalmente ocho, el cual representa un caracter de dato.

CCITT.- Comité Consultivo Internacional de Telefonía y Telegrafía.

Caracter.- Grupo de bits que forman una unidad simple de datos, ejm. la letra A.

DCE.- Equipo de comunicación de datos.

DTE.- Equipo terminal de datos.

EIA.- Asociación de industrias electrónicas

Full Duplex.- Comunicación simultánea entre dos puntos en ambas direcciones.

Half duplex.- Protocolo o facilidad que soporta comunicación en una sola dirección aun tiempo.

Protocolo.- Es cualquiera de varias convenciones tomadas que controlan el formato y tiempo de los datos que se requieren para iniciar y mantener una comunicación.

Modem.- Dispositivo que convierte señales digitales en analógicas (moduladas) y recupera señales analógicas recibidas y las convierte a digitales (demoduladas).





```

114 10EB 47 3A2030 MOV B, A
115 10EC A0 LDA H2030
116 10EF A0 ANA B
117 10FO 322030 STA H2030
118 10F3 C9 RET
119 10F4 3E80 LAZD 9 MVI A H80
120 10F6 D32A OUT H2A
121 10F8 C3E510 JMP LLAZD 10
122 10FB 23 LAZD 47 INX H
123 10FC 13 INX D
124 10FD 13 INX D
125 10FE 13 INX D
126 10FF 13 INX D
1100 1100 05 DCR B
1101 1101 C9 RET
128 1101 C9 RET
129 1101 C9 END

```

\*HABILITA PULSO DE AUTORIZACION TRONCAL #1

TERMINA

0 ERRORS  
ASSEMBLY COMPLETED (DCK \*\* REV B)

```

1 1130 H1130 ORG
2 1131 F3 212000 LXI H H2000
3 1134 0400 MVI B H00
4 1136 7E MVI A, M
5 1137 E60C ANI H0C
6 1139 FE0C H0C
7 113B C24C11 JNZ LLAZD 15
8 113E 23 LAZD 17 INX H
9 113F 04 INR B
10 1140 7B MOV A, B
11 1141 FE08 CPI
12 1143 C23611 JNZ LLAZD 16
13 1146 3E01 MVI A H01
14 1148 322031 STA H2031
15 114B C9 RET
16 114C 7E LAZD 15 MOV A, M
17 114D E6F0 ANI H0
18 114F FE00 CPI H00
19 1151 1151 JZ LENT #1
20 1154 CA7511 JZ LENT #1
21 1156 FE10 CPI H10
22 1159 CAB111 JZ LENT #2
23 115B FE20 CPI H20
24 115E CABD11 JZ LENT #3
25 1160 FE30 CPI H30
26 1163 CA9911 JZ LENT #4
27 1165 FE40 CPI H40
28 1168 CAA511 JZ LENT #5
29 116A FE50 CPI H50
30 116D CAB111 JZ LENT #6
31 116F FE60 CPI H60
32 1172 CABD11 JZ LENT #7
33 1175 C3C911 JMP LENT #8
34 1177 DB80 IN H80
35 1179 E680 ANI H80
36 117C CA4611 JZ LLAZD 18
37 117E DB90 IN H90

```

\*SUBPROGRAMA DE INTERRUPCIONES QUE DA  
\*SERVICIO A USUARIOS  
\*EL USUARIO DE MAXIMA PRIORIDAD ESTA LISTO  
\*CONTADOR ASCENDENTE A 8  
\*IDENTIF. Q USUARIO > PRIOR. NO ESTA EN LINEA

\*BANDERA= 1

\*LOCALIZA EL USUARIO Q SI SOLICITA ENTRADA

\*PERMITE ACCESO AL USUARIO #1



\*DRIGEN PAGE 0005

DRG H1000

1

1202	96	CABD12	LAZO 20	JZ	LLAZO 26		
1205	97	7B		MOV A,E			
1206	98	B6		ORA M			
1207	99	77		MOV M,A			
1208	100	212000		LX1 H	H2000		
1209	101	7D		MOV A,L			
120C	102	80		ADD B			
120D	103	6F		MOV L,A	HOC		
120E	104	3E0C		MVI A			
1210	105	B1		ORA C			
1211	106	77		MOV M,A			
1212	107	1117B0	LAZO 22	LX1 D	H17B0		
1215	108	3E00		MVI A	H00		
1217	109	B9		CMP C			
1218	110	CA2A12		JZ	LLAZO 21		
121B	111	1C		INR E			
121C	112	3E01		MVI A	H01		
121E	113	B9		CMP C			
121F	114	CA2A12		JZ	LLAZO 21		
1222	115	1C		INR E			
1223	116	3E02		MVI A	H02		
1225	117	B9		CMP C			
1226	118	CA2A12		JZ	LLAZO 21		
1229	119	1C		INR E			
122A	120	212000	LAZO 21	LX1 H	H2000		
122D	121	7D		MOV A,L			
122E	122	80		ADD B			
122F	123	6F		MOV L,A			
1230	124	7E		MOV A,M			
1231	125	E6F0		ANI			
1233	126	FE00		CPI	HFO		
1235	127	CA6B12		JZ	LLAZO 24		
1238	128	CDB412		CALL	LLAZO 43		
123B	129	FE01		CPI	H01		
123D	130	CA6B12		JZ	LLAZO 24		
1240	131	CDB412		CALL	LLAZO 43		
1243	132	FE02		CPI	H02		
1245	133	CA6B12		JZ	LLAZO 24		
1248	134	CDB412		CALL	LLAZO 43		
124B	135	FE03		CPI	H03		
124D	136	CA6B12		JZ	LLAZO 24		
1250	137	CDB412		CALL	LLAZO 43		
1253	138	FE04		CPI	H04		
1255	139	CA6B12		JZ	LLAZO 24		
1258	140	CDB412		CALL	LLAZO 43		
1258	141	FE05		CPI	H05		
125D	142	CA6B12		JZ	LLAZO 24		
1260	143	CDB412		CALL	LLAZO 43		
1263	144	FE06		CPI	H06		
1268	146	CDB412		JZ	LLAZO 24		
1268	147	1A	LAZO 24	CALL	LLAZO 43		
126C	148	D329		LDAX D			
126E	149	7E		MOV A,M	H29		
126F	150	E6F0		ANI	HFO		
1271	151	FE40		CPI	H40		
1273	152	DA7D12		JC	LLAZO 25		
1276	153	3E10		MVI A	H10		

\*ENVIA MENSAJE NO HAY LINEA DISPONIBLE  
\*MODIFICA REGISTRO CLO

\*MODIFICA TABLA TMC

\*IDENTIFICA CANAL AMLC PARA CONECTAR MATRIZ

\*IDENTIF USUARIO Q SOLICITA ENT P CONEC MATRZ

\*CODIGO BCD PARA CONECTAR MATRIZ

\*PULSOS DE AUTORIZACION PARA CONECTAR MATRIZ

\*CONECTA TRONCAL #2

\*ORIGEN

ORG H1000

1

```

1278 D33A
127A JMP H2A
127D C34611 LAZD 25 MVI A H2A LLAZD 1B
127E 3E40 H40
127F D32A H2A LLAZD 1B
1281 C34611
1284 JMP H2A LLAZD 1B
1285 13
1286 13
1287 13
1288 13
1289 13
128A 7E
128B E6FO
128C C9
128D 212000
1290 7D
1291 80
1292 6F
1293 7E
1294 E6FO
1296 FE00
1298 CAC112
1299 FE01
129D CAE012
12A0 FE02
12A2 CAFF12
12A5 FE03
12A7 CA1E13
12AA FE04
12AC 0A3D13
12AF FE05
12B1 CA5C13
12B4 FE06
12B6 CA7B13
12B9 FE07
12BB CA9A13
12BE C34611
12C1 3EFE
12C3 D321
12C5 1E88
12C7 217017
12CA DB80
12CC E601
12CE 196
12D1 7E
12D2 D390
12D4 23
12D5 1D
12D6 C2CA12
12D9 3EFF
12DB D321
12DD C34611
12E0 3EFD
12E2 D321
12E4 1E98
12E6 217017
12E9 DB81
12EB E601
12ED CAE912

154 D33A
155 JMP H2A
156 C34611 LAZD 25 MVI A H40 LLAZD 1B
157 3E40 H40
158 D32A H2A LLAZD 1B
159 C34611
160 13
161 13
162 13
163 13
164 7E
165 E6FO
166 C9
167 212000
168 7D
169 80
170 6F
171 7E
172 E6FO
173 FE00
174 CAC112
175 FE01
176 CAE012
177 FE02
178 CAFF12
179 FE03
180 CA1E13
181 FE04
182 0A3D13
183 FE05
184 CA5C13
185 FE06
186 CA7B13
187 FE07
188 CA9A13
189 C34611
190 3EFE
191 D321
192 1E88
193 217017
194 DB80
195 E601
196 196
197 7E
198 D390
199 23
200 1D
201 C2CA12
202 3EFF
203 D321
204 C34611
205 3EFD
206 D321
207 1E98
208 217017
209 DB81
210 E601
211 CAE912

1278 D33A
127A JMP H2A
127D C34611 LAZD 25 MVI A H2A LLAZD 1B
127E 3E40 H40
127F D32A H2A LLAZD 1B
1281 C34611
1284 JMP H2A LLAZD 1B
1285 13
1286 13
1287 13
1288 13
1289 13
128A 7E
128B E6FO
128C C9
128D 212000
1290 7D
1291 80
1292 6F
1293 7E
1294 E6FO
1296 FE00
1298 CAC112
1299 FE01
129D CAE012
12A0 FE02
12A2 CAFF12
12A5 FE03
12A7 CA1E13
12AA FE04
12AC 0A3D13
12AF FE05
12B1 CA5C13
12B4 FE06
12B6 CA7B13
12B9 FE07
12BB CA9A13
12BE C34611
12C1 3EFE
12C3 D321
12C5 1E88
12C7 217017
12CA DB80
12CC E601
12CE 196
12D1 7E
12D2 D390
12D4 23
12D5 1D
12D6 C2CA12
12D9 3EFF
12DB D321
12DD C34611
12E0 3EFD
12E2 D321
12E4 1E98
12E6 217017
12E9 DB81
12EB E601
12ED CAE912

*CONECTA TRONCAL #1
*SUB-PRDC G INCREMENT APUNTAD P CONEXION
*LOCALIZA USUARIO G HIZD LOG OUT
*ES EL USUARIO 1
*ES EL USUARIO #2
*ES EL USUARIO #3
*ES EL USUARIO #4
*ES EL USUARIO #5
*ES EL USUARIO #6
*ES EL USUARIO #7
*ES EL USUARIO #8

ENVIA MENSAJ USUARIO NO HAY LINEAS DISP AMLC

```

12F0	212	7E	DRG	H1000	*DRIGEN	H1000
12F1	213	D391	MOV A, M			
12F3	214	23	OUT	H91		
12F4	215	1D	INX H			
12F5	216	C2E912	DCR E			
12F8	217	3EFF	JNZ A	LLAZD 36		
12FA	218	D321	MVI A	HFF		
12FC	219	C34611	OUT	H21		
12FF	220	3EFB	JMP	LLAZD 18		
1301	221	D321	MVI A	HFB		
1303	222	1E88	OUT	H21		
1305	223	217017	MVI E	H88		
1308	224	DB82	LXI H	H7017		
130A	225	E601	IN	H82		
130C	226	CA0813	ANI	H01		
130F	227	7E	JZ	LLAZD 37		
1310	228	D392	MOV A, M			
1312	229	23	OUT	H92		
1313	230	1D	INX H			
1314	231	C20813	DCR E			
1317	232	3EFF	JNZ A	LLAZD 37		
1319	233	D321	MVI A	HFF		
131B	234	C34611	OUT	H21		
131E	235	3EF7	JMP	LLAZD 18		
1320	236	D321	MVI A	HF7		
1322	237	1E88	OUT	H21		
1324	238	217017	MVI E	H88		
1327	239	DB83	LXI H	H7017		
1329	240	E601	ANI	H01		
132B	241	CA2713	JZ	LLAZD 38		
132E	242	7E	MOV A, M			
132F	243	D393	OUT	H93		
1331	244	23	INX H			
1332	245	1D	DCR E			
1333	246	C22713	JNZ A	LLAZD 38		
1336	247	3EFF	MVI A	HFF		
1338	248	D321	OUT	H21		
133A	249	C34611	JMP	LLAZD 18		
133D	250	3EEF	MVI A	HEF		
133F	251	D321	OUT	H21		
1341	252	1E88	MVI E	H88		
1343	253	217017	LXI H	H7017		
1346	254	DB84	IN	H84		
1348	255	E601	ANI	H01		
134A	256	CA4613	JZ	LLAZD 39		
134D	257	7E	MOV A, M			
134E	258	D394	OUT	H94		
1350	259	23	INX H			
1351	260	1D	DCR E			
1352	261	C24613	JNZ A	LLAZD 39		
1355	262	3EFF	MVI A	HFF		
1357	263	D321	OUT	H21		
1359	264	C34611	JMP	LLAZD 18		
135C	265	3EDF	MVI A	HDF		
135E	266	D321	OUT	H21		
1360	267	1E88	MVI E	H88		
1362	268	217017	LXI H	H7017		
1365	269	DB85	IN	H85		









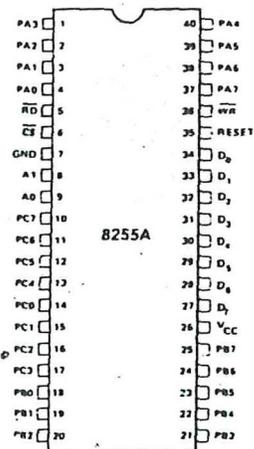


## 8255A, 8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
  - 24 Programmable I/O Pins
  - Completely TTL Compatible
  - Fully Compatible with Intel Microprocessor Families
  - Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
  - 40 Pin Dual-In-Line Package
  - Reduces System Package Count
  - Improved DC Driving Capability

The 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in two groups of twelve and used in three major modes of operation. In the first mode (Mode 0), each group of twelve I/O pins may be programmed in sets of 4 to be input or output. In Mode 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining four pins three are used for handshaking and interrupt control signals. The third mode of operation (Mode 2) is a Bi-directional Bus mode which uses 8 lines for a bi-directional bus, and five lines, borrowing one from the other group, for handshaking.

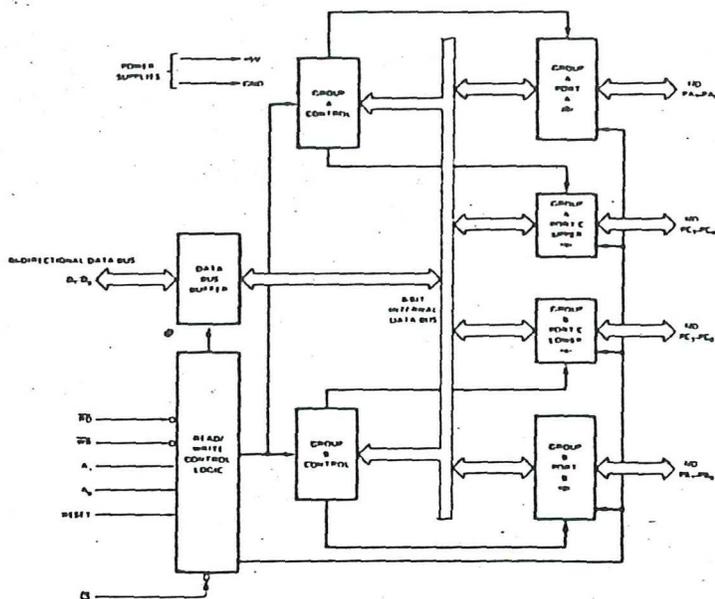
PIN CONFIGURATION



PIN NAMES

D <sub>7</sub> -D <sub>0</sub>	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WA	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (8BIT)
PB7-PB0	PORT B (8BIT)
PC7-PC0	PORT C (8BIT)
V <sub>CC</sub>	+5 VOLTS
GND	0 VOLTS

8255A BLOCK DIAGRAM





# Transmission Line Drivers/Receivers

DS1489/DS1489A

## DS1489/DS1489A Quad Line Receiver

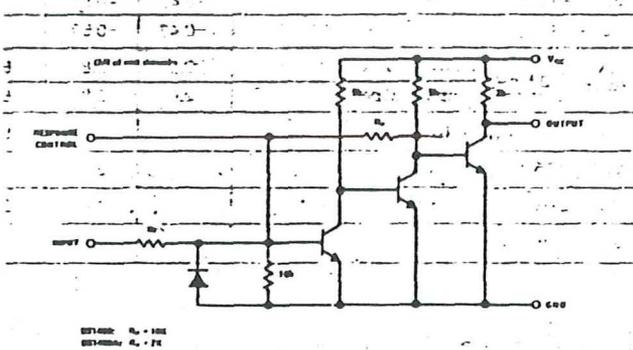
### General Description

The DS1489/DS1489A are quad line receivers designed to interface data terminal equipment with data communications equipment. They are constructed on a single monolithic silicon chip. These devices satisfy the specifications of EIA standard No. RS232C. The DS1489/DS1489A meet and exceed the specifications of MC1489/MC1489A and are pin-for-pin replacements. The DS1489/DS1489A are available in 14-lead ceramic dual-in-line package.

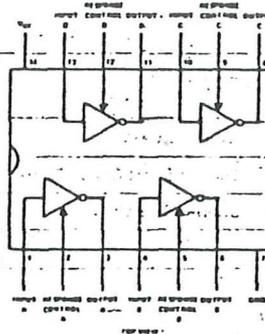
### Features

- Four totally separate receivers per package
- Programmable threshold.
- Built-in input threshold hysteresis
- "Fail safe" operating mode
- Inputs withstand  $\pm 30V$ .

### Schematic and Connection Diagrams

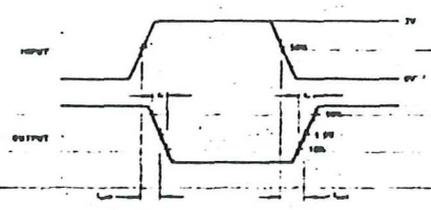
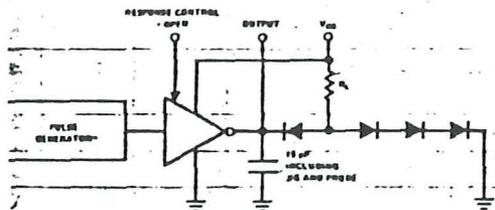


### Dual-In-Line Package

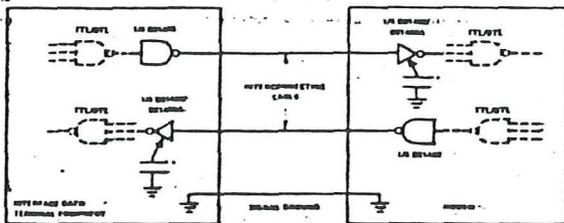


Order Number DS1489J, DS1489AJ,  
DS1489N or DS1489AN  
See NS Package J14A or N14A

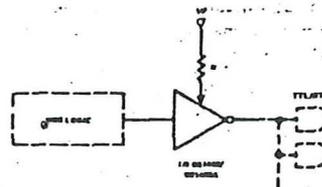
### AC Test Circuit and Voltage Waveforms



### Typical Applications



RS232C Data Transmission



MOS to TTL/DTL Translator

**DS1488 Quad Line Driver**

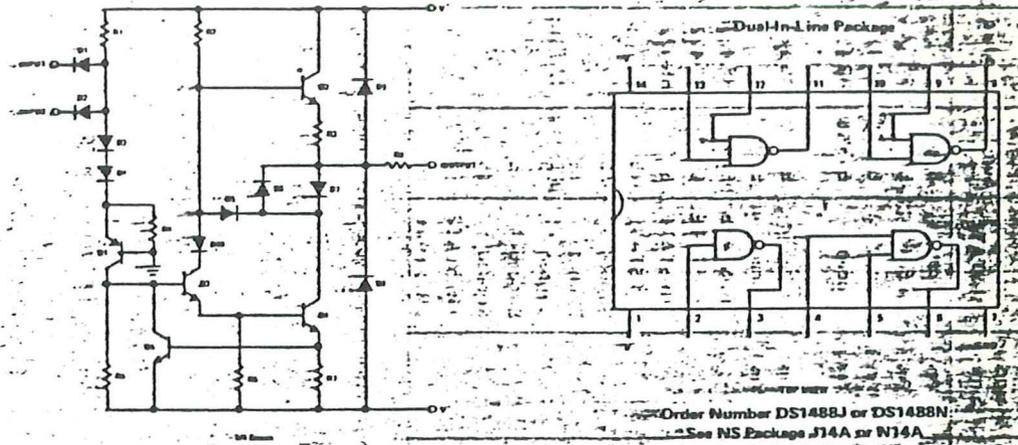
**General Description**

The DS1488 is a quad line driver which converts standard DTL/TTL input logic levels through one stage of inversion to output levels which meet EIA Standard No. RS-232C and CCITT Recommendation V. 24.

**Features**

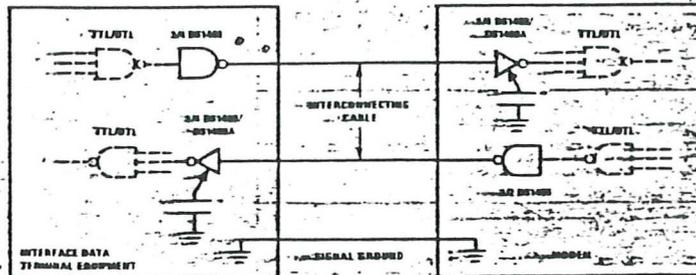
- Current limited output  $210 \text{ mA typ}$
- Power-off source impedance  $\leq 300 \Omega \text{ min}$
- Simple slew rate control with external capacitor
- Flexible operating supply range
- Inputs are DTL/TTL-compatible

**Schematic and Connection Diagrams**



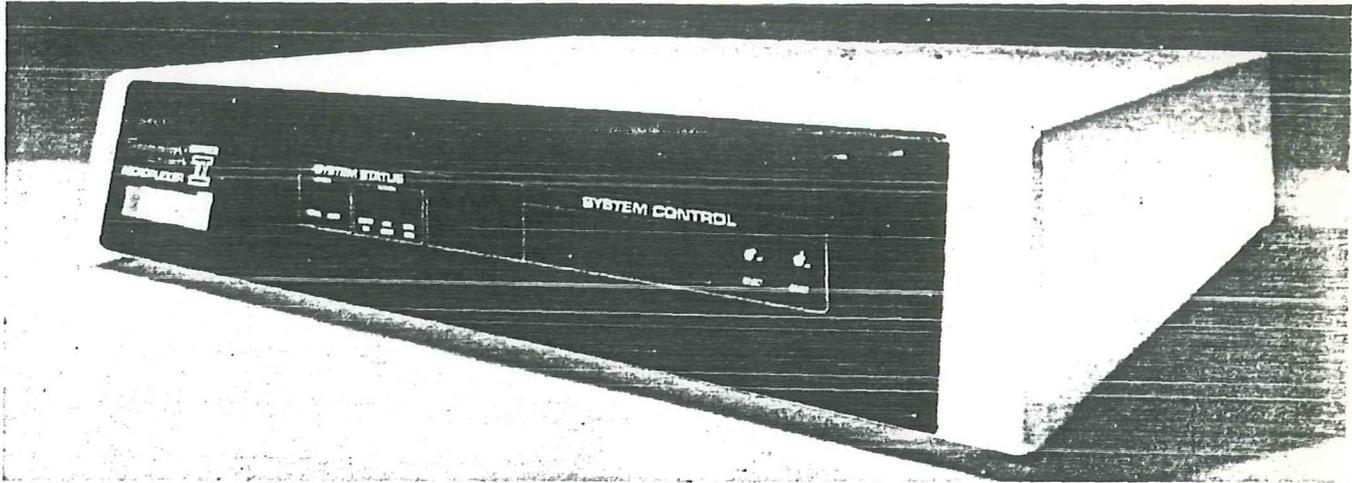
**Typical Applications**

RS232C Data Transmission



# Timeplex®

105  
**TECHNICAL SPECIFICATION**  
**SERIES II MICROPLEXER™**  
**M8C MODELS**  
**STATISTICAL MULTIPLEXERS/  
DATA CONCENTRATORS**



## PRODUCT DESCRIPTION

The SERIES II MICROPLEXER™ is a microprocessor-controlled statistical multiplexer/data concentrator that reduces data communications costs and provides high-level network control and error correction capabilities. It transmits and receives data from up to eight asynchronous and/or bisynchronous data sources such as terminals or CPU ports. These data sources may be connected to either a single, full-duplex synchronous data link operating at speeds of up to 19,200 BPS, or two full-duplex synchronous data links operating at speeds of up to 9,600 BPS. The MICROPLEXER only allocates bandwidth on the data link to channels that are actively transmitting. In this way, a lower speed data link can service many more channels than it could if a conventional multiplexer were used.

The SERIES II MICROPLEXER employs the X.25 Level 2 data link protocol that is fast becoming the international standard for data communications. Errors in the transmitted frame are detected by comparing 16-bit Cyclic Redundancy Check (CRC) characters. An Automatic Repeat Request (ARQ) procedure retransmits blocks that are in error, resulting in virtually error-free transmission.

## STANDARD FEATURES

- Any data format 5-8 bits plus parity
- Downline programming of remote MICROPLEXER
- Compaction rates of up to 8 to 1
- X.25 Level 2 data link protocol
- Real time operating statistics
- Automatic hardware and software diagnostics
- Battery backup of user entered parameters
- Easy programming of user parameters
- Dynamic buffering with priority override
- Traffic flow control
- Echoplex
- Internal test message generator
- Four full-duplex modem control functions per channel
- Flyback (carriage return) buffering
- ARQ data link error correction
- Traffic bypass on dual data links
- Traffic balancing on dual data links
- Permanent channel assignment on dual data links

## OPTIONAL FEATURES

- Adaptive speed (advanced autospeed)
- Bisynchronous data handler
- Auxiliary statistical/diagnostic computer
- Supervisory port