

RESUMEN de la Tesis de **Carlos Gerardo López Hernández** presentada como requisito parcial para la obtención del grado de Maestro en Ciencias en Física Aplicada con Opción en Instrumentación Electrónica.  
Ensenada, Baja California, México. Mayo de 1979.

## DISEÑO Y CONSTRUCCION DE UN SISTEMA DE ADQUISICION DIGITAL DE IMAGENES "SADI"

Resumen Aprobado



**Dr. Enrique Mitrani A.**  
Director de Tesis

El sistema de adquisición digital de imágenes (SADI) ha sido diseñado y construido para adquirir la información de imágenes, debido a que en la producción de componentes y sistemas ópticos es necesario tener un control en el pulido de las superficies y pruebas de calidad para asegurar que dicha superficie cumpla con las condiciones de diseño.

En las pruebas de medición interferométricas de superficies se necesita una interpretación precisa de las franjas de interferencia, por este motivo es necesario tener un enlace ó interfase del interferómetro de laboratorio con una computadora que interprete numéricamente dichas franjas.

El sistema se compone de una cámara de televisión usada como transductor de imagen, esto con el fin de obtener un sistema de bajo costo, una interfase analógica digital, un sistema de control que utiliza un microprocesador 8080 y una grabadora digital de cassette.

La señal entregada por el transductor es acondicionada por circuitos electrónicos analógicos, antes de ser digitizada por medio de un convertidor analógico/digital y posteriormente grabada en cinta cassette. La información así obtenida puede ser tratada posteriormente por una gran variedad de sistemas digitales.

Este trabajo está dividido en tres partes.

Primero se describe el acondicionamiento de la imagen óptica en una señal eléctrica analógica. Enseguida se describe la sección de digitalización de la señal (Interfase Analógica/Digital) y finalmente el sistema de control y almacenamiento utilizando el microprocesador 8080.

Así pues "SADI" digitaliza, procesa y almacena imágenes ópticas.

CENTRO DE INVESTIGACION CIENTIFICA Y DE  
EDUCACION SUPERIOR DE ENSENADA

DEPARTAMENTO DE FISICA APLICADA

"SADI"

Diseño y Construcción de un Sistema  
de Adquisición Digital de Imágenes.

TESIS

que para cubrir parcialmente los requisitos necesarios para  
obtener el grado de MAESTRO EN CIENCIAS presenta

CARLOS GERARDO LOPEZ HERNANDEZ

Ensenada, B.C., mayo de 1979.

TESIS APROBADA PARA SU DEFENSA POR:

.....  
Dr. Enrique Mitrani Abenchuchan, Director del Comité

.....  
M.C. Roberto Machorro Mejía, Miembro del Comité

.....  
M.C. Rubén Prieto Díaz, Miembro del Comité

.....  
M.C. Martín Celaya Barragán, Director de la División de Física Aplicada

  
.....  
Dr. Enrique Carrillo Barrios-Gómez, Director Académico

Tesis presentada en mayo 28, 1979.

A lo más hermoso de la vida misma, mis hijos

**CARLOS MAURICIO**

**E**

**ISRAEL**

## AGRADECIMIENTOS

Al Consejo Nacional de Ciencia y Tecnología "CONACYT" y al Centro de Investigación Científica y Educación Superior de Ensenada "CICESE", por haberme brindado el apoyo para realizar este trabajo.

Al Dr. Enrique Mitrani A., Director del Comité de Tesis, por la dirección, asesoría y la aportación de conocimientos para la realización de la misma.

A los miembros del Comité de Tesis, M. en C. Roberto Machorro y M. en C. Rubén Prieto D., por sus consejos y crítica a esta tesis.

A mis compañeros y Personal del Departamento de Física Aplicada del "CICESE".

## PENSAMIENTO

Lo importante en este mundo no es correr en contra del tiempo, sino saberlo llevar al lado de uno mismo como un fiel e inseparable amigo. Compartiendo con él todas las adversidades y grandes momentos de nuestra vida.

CARLOS GERARDO

## CONTENIDO

	Página
INTRODUCCION	
I. ACONDICIONAMIENTO IMAGEN/SEÑAL	
1.1.- Transductor de Imagen.	7
1.2.- Amplificador de Video.	12
1.3.- Filtro Activo Pasa Bajas.	17
II. INTERFASE ANALOGICA/DIGITAL	
2.1.- Circuito Oscilador	28
2.2.-Circuito de Reloj.	28
2.3.- Circuito C-T-D.	32
2.4.- Muestreo y Retención.	35
2.5.- Pulso 35 nseg.	40

	Página
2.6.- Circuito de Retardo para Inicio de conversión	40
2.7.- Convertidor A/D.	43
2.8.- Circuito de 3E.	45
III. CONTROL Y ALMACENAMIENTO	
3.1.- Microprocesador.	48
3.2.- Circuitos de Acondicionamiento.	64
3.3.- Programa del Microprocesador.	66
3.4.- Circuito de Grabación.	72
IV. CONCLUSIONES Y APLICACIONES	75
LITERATURA CITADA	78
APENDICE A.- DIAGRAMA GENERAL	79



## LISTA DE FIGURAS

<u>Figura</u>		<u>Página</u>
1	Diagrama General de Bloques de un Sistema de Conversión y Adquisición de Datos.	2
2	Diagrama a Bloques del "Sistema de Adquisición Digital de Imágenes" "SADI".	6
3	Formas de Onda de la señal de Video.	9
4	Formas de onda de los impulsos de borrado y sincronismo de campo sucesivos, de la señal de Video.	11
5	Configuración Básica de un Amplificador de Video y sus Ecuaciones de Diseño.	13
6	Circuito del Amplificador de Video del Sistema "SADI".	14
7	Gráfica del Valor del Capacitor versus la Ganancia en Voltaje a Lazo Cerrado.	16
8	Respuesta del Amplificador de Video.	18
9	Respuesta en Amplitud de un Filtro Pasa Bajas.	19
10	Respuestas de un Filtro Butterworth con diferente orden a) Respuesta en amplitud b) Respuesta en Fase.	21
11	Filtro Pasa Bajas de 2o. Orden (VCVS).	22

FiguraPágina

12	Gráficas para seleccionar el valor del Parámetro K versus la Frecuencia. Con diferentes valores de capacidad.	25
13	Filtro Pasa Bajas de 2o. Orden (VCVS) del Sistema "SADI".	26
14	Fotografías del Amplificador y Filtro ensamblados a) Vista Superior, b) Vista Inferior.	27
15	Circuito Oscilador $R = 16.53$ MHz.	29
16	Circuitos Divisores de Frecuencia para obtener los Pulsos de Reloj.	31
17	Circuitos de Oscilación y Reloj.	33
18	Circuito C-T-D para generar la Señal de Muestreo.	34
19	Proceso de Muestreo de la Señal.	36
20	Circuito básico de Muestreo y Retención.	37
21	Circuito de Muestreo y Retención (SHM-UH Data Systems).	39
22	Circuito del Pulso de 35 nseg. con acoplamiento de Impedancia para el Comando de M/R.	41
23	Circuito para Retardar el Pulso de Inicio de Conversión.	42
24	Convertidor A/D de Aproximaciones Sucesivas.	44
25	Diagrama de Tiempo para el Convertidor A/D.	46

FiguraPágina

26	Diagrama de Conexiones de 35 nseg. Retardo de I.C., M/R, Convertidor A/D y 3E.	47
27	Diagrama de Bloques del Sistema General de un Microprocesador.	49
28	Diagrama de Flujo que muestra el funcionamiento del Microprocesador en el Sistema "SADI".	52
29	Sección de Bloques de Inicialización.	53
30	Sección de Bloques del Subprograma de Adquisición-Acomodo.	54
31	Sección de Bloques de Compactación de la Señal de Negro.	55
32	Sección de Bloques del Retardo de 1a. Información de Imagen.	55
33	Sección de Bloques de Cálculo de Imagen.	56
34	Sección de Bloques de Compactación de Imagen.	57
35	Sección de Bloques de Grabación.	58
36	Diagrama de Conexiones de los Circuitos de Acondicionamiento con el Microprocesador, C-T-D, Circuito de 3E y Convertidor A/D.	65
37	Diagrama del Circuito de Grabación.	73
38	Diagrama del Circuito de Grabación.	74

## LISTA DE TABLAS

Tabla

Página

I	Valores para los elementos de un filtro de 2o. orden Pasa Bajas Butterworth (VCVS).	23
---	-------------------------------------------------------------------------------------	----

## DISEÑO Y CONSTRUCCION DE UN SISTEMA DE ADQUISICION DIGITAL DE IMAGENES

### INTRODUCCION

En la adquisición de datos y sistemas de conversión están involucradas señales analógicas que son convertidas a forma digital para el proceso subsecuente del análisis de las mismas. En general un transductor toma la variable física o parámetro físico que puede ser: presión, esfuerzo, temperatura, intensidad de luz, etc., y la convierte en una señal con un nivel de voltaje o de corriente. Una vez que se tiene la señal en forma eléctrica se procesa la misma por circuitos electrónicos. Después que el proceso analógico es completado la señal es convertida en una señal digital por medio de un convertidor analógico-digital, y así podrá ser tratada por una gran variedad de sistemas digitales tales como: computadoras, controladores digitales, transmisor de datos digitales, microprocesadores, grabadoras digitales etc., la figura 1 representa en forma general un sistema de adquisición y conversión de datos (Anon, 1978).

El diagrama de bloques de la figura 1 está compuesto de varias componentes interconectadas mutuamente. La entrada al sistema es el parámetro físico por medir, este es convertido en una señal eléctrica por el transductor y llevado hasta un amplificador.

Este amplificador es necesario, puesto que generalmente la señal del transductor es de bajo voltaje o corriente, y puede presentar una alta impedancia de salida. En cualquiera de los casos el amplificador es usado para llevar la señal a un nivel adecuado de voltaje y corriente que pueda ser usado para conducir el siguiente circuito analógico. Los amplificadores operacionales son usados normalmente para realizar este tipo de trabajo.

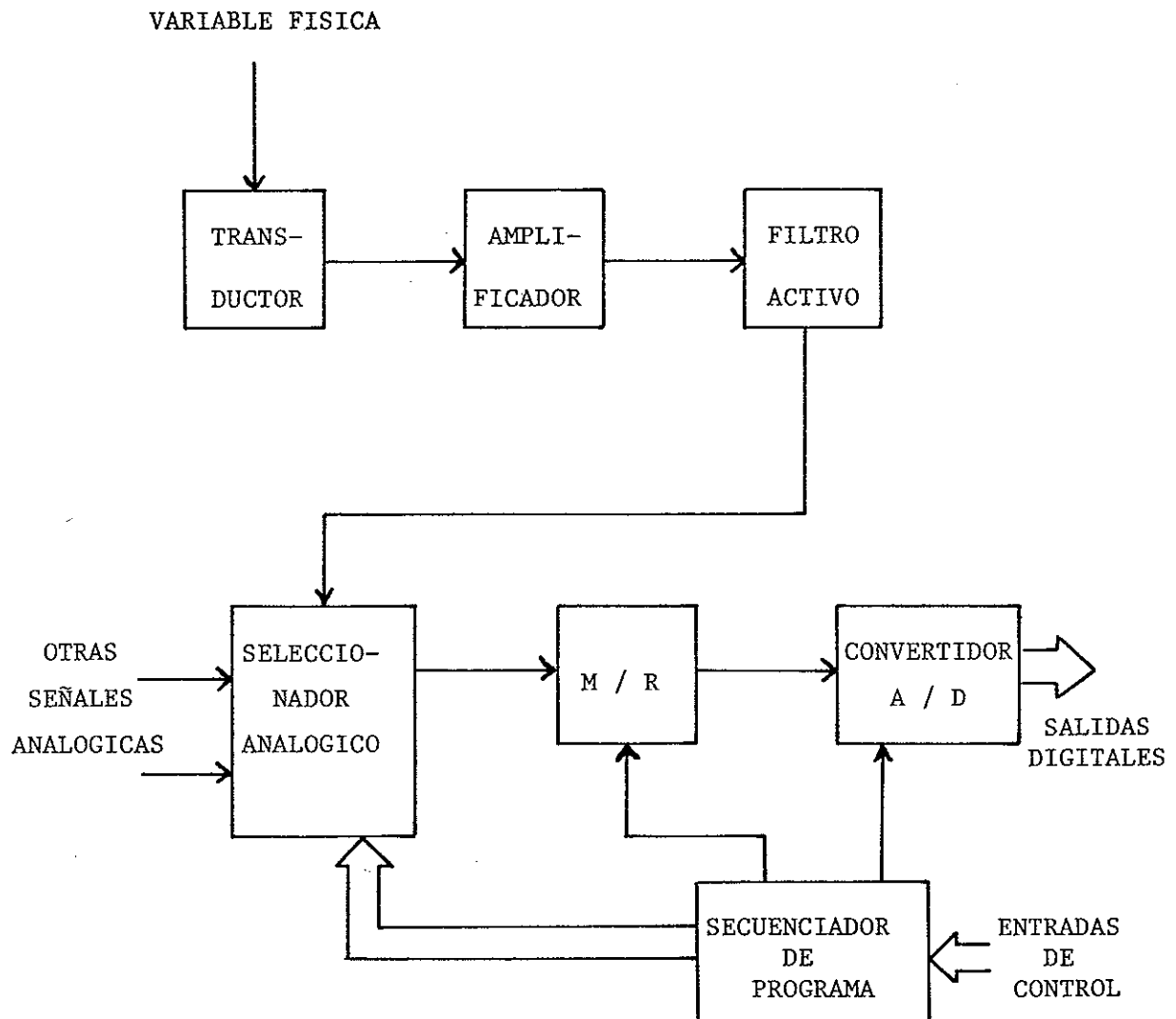


Fig. 1 - Diagrama General a Bloques de un Sistema de Conversión y Adquisición de Datos.

El amplificador es seguido por un filtro activo pasa bajas el cual se utiliza para eliminar las componentes de alta frecuencia o ruido de la señal.

La señal va entonces a un seleccionador analógico el cual tiene un tiempo de operación determinado para efectuar la selección entre un número diferente de señales analógicas. Cada canal de entrada está conectado secuencialmente a la salida del seleccionador por un período de tiempo específico, (en el caso de una sola señal el seleccionador puede sustituirse del diagrama de la figura 1 e interconectarse directamente la señal del filtro activo al circuito de muestreo-retención). La salida del seleccionador va al circuito de muestreo y retención. Este circuito muestrea la salida del seleccionador o filtro según la aplicación durante un tiempo específico y entonces retiene el nivel de voltaje en su salida hasta que el convertidor analógico-digital realiza la operación de conversión.

El tiempo y control de este sistema lo proporciona el circuito secuenciador del programa controlando los circuitos del seleccionador, muestreo y retención, y el convertidor analógico-digital.

Este secuenciador del programa está controlado a su vez por las entradas de control digital de un procesador de datos.

Ahora bien, basándonos en el diagrama de la figura 1 se puede tener una idea del procedimiento en general para tratar los problemas de adquisición de datos. En la realización de este trabajo se requiere de un sistema similar ya que las necesidades son las siguientes.

En la producción de componentes y sistemas ópticos se requiere tener control en el pulido de las superficies y pruebas de calidad para asegurar que dicho sistema cumpla con las condiciones de diseño. En las pruebas de medición interferométricas de superficies que se usan en la actualidad se necesita una interpretación precisa de las mismas para poder hacer una cuantificación exacta de las aberraciones que puedan tener las superficies

bajo prueba, por este motivo es necesario tener un enlace o interfase del interferómetro de laboratorio con una computadora que interprete numéricamente las franjas de interferencia. La medición interferométrica de las superficies es una técnica tan antigua como la producción de superficies ópticas y la forma más común de medir estas es mediante los anillos de Newton, producidos por la interferencia de la luz reflejada en la superficie óptica y una placa de prueba.

La interpretación de las franjas es directa y permite conocer rápidamente la forma de la superficie óptica. La dificultad que se tiene es que para cada superficie óptica es necesario tener una placa de prueba correspondiente, conocida.

Con ésto se está seriamente limitando el número de superficies y su forma, ya que superficies esféricas son mas difíciles de elaborar y probar.

En años recientes se construyeron los primeros interferómetros que permitían probar una superficie óptica sin tener una superficie patrón. Esto se obtuvo al producir la interferencia del frente de onda proveniente de la superficie bajo prueba con el mismo frente de onda pero desplazado lateralmente respecto al anterior.

Esto simplifica el montaje experimental en gran medida ya que el interferómetro es del tipo "Trayectoria Común". Existen varios métodos de generar los dos frentes de onda idénticos desplazados lateral y/o radialmente, ya sea usando birrefringencia, difracción en una rejilla senoidal o por semirreflexión en dos superficies.

La interpretación de las franjas se complica grandemente y su forma ya no es tan directamente conectada a la forma de la superficie óptica. Exigiendo ésto el usar una computadora para el análisis de los datos (Born y Wolf, 1975).

Por lo anteriormente expuesto se ve la necesidad de tener un sistema



visual para la medición interferométrica de superficies, con lo cual se pueden reducir este tipo de problemas. (Malacara, 1978). Para este sistema visual se usará una cámara de televisión que es fácilmente adaptada al interferómetro. La cámara de televisión sirve como transductor de imagen.

Siendo el objetivo principal de este trabajo realizar un sistema electrónico de adquisición digital de imágenes que efectúe la digitización de las franjas interferométricas así como también poder obtener la imagen digitizada de objetivos fijos, se propone tomando como base el circuito de la figura 1 el sistema descrito en la figura 2.

"Sistema de Adquisición Digital de Imágenes" (SADI). En los siguientes capítulos se tratará con detalle cada uno de los bloques de la figura 2.

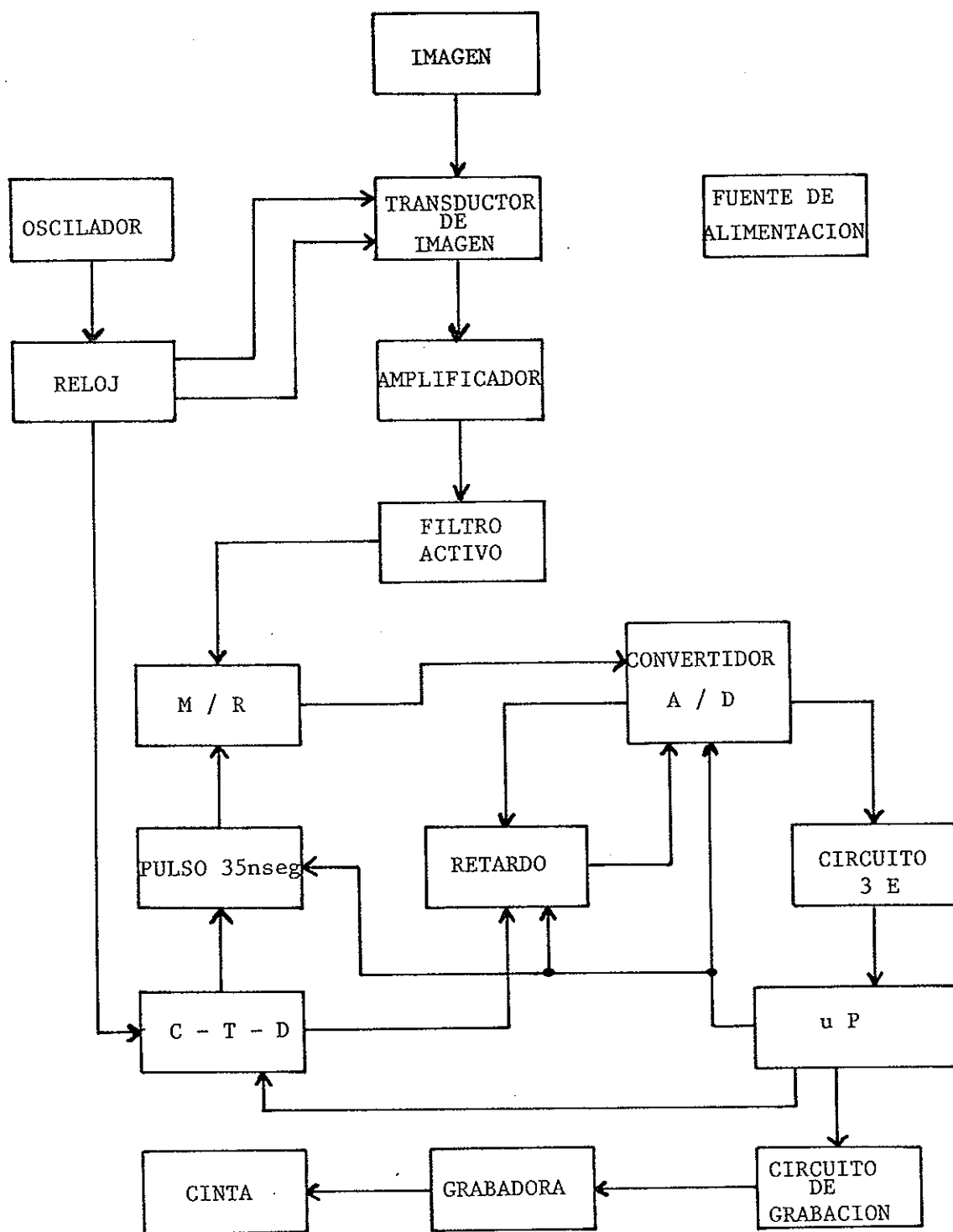


Fig. 2 - Diagrama a Bloques del "SISTEMA DE ADQUISICION DIGITAL DE IMAGENES" "SADI".

## I. ACONDICIONAMIENTO IMAGEN/SEÑAL

### 1.1 Transductor de Imagen

A fin de reproducir la información visual correspondiente a un elemento de imagen es necesario contar con un transductor de imagen, de la gran variedad de dispositivos que se usan como tal el más común y simple es la celda fotoeléctrica, la cual se ha desarrollado para la exploración de imagen en un arreglo de diodos, pero existe otro dispositivo de imagen de importancia que es la cámara de televisión de circuito cerrado (CCTV) que con una interfase apropiada se puede utilizar para la adquisición de datos.

Para el desarrollo de ese trabajo se ha escogido una cámara del tipo vidicon cuya mayor limitación es que proporciona la información de imagen muy rápidamente. Una solución sería disminuir la rapidez de exploración de la cámara del promedio normal de 60 campos por segundo a aproximadamente 10 campos por segundo. Desafortunadamente disminuir la rapidez de exploración representa serias desventajas:

- a) Las cámaras y equipo de monitoreo no convencionales incrementan el costo.
- b) Algunos tipos de material con que se fabrica el tubo de la cámara no responden también a exploraciones tan lentas, degradando la calidad de la señal de video.

Una técnica muy conveniente y usual es tomar una muestra en cada línea con un ancho específico de la muestra dependiendo de la resolución deseada. Este proceso de muestreo convierte una cámara de televisión convencional en

una fuente de señal de televisión de baja exploración, pudiendo tener patrones de muestreo progresivos de izquierda a derecha a través del rastreador de televisión en un tiempo real produciendo un patrón de exploración rectilíneo.

La imagen de televisión es generada por un haz electrónico que produce la señal de video, para lo cual todos los elementos de imagen son exploradores en un orden preestablecido. Esta exploración empieza en el ángulo superior izquierdo y todos los elementos son explorados de izquierda a derecha y de arriba hacia abajo, línea tras línea formando una figura entrelazada de líneas pares e impares. Este método adoptado universalmente recibe el nombre de exploración lineal horizontal.

Durante esta exploración el tubo de la cámara genera un voltaje eléctrico que varía en proporción a la brillantez de la imagen a lo largo de la línea de exploración. La información extraída de la señal de video por esta técnica se ilustra en la figura 3, donde la imagen muestreada es un plano que tiene diferentes tonos.

La brillantez a lo largo de una línea de exploración está dada por la gráfica de voltaje de video con respecto al tiempo, donde el tiempo está relacionado a la rapidez del barrido que indica la posición horizontal. En la gráfica de voltaje de video muestreado con respecto al tiempo se obtienen las muestras en puntos idénticos en repetidos barridos para obtener la información vertical.

Así pues, el transductor de imagen es típicamente una cámara de televisión de circuito cerrado cuyo número de líneas exploradas en una imagen completa o cuadro son 525 líneas, donde 525 líneas = un cuadro = a un par de campos, de aquí que un cuadro tenga dos campos, uno de líneas de orden par y el otro de orden impar. El ritmo de repetición de cada cuadro es de 30/seg y de cada campo de 60/seg por lo que se tiene que la frecuencia de cuadro  $F_{cu} = 30$  ciclos/seg y la frecuencia de campo  $F_{ca} = 60$  ciclos/seg (frecuencia de exploración vertical), la frecuencia de exploración

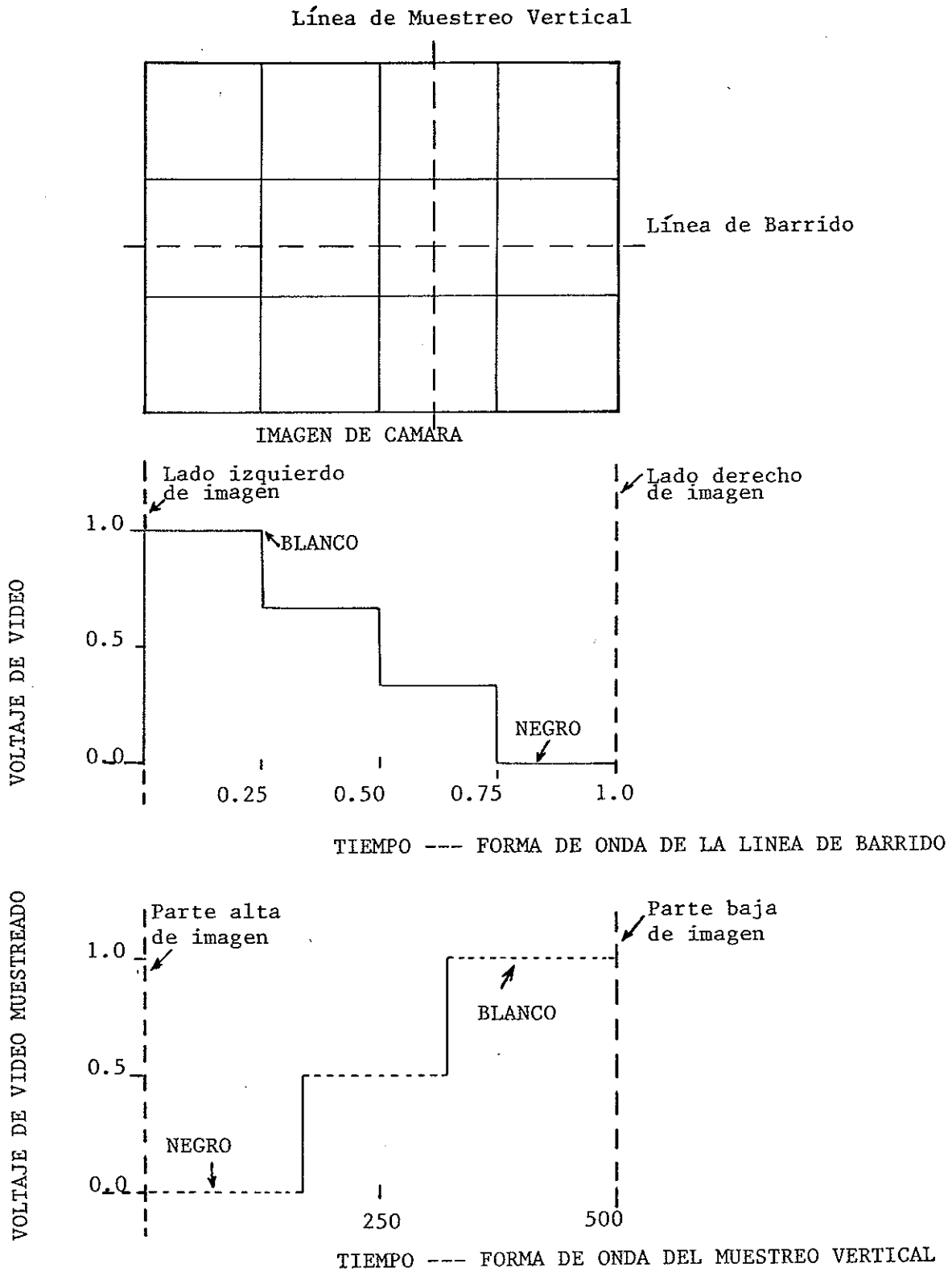


Fig. 3 - Formas de Onda de la Señal de Video.

horizontal de línea de 15.750 Kc/seg esto resulta de que en cada campo vertical tenemos 262 1/2 líneas y como el tiempo correspondiente a un campo es 1/60 seg. tenemos que el número de líneas por segundo es  $(262 + 1/2) * 60 = 15.750$  líneas, el tiempo necesario para cada exploración horizontal de la línea es 1/15.750 seg que es aproximadamente 63.5 useg.

Las características de la cámara (CCTV) son:

Fuente de Alimentación = 120 volts 60 Hz.

Consumo de Potencia = 11 Watts.

Promedio de Exploración = 525 líneas/60 campos/30 cuadros.

Frecuencia Horizontal = 15.750 KHz. Frecuencia Vertical = 60 Hz.

Respuesta de la Frecuencia de Video = 7 MHz + 3 dB.

Salida de Video = 1 volt p-p/75 ohms

Resolución Horizontal en el centro = 600 líneas (Nor), 450 líneas (Al).

Sincronización Externa = 4 volts p-p negativo/75 ohms.

Temperatura de Operación = 0° - 70°C.

La forma de onda de la señal de video se describe en la figura 4 (Fink, 1975). Puesto que la señal de salida entregada por la cámara de televisión es del orden de 1 volt p-p es necesario amplificar ésta para acondicionarla a las características de los circuitos empleados que se describen en los siguientes capítulos de este trabajo.

Para sincronizar la cámara de televisión con el sistema "SADI", es

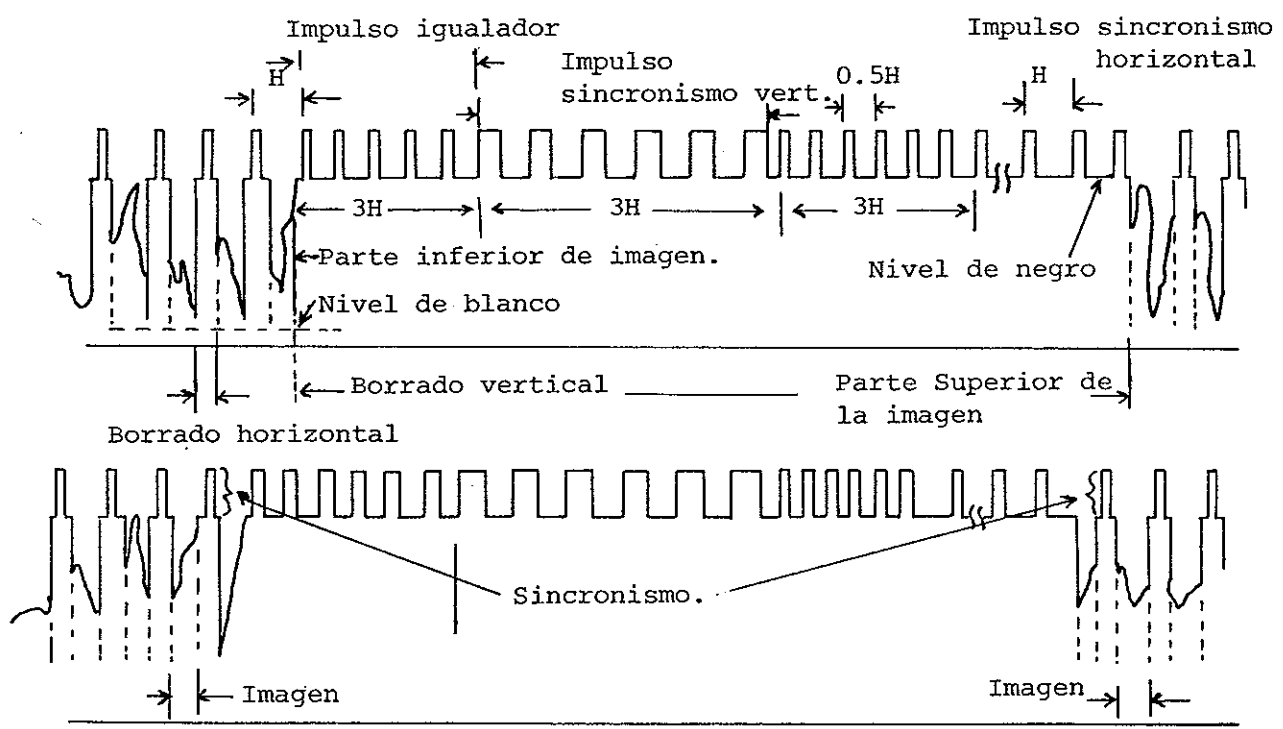
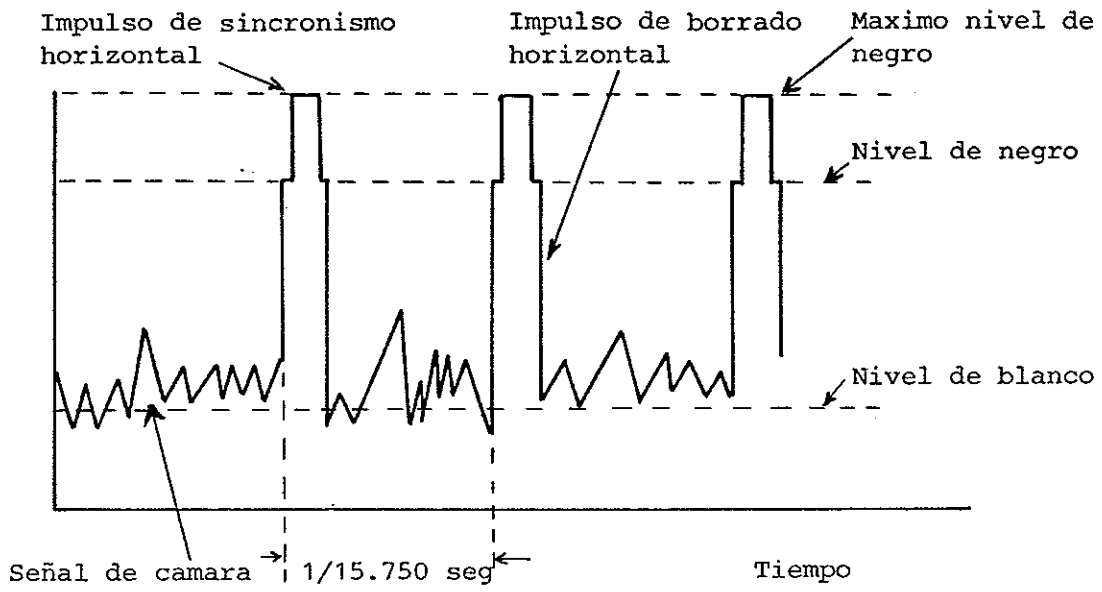


Fig. 4 Formas de onda de los impulsos de borrado y sincronismo de campo sucesivos, de la señal de video.

necesario generar las frecuencias vertical (inicio de campo ICA) y horizontal (inicio de línea IL), 60 Hz y 15.750 KHz respectivamente. Estas frecuencias se derivan del circuito de reloj de la figura 16 del capítulo segundo, ya que de este circuito se obtienen las señales principales para la sincronización de todo el sistema.

La sincronización externa es necesaria debido a que si no existe tal, el inicio de línea en cada campo proporcionado por la cámara de televisión no corresponde con el inicio de línea proporcionado por el sistema, ocasionando que el muestreo de la imagen sea aleatorio. Por esta razón se necesita que las frecuencias vertical y horizontal para el sistema así como para la cámara sean las mismas y estén sincronizadas.

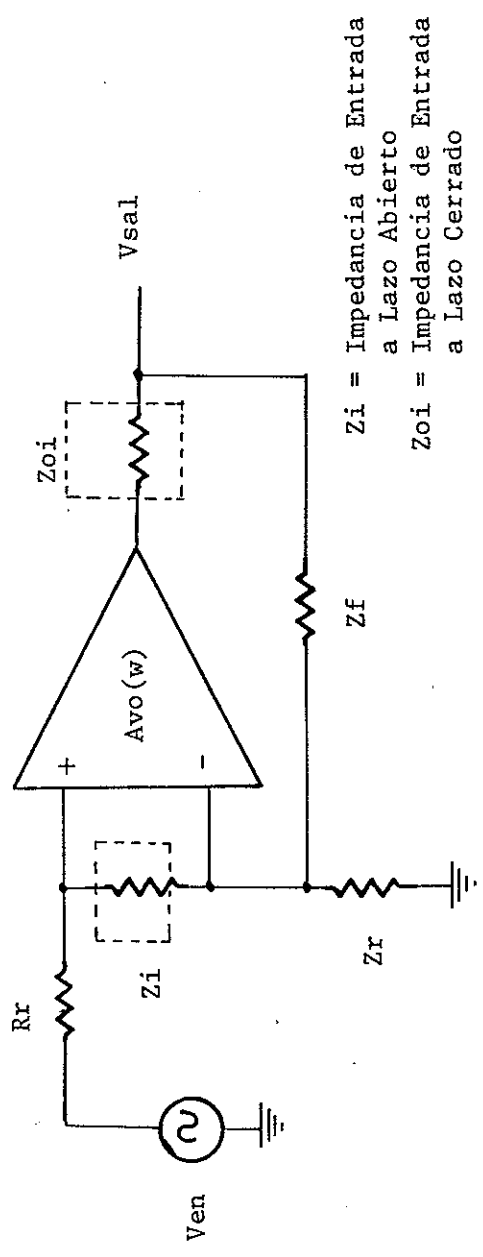
## 1.2 Amplificador de Video

La función principal del amplificador de video es la de poder amplificar la señal de entrada de 1 volt p-p a un nivel de 5 volts (normalmente el nivel de salida del amplificador en ese tipo de sistemas es de 5 a 10 volts debido a que en la mayoría de las etapas siguientes al mismo, los tipos de circuitos usados trabajan con estos niveles de entrada).

La configuración del amplificador operacional (Amp. Op.) utilizado como amplificador de video (A. V.) es la de no-inversión con respuesta a lazo cerrado, en la figura 5 se tiene esta configuración básica así como sus ecuaciones de diseño. De dicha figura se ve que la retroalimentación aplicada es puramente resistiva y si se tiene una compensación de fase apropiada se puede obtener una respuesta en ganancia lo suficientemente plana.

Para los propósitos de diseño del A. V. se toma como base el circuito de la figura 5 utilizando un Amp. Op. (CA3029), teniendo así en la figura 6 el circuito del amplificador de video del sistema. La compensación en fase





$Z_i$  = Impedancia de Entrada a Lazo Abierto  
 $Z_{oi}$  = Impedancia de Entrada a Lazo Cerrado

$R_r = Z_r(w=0) \parallel Z_f(w=0)$        $A_{vo}(w) = \text{Ganancia a Lazo Abierto}$

$$\frac{V_{sal}}{V_{en}} = \frac{A_{vo}(w) (Z_r + Z_f)}{Z_r + Z_f + Z_{vo} Z_r} = 1 + \frac{Z_f}{Z_r}$$

$$Z_{en} = Z_i \left( 1 + \frac{A_{vo}(w)}{V_{sal}/V_{en}} \right) \qquad Z_{sal} = Z_{oi} \left( \frac{V_{sal}/V_{en}}{A_{vo}(w)} \right)$$

Fig. 5 - Configuración Básica de un Amplificador de Video y sus Ecuaciones de Diseño.

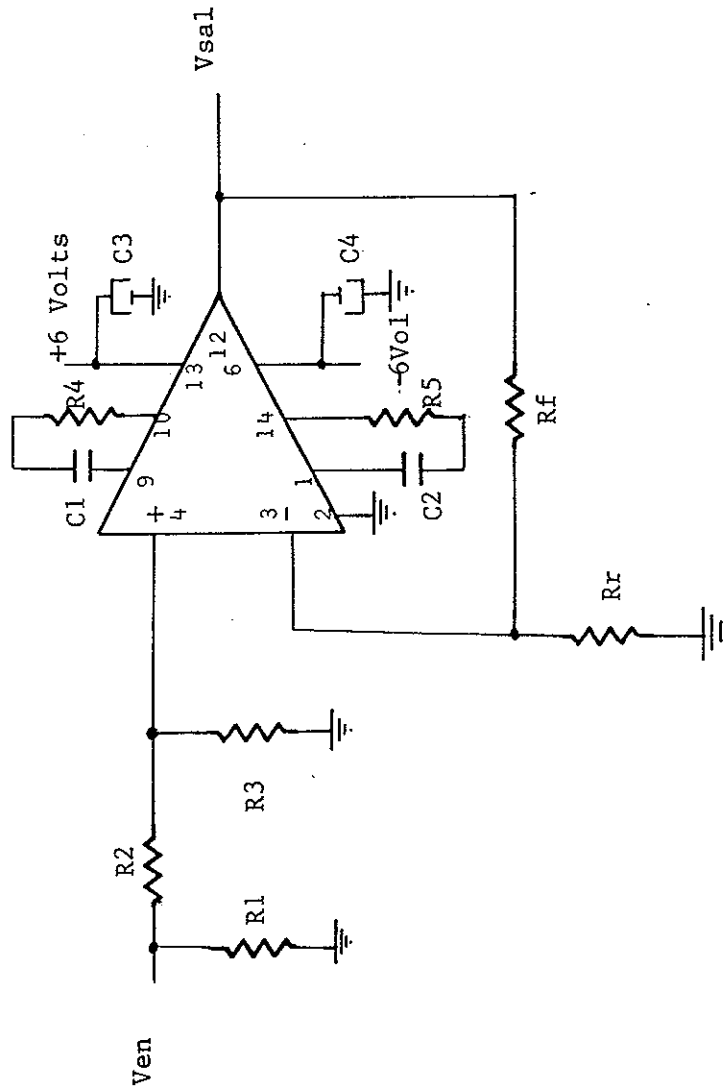


Fig. 6. - Circuito del Amplificador de Video del Sistema "SADI".

del A. V. está dada por los capacitores C1 y C2 en serie con las resistencias R4 y R5 respectivamente, conectados entre las terminales 9-10 y 1-14. Una de las ventajas de este Amp. Op. es que con valores pequeños de capacitancias sumados apropiadamente al circuito amplificador proporciona la compensación en fase necesaria, en la figura 7 se tiene una gráfica del valor del capacitor para una buena compensación en fase versus la ganancia en voltaje a lazo cerrado del amplificador no-inversor, de esta gráfica se puede seleccionar el valor del capacitor para producir una ganancia lo suficientemente plana de aproximadamente  $\pm 1$  dB en función de la ganancia a lazo cerrado. Las resistencias R2 y R3 forman un divisor de voltaje entre dos teniendo:

$$V_{en} = V_{sv} (R2+R3)/R3 \quad (1)$$

donde

$$V_{sv} = V_{en} (R3/(R2+R3)) \quad (2)$$

$V_{sv}$  = Voltaje de señal de video.

$$V_{sv} = 0.5 \text{ volts}$$

La ganancia del Amplificador está dada por

$$A_{av} = V_{sa1}/V_{sv} = 1 + R_f/R \quad (3)$$

$$A_{av} = 9 \quad V_{sa1} = 4.6 \text{ volts}$$

Para la ganancia a lazo abierto

$$A_{av1a} = 20 \log V_{sa1}/V_{sv} \quad (4)$$

$$A_{av1a} = 19 \text{ dB}$$

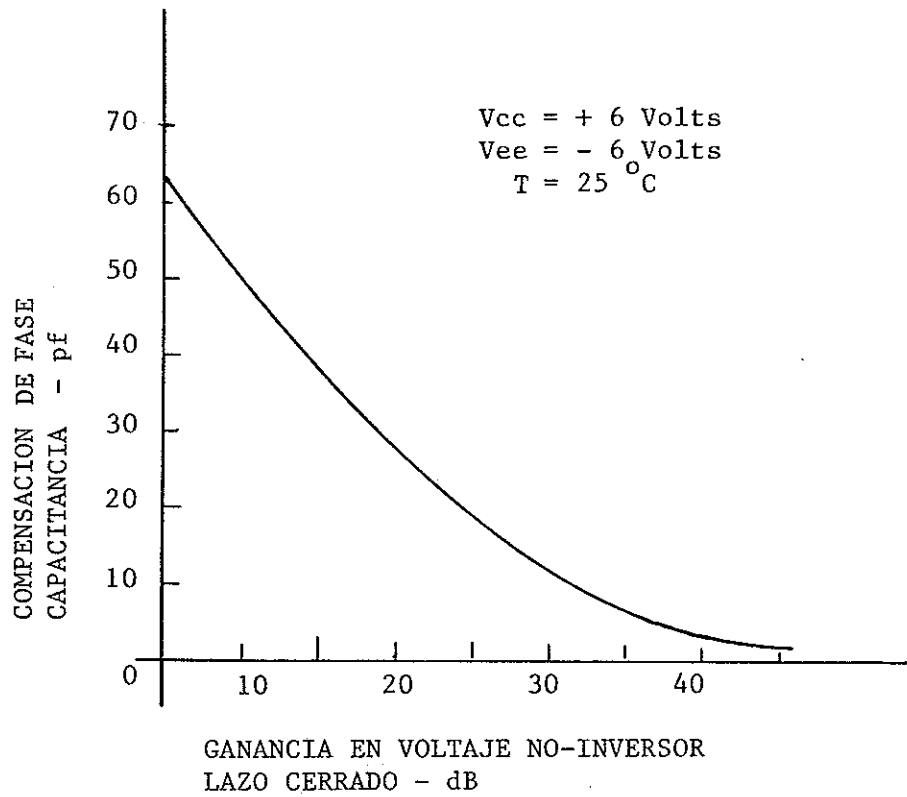


Fig. 7 - Gráfica del Valor del Capacitor versus la Ganancia en Voltaje a Lazo Cerrado.

Los capacitores C3 y C4 son utilizados para desacoplar la señal y la resistencia R1 es con el fin de acoplar la impedancia de entrada de la señal a 75 ohms.

El nivel de  $V_{sa1}$  es el deseado para el filtro activo, en la gráfica de la figura 8 se tiene la respuesta del amplificador de video ganancia versus frecuencia.

### 1.3 Filtro Activo Pasa Bajas

El filtro activo pasa bajas es un dispositivo que permite el paso de señales pequeñas y que atenúa ó rechaza las altas frecuencias, la respuesta en amplitud de un filtro pasa bajas ideal y uno realizable se muestran en la figura 9, el funcionamiento del filtro se caracteriza por su respuesta en amplitud  $H(j\omega)$  la cual se grafica su función de transferencia  $H(s)$  versus frecuencia, tal que  $H(s) = V_{sa1}(s)/V_{en}(s)$  y su respuesta en fase  $(\omega)$ .

La respuesta en amplitud se puede graficar en decibeles (dB) dada por:

$$\alpha = 20 \log H(j\omega) \quad (5)$$

siendo la función de transferencia del filtro realizable:

$$\frac{V_{sa1}(s)}{V_{en}(s)} = \frac{G_{bo}}{s^n + b_{n-1}s^{n-1} + \dots + b_1s + b_0} \quad (6)$$

La ganancia del filtro pasa bajas es el valor de su función de transferencia en  $s = 0$ , y en el caso de la ecuación anterior se ve que el valor de la ganancia es  $G$ , hay un gran número de filtros del tipo pasa bajas siendo los más comunmente usados el Butterworth y el Chebyshev.

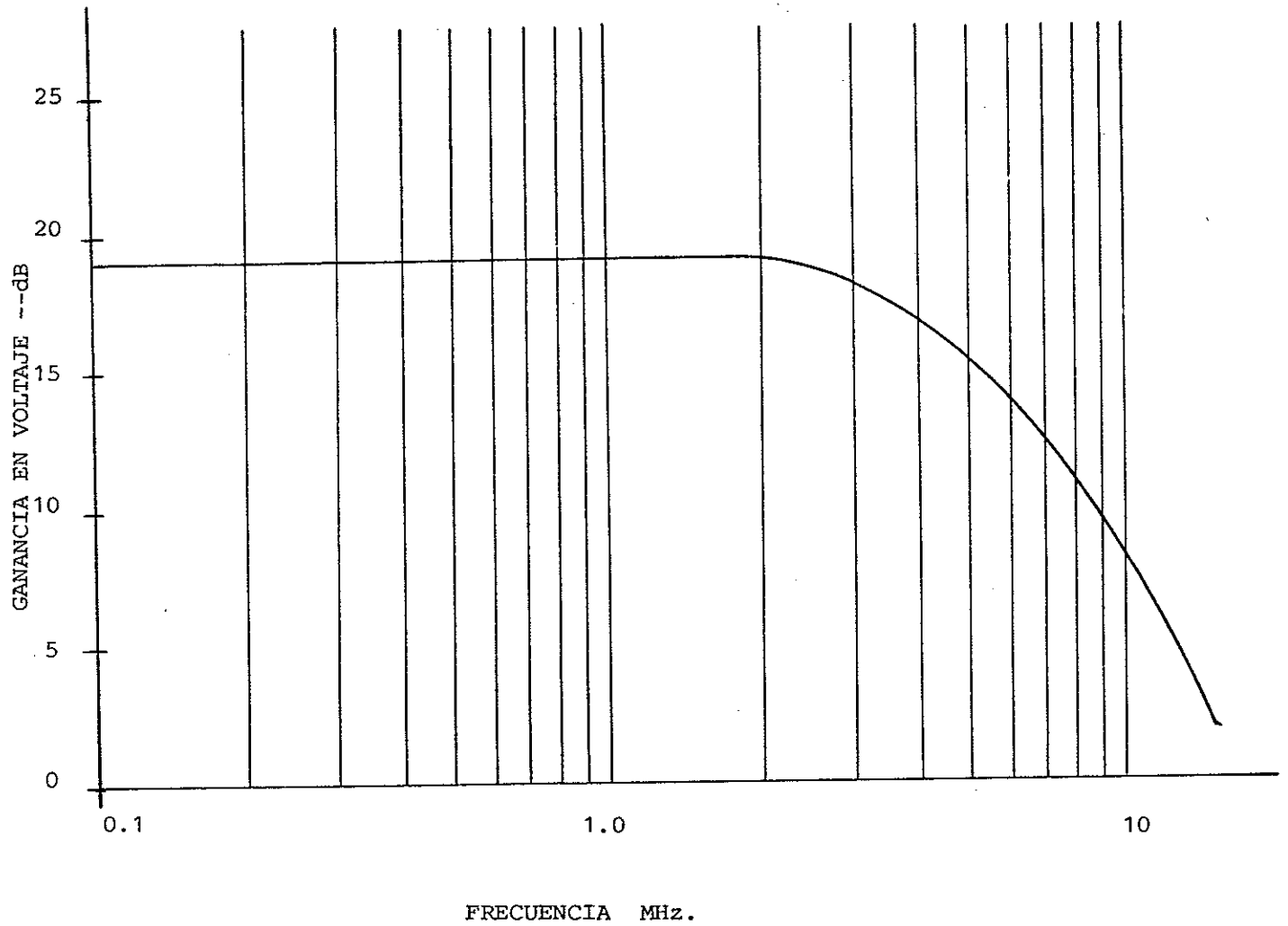


Fig. 8 - Respuesta del Amplificador de Video.

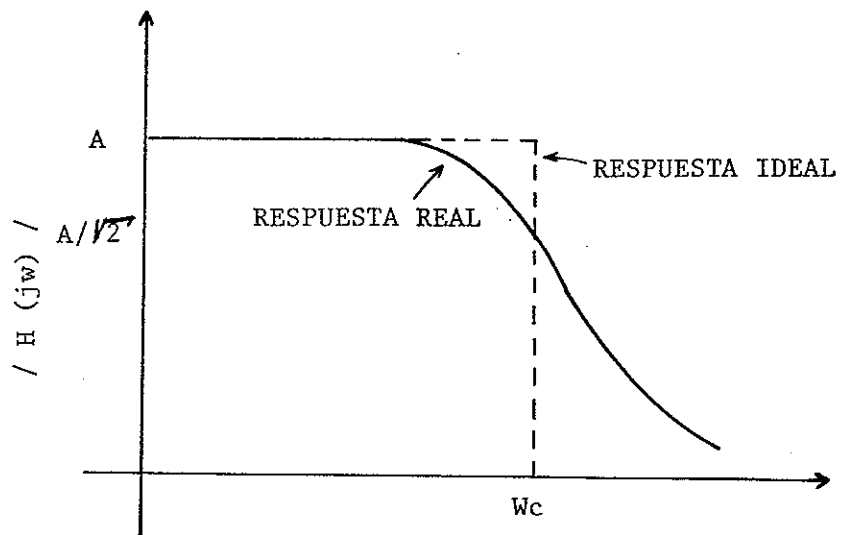


Fig. 9 - Respuesta en Amplitud de un Filtro Pasa Bajas.

El filtro Butterworth es el que se aproxima más a una respuesta en amplitud ideal en la zona de pasabanda, este tipo de filtro es conocido también como maximamente plano. Una característica propia de los filtros es que a mejor respuesta en amplitud la respuesta en fase es más pobre y viceversa.

En la figura 10 se tienen las respuestas en amplitud y en fase para este tipo de filtros.

El filtro que se utiliza para la señal de video proporcionada por el amplificador descrito en la sección 1.2 se refiere a un filtro pasa bajas de fuente de voltaje controlado por voltaje (VCVS) de 2o. orden (Salien y Key, 1975) cuya función de transferencia es:

$$\frac{V_{sal}}{V_{en}} = \frac{G_{bo}}{S^2 + b_1s + b_0} \quad (7)$$

este filtro se muestra en la figura 11.

Para calcular sus componentes dando un valor de  $F_c$  (hertz), la ganancia deseada  $G$  y el orden del filtro  $n$ , se selecciona un valor de  $C$  para determinar el parámetro  $K$  de la ecuación: (Johnson y Hilburn, 1975).

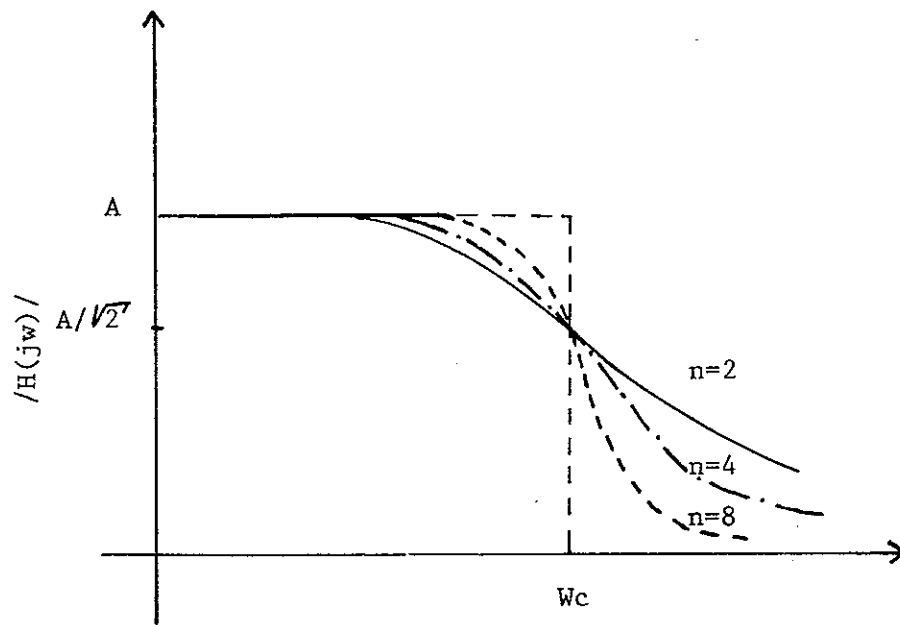
$$K = 100/F_c C' \quad (8)$$

donde  $C'$  es el valor de  $C$  en microfarads para  $C = 54$  pF donde  $C = 0.000054$  uF y  $F_c = 2$  MHz. con  $G = 1, n = 2$ .

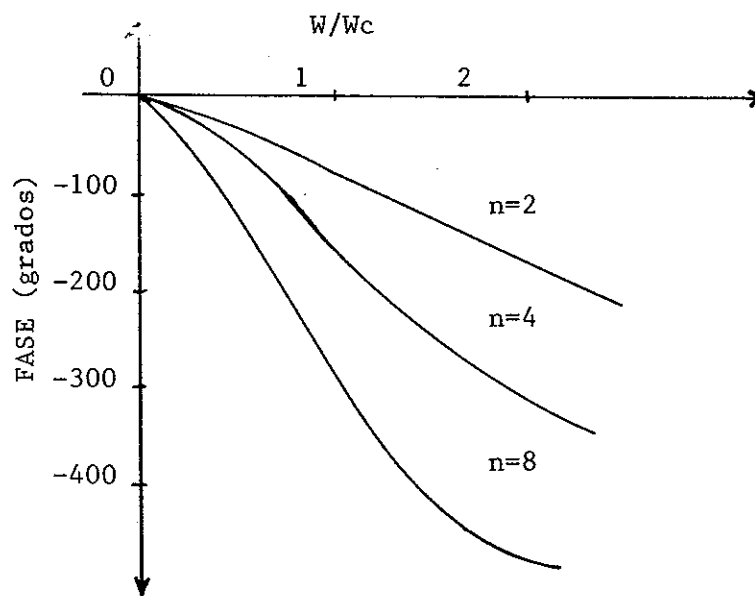
$$K = 100/2(10^6) (0.000054) = 1 \quad (9)$$

utilizando la tabla No. I se obtiene el valor de las resistencias en Kohms para un parámetro  $K=1$ .





a)



b)

Fig. 10 - Respuestas de un Filtro Butterworth con diferente orden

a) Respuesta en Amplitud, b) Respuesta en Fase.

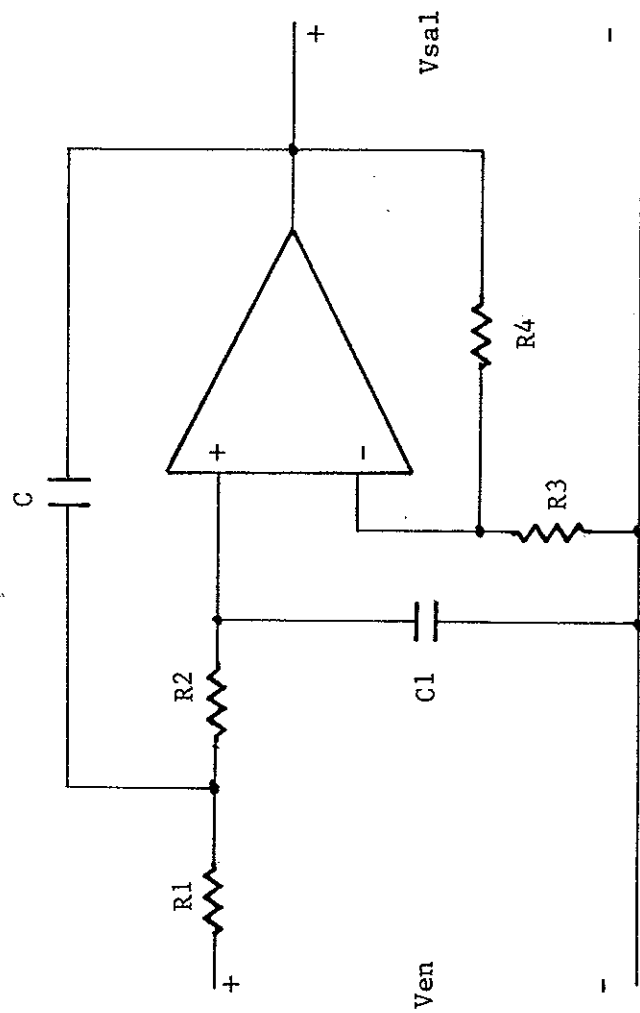


Fig. 11. - Filtro Pasa Bajas de 2<sup>o</sup> Orden (VCVS).

## VALORES DE LOS ELEMENTOS DEL CIRCUITO \*

GANANCIA	1	2	4	6	8	10
R1	1.422	1.126	0.824	0.617	0.521	0.462
R2	5.399	2.250	1.537	2.051	2.429	2.742
R3	ABIERTA	6.752	3.148	3.203	3.372	3.560
R4	0.0	6.752	9.444	16.012	23.602	32.038
C1	0.33 C	C	2 C	2 C	2 C	2 C

\* Resistencias en Kohms para un valor de  $K = 1$

Tabla I - Tabla de Valores para los Elementos de un Filtro de 2<sup>o</sup>  
Orden Pasa Bajas Butterworth VCVS.

R1=1.5 Kohms

R2=5.0 Kohms

R3= Abierta.

R4=0.0

C1=0.33 c = 17 pF.

Otra forma de obtener el valor de K se muestra en la figura 12 donde se tiene el parámetro K versus la frecuencia de corte, en relación al valor de C. Así pues con los valores obtenidos se tiene finalmente el filtro pasa bajas que se describe en la figura 13, donde C3 y C4 así como R5 y R6 son elementos que se utilizan con fines de compensación en frecuencia típicos del propio circuito (CA3029).

Tanto en la sección 1.2 y 1.3 de este capítulo se han descrito el amplificador y filtro del sistema respectivamente. Se debe de considerar que tanto uno como otro deben estar perfectamente acoplados y ensamblados en un mismo circuito impreso y en un recinto asilado para eliminar al máximo la razón de señal/ruido en los mismos y poder así obtener una buena señal de salida hacia el circuito de muestreo y retención, en la figura 14 se muestran dichos circuitos ya ensamblados.

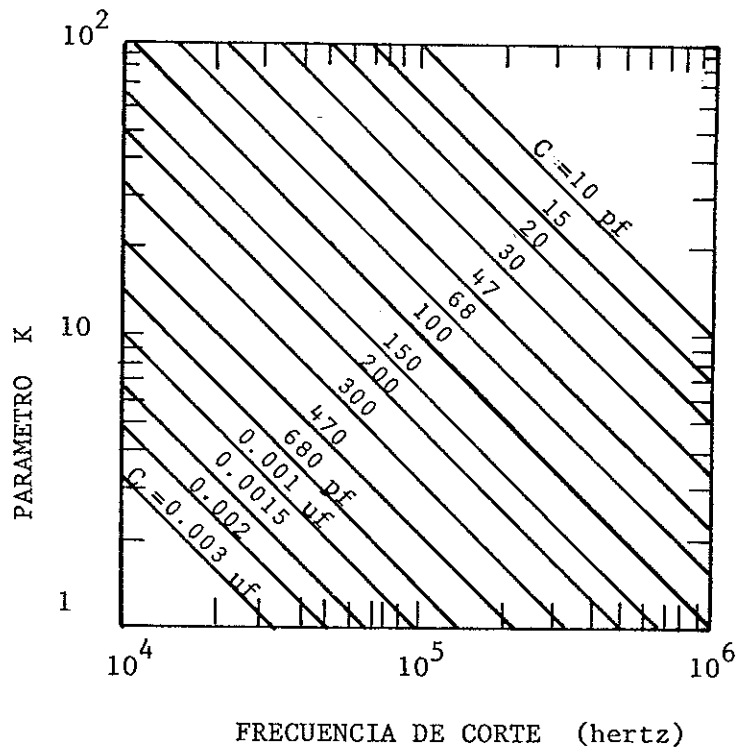
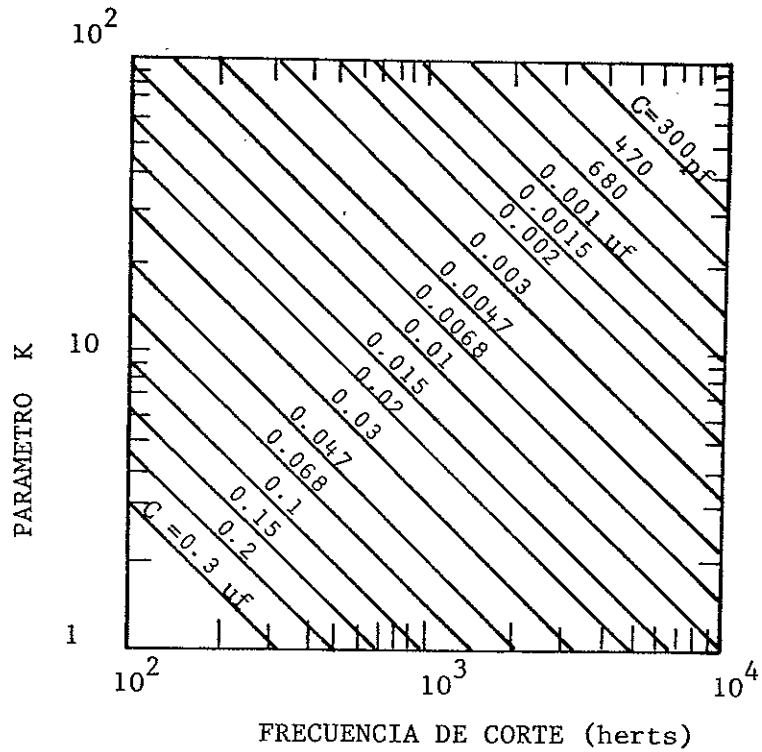


Fig. 12 - Gráficas para seleccionar el valor del Parámetro K versus la Frecuencia. Con diferentes valores de Capacidad.

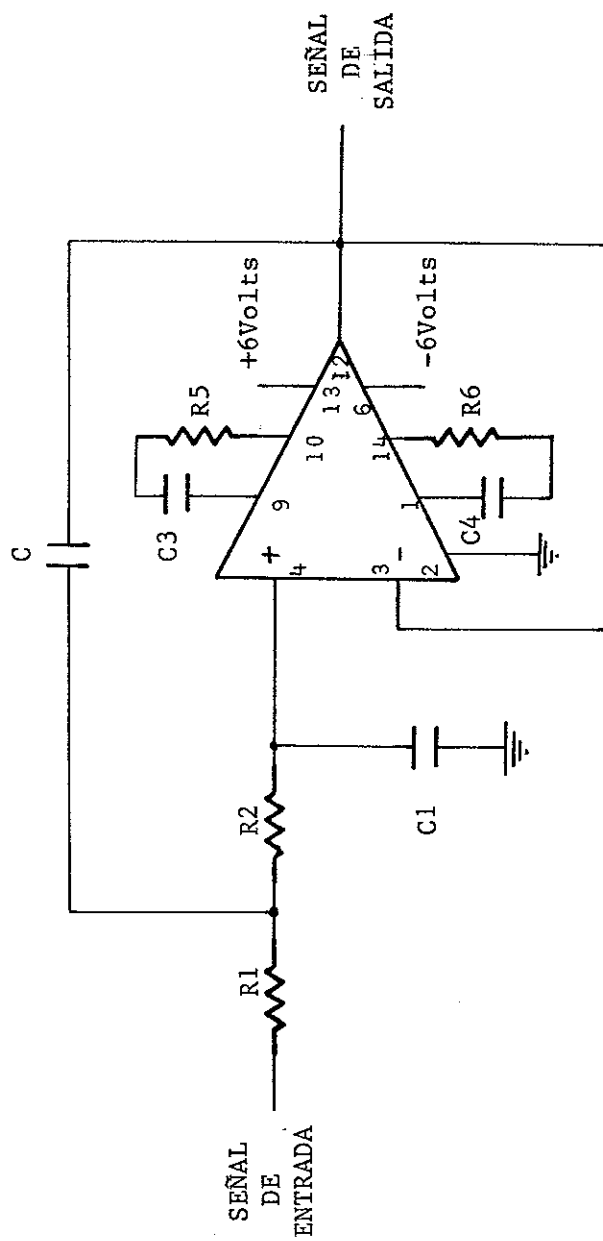
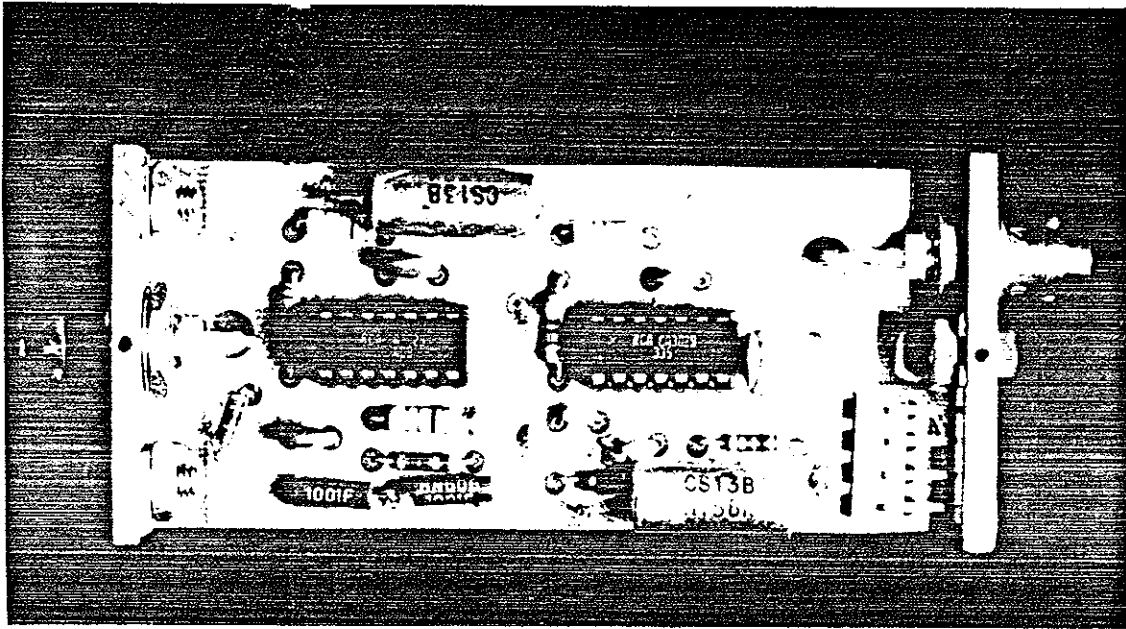


Fig. 13 - Filtro Pasa Bajas de 2<sup>o</sup> Orden (VCVS) del Sistema "SADI".



a)

b)

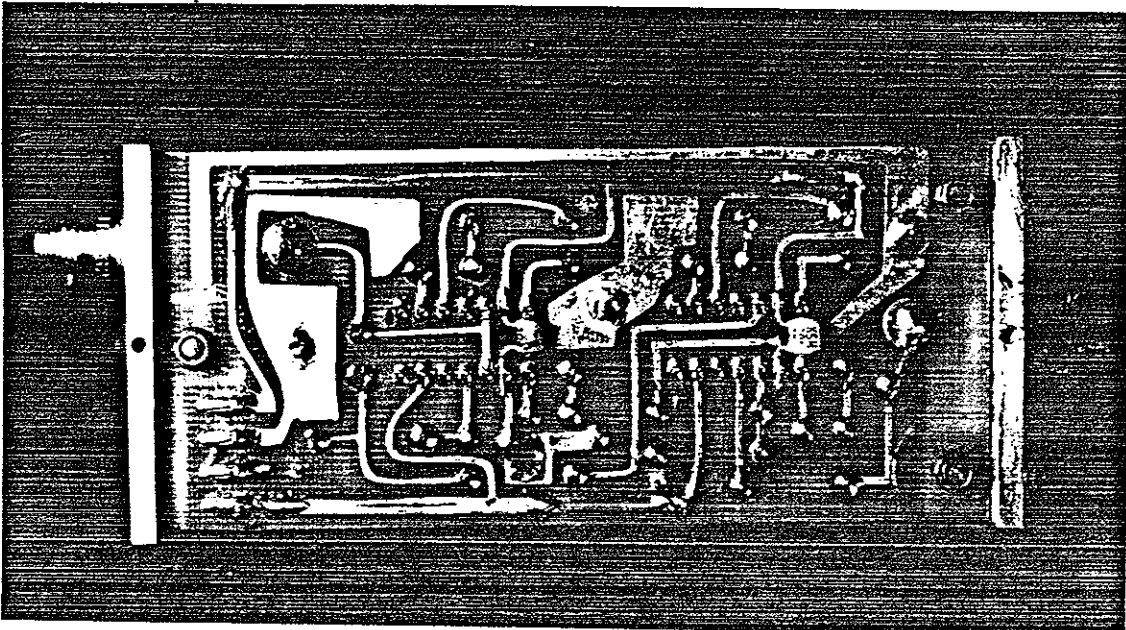


Fig. 143 17 FOTOGRAFÍAS DEL AMPLIFICADOR Y FILTRO ENSAMBLADOS  
a) VISTA SUPERIOR, b) VISTA INFERIOR.

## II. INTERFASE ANALOGICA/DIGITAL

### 2.1 Circuito Oscilador

En cualquier sistema de adquisición de datos es necesario tener un oscilador que proporcione una forma de onda de corrimiento libre, cuya frecuencia de salida sea una frecuencia base, para poder derivar de ella los correspondientes pulsos de reloj que controlarán el sistema descrito. Existen varias técnicas para producir esta frecuencia de oscilación ya sea: con circuitos tanque, con cristales o con circuitos integrados (TTL) y una red RC.

El circuito oscilador del sistema aquí descrito está basado en un circuito integrado con una red RC empleando circuitos inversores, la frecuencia de oscilación esta determinada por el capacitor C1 y el elemento resistivo formado por R1 y el potenciómetro R2, cuyo objeto es permitir un ajuste fino de la frecuencia (variando el ancho del pulso), el diodo D1 preveé que la carga del capacitor se efectue más rápidamente (Stahl, 1978). Este circuito se muestra en la figura 15, la frecuencia de oscilación es de aproximadamente 16.53 Mhz, se ha seleccionado este valor de frecuencia por la razón de que este valor es múltiplo de 525 puesto que la frecuencia de exploración horizontal de la línea es de 15.750 KHz. y el ritmo de repetición de cada cuadro es de 30 Hz.

### 2.2 Circuito de Reloj

Para obtener los pulsos de reloj que controlan el sistema de adquisición existen varias formas de realizar la circuitería para la obtención de los mismos. Dentro de éstas, la mas común es usar contadores



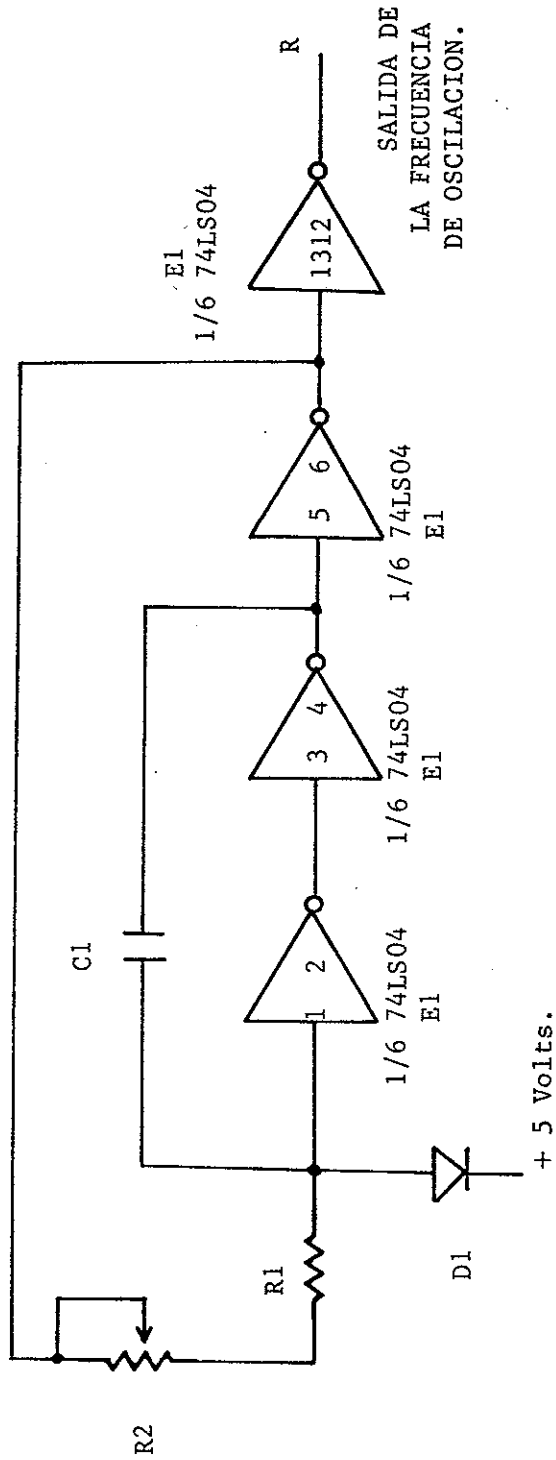


Fig. 15 - Circuito Oscilador R = 16.53 MHz.

como divisores de frecuencia, pero existe también otra posibilidad utilizando registros de corrimiento hacia la derecha y una compuerta NO-0.

Los pulsos de reloj necesarios para controlar el sistema son:

$$RM = IL * 525 = 8.26 \text{ MHz.}$$

$$IL = 15.750 \text{ MHz.}$$

$$ICA = 60 \text{ Hz.}$$

$$ICU = 30 \text{ Hz.}$$

$$ILSY = IL \text{ Sincronizado}$$

$$Rconv = 2.6 \text{ MHz. (proporcionado por el microprocesador)}$$

Los divisores para obtener estos pulsos de reloj se muestran en la figura 16 los divisores entre dos son básculas tipo 'D' (7474) y los divisores entre 525 están formados cada uno por un conjunto de registros de corrimiento de 5 bits (7496) que dividen la frecuencia entre 3, 5, 5, y 7 respectivamente.

Estos pulsos son utilizados en los siguientes circuitos:

RM = Reloj de Muestreo en el circuito C-T-D

IL = Inicio de línea para sincronía de la cámara con el sistema "SADI".

ICA = Inicio de campo para sincronía externa de la cámara

ICU = Inicio de cuadro para sincronía externa de la cámara.

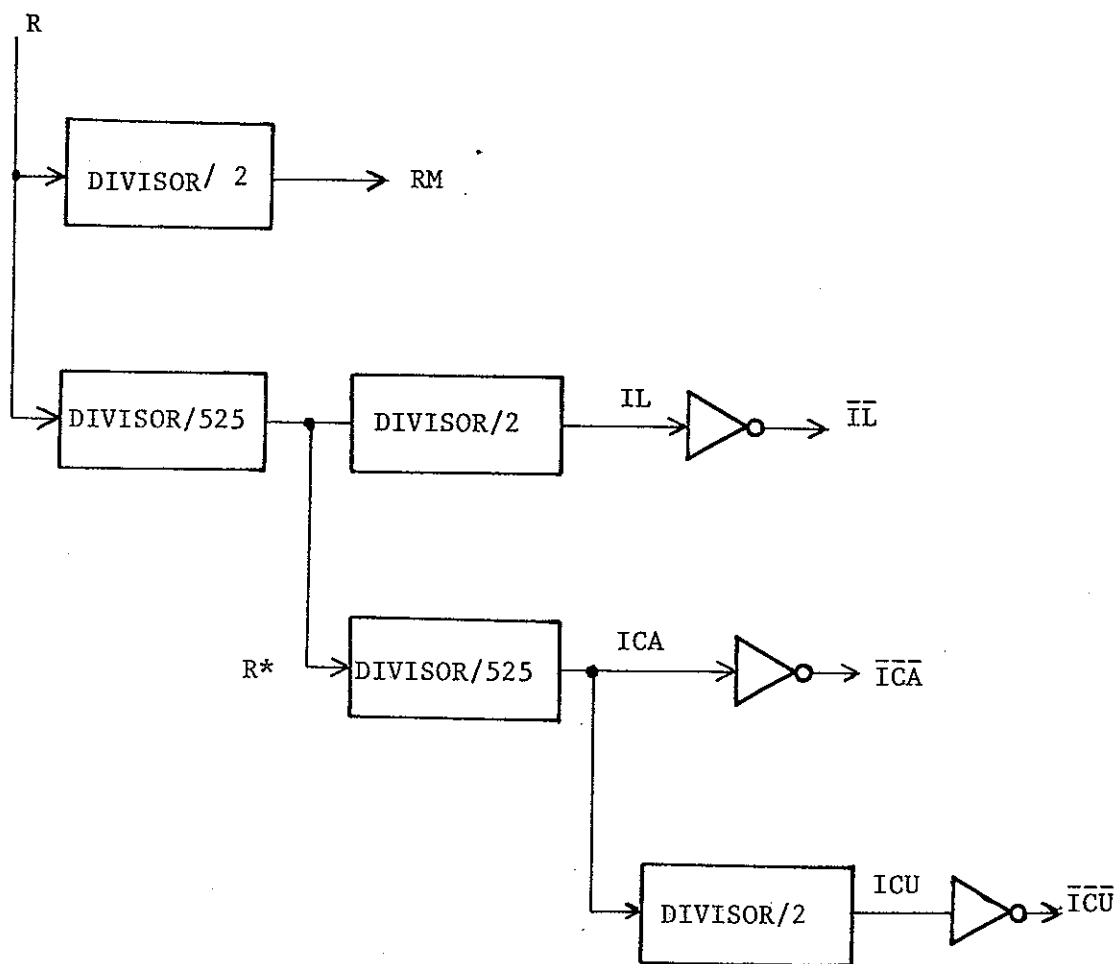


Fig. 16 - Circuitos Divisores de Frecuencia para obtener los Pulsos de Reloj.

Las interconexiones de los circuitos de oscilación y reloj se muestran en la figura 17.

### 2.3 Circuito C-T-D

El circuito C-T-D está formado por un contador de 10 bits realizado con tres contadores de cuatro bits cada uno (74LS161) conectados en cascada, conjuntamente con el arreglo lógico de compuertas mostradas en la figura 18. La función del C-T-D es proporcionar la señal de inicio del muestreo ( ) así como la señal de retardo para el inicio de conversión, para un retardo programable por el microprocesador (Anon. 1977a).

El funcionamiento del circuito descrito en la figura 18 es como sigue:

El reloj RM sincroniza el arreglo lógico y los contadores de tal forma que cuando en los puertos de salida del microprocesador (PA0 a PB1) se tiene el retardo correspondiente para tomar un valor de imagen en las 525 líneas y hacer un muestreo rectilíneo de ese punto. Como  $RM = IL * 525 = 1$  cuadro completo, conjuntamente con el valor de cada línea o sean  $n*IL$ , siendo esta señal la que autoriza la carga a los contadores.

Para que exista la señal de muestreo designada por ( ) se debe cumplir:

$$\beta = (n * IL) * (RM * MSB) * \frac{1}{\alpha} \quad (10)$$

donde MSB es el bit más significativo.

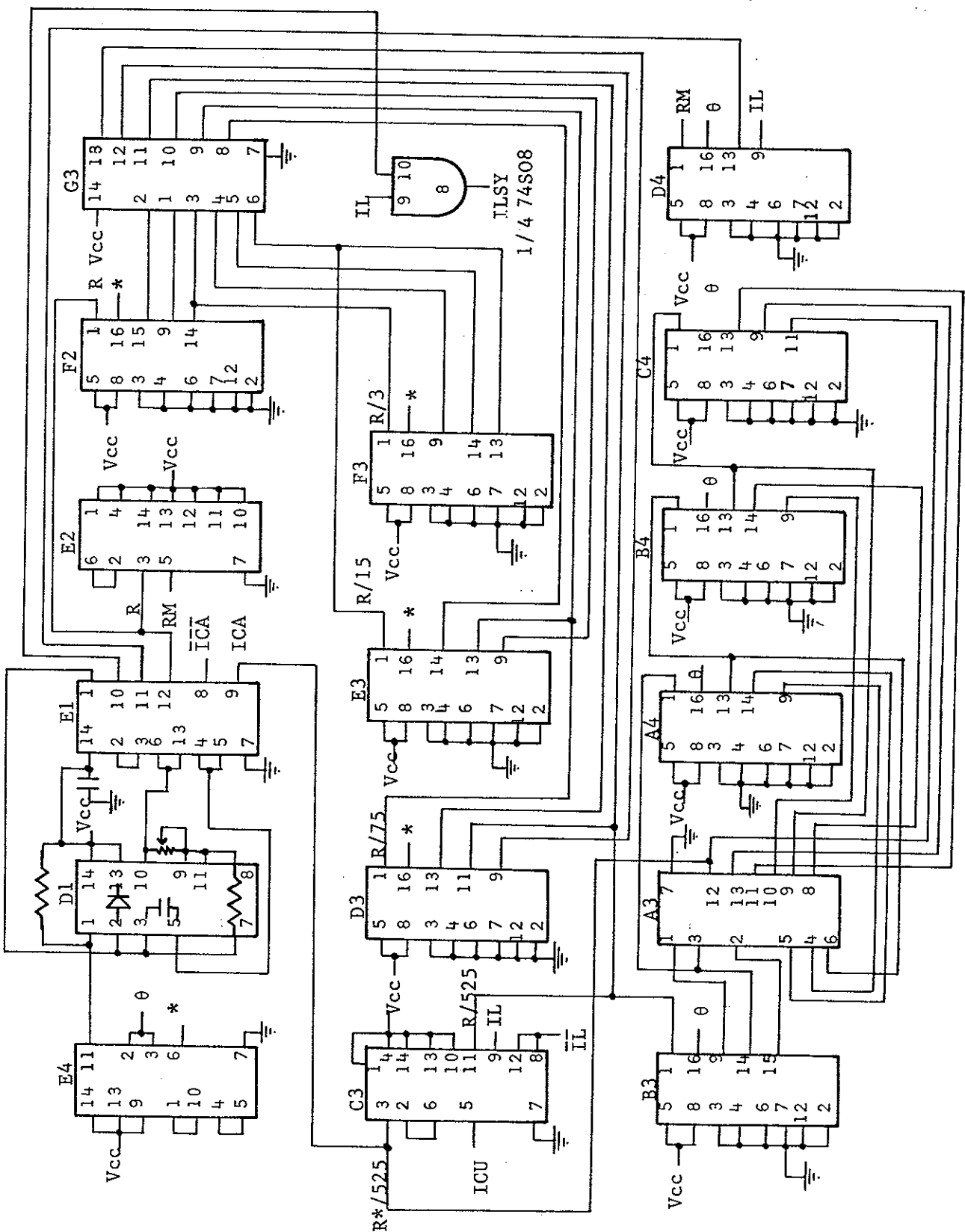


Fig. 17 - Circuitos de Oscilación y Reloj.

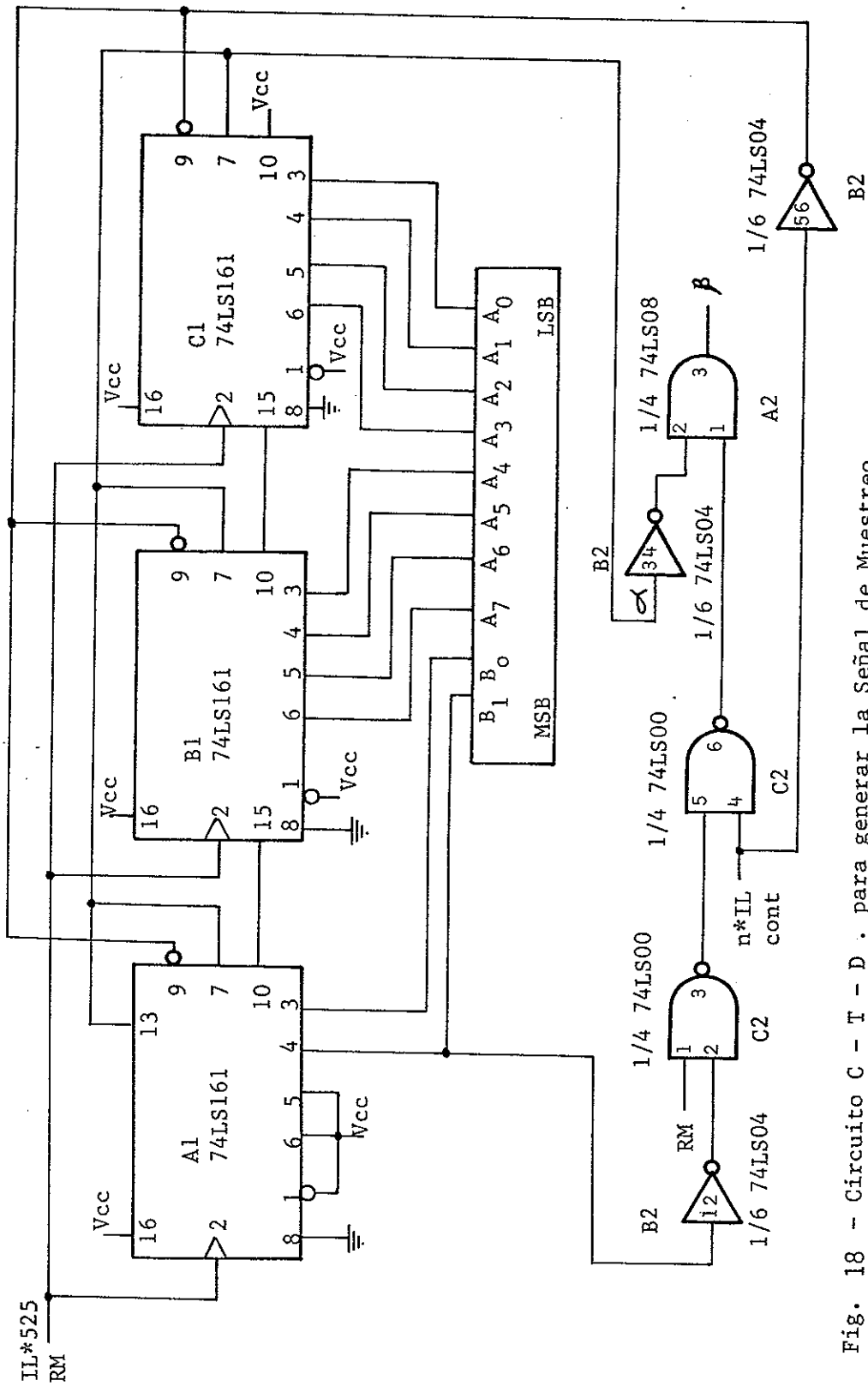


Fig. 18 - Circuito C - T - D . para generar la Señal de Muestreo.

## 2.4 Muestreo y Retención

Los circuitos de muestreo y retención son usados comunmente en sistemas electrónicos donde es necesario almacenar voltajes analógicos, este tipo de circuitos se conectan normalmente entre la fuente de señal analógica a ser cuantizada y el convertidor A/D.

La operación de muestreo se ilustra en la figura 19 en donde se tiene una señal analógica y un tren de pulsos periódico. Los pulsos representan una rápida respuesta de un interruptor el cual se conecta a la señal analógica por un tiempo muy corto y después se desconecta para que permanezca el período. Los pulsos de muestreo tienen así un tiempo muy corto de conexión comparado con el período de tiempo total.

El resultado de este proceso de muestreo es idéntico que multiplicar la señal analógica con un tren de pulsos de amplitud unitaria. La señal modulada resultante de este proceso se muestra en la figura 19 (c), si el tipo de interruptor para el muestreo se reemplaza por un interruptor y un capacitor, entonces la señal analógica es muestreada y almacenada hasta el siguiente pulso de muestreo como se muestra en la figura 19 (d), este tipo de muestreo es conocido como muestreo y retención de la señal.

El circuito básico de muestreo y retención se describe en la figura 20 donde el voltaje de entrada es muestreado y almacenado con la simple operación de cerrar y abrir el interruptor (SW1), cuando el interruptor está cerrado el circuito está en modo de muestreo y cuando el interruptor está abierto está en modo de retención, reteniendo el voltaje en el capacitor por un período de tiempo que depende del valor del capacitor así como de la corriente de fuga de ambos.

Considerando las características de la señal analógica del sistema "SADI", para poder muestrear esta señal se ha seleccionado un circuito M/R

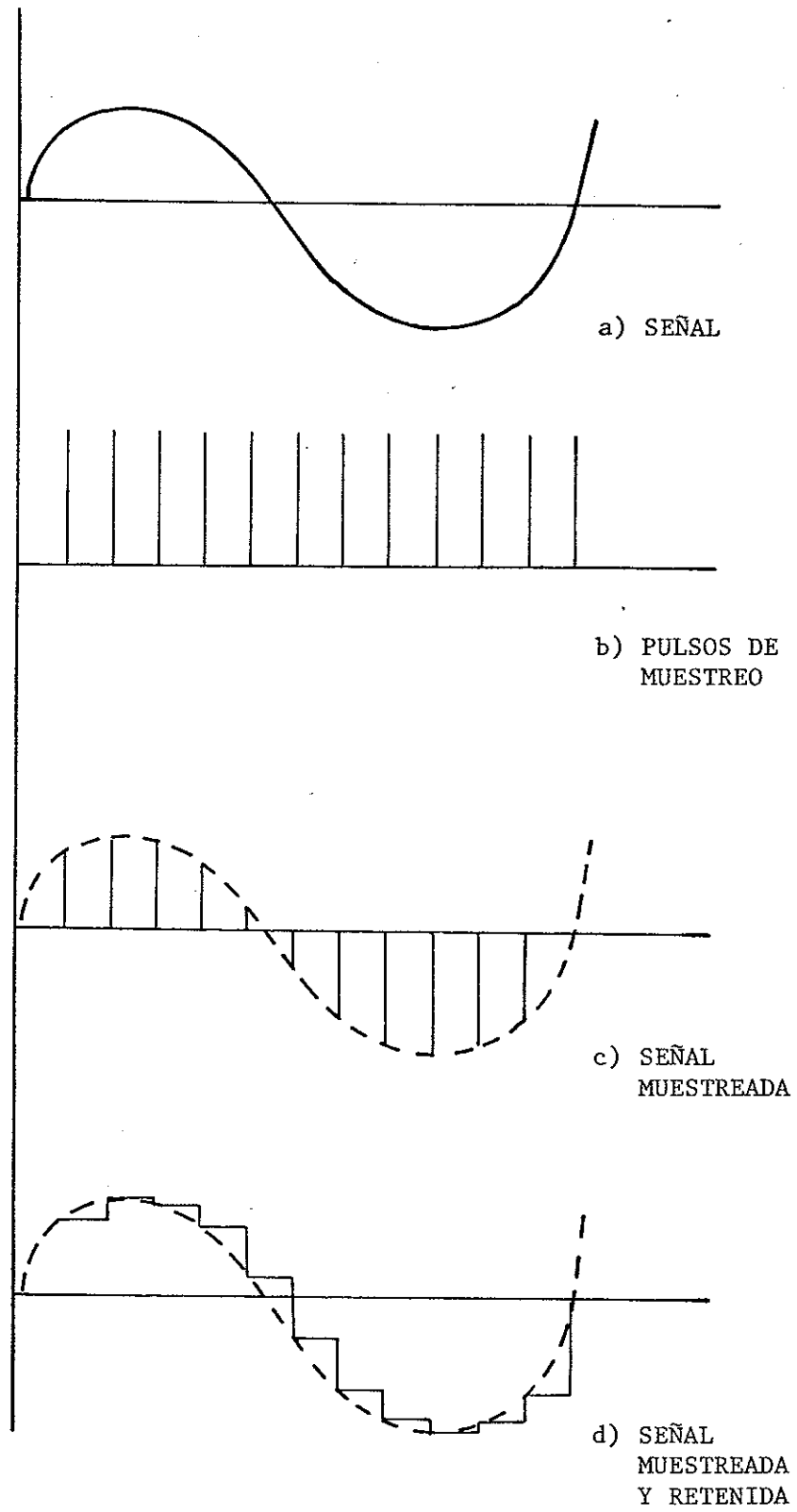
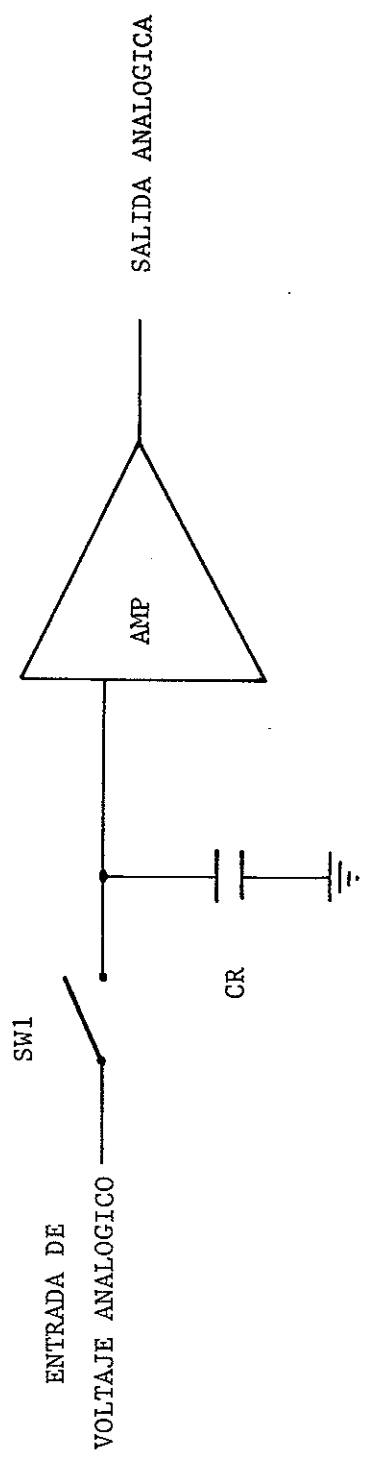


Fig. 19 - Proceso de Muestreo de la Señal.





CR = Capacitor de Retención.

Fig. 20 - Circuito Básico de Muestreo y Retención.

de alta velocidad (SHM-UH Datel Systems) cuyas especificaciones son las siguientes:

Fuente de Alimentación -  $\pm 15$  Volts y + 5 Volts C.D.

Voltaje de Entrada Analógico -  $\pm 5$  Volts a escala llena.

Impedancia de Entrada - 100 Mohms.

Comando de Muestreo - 35 nseg  $\pm 10$  nseg de 0 a 5 Volts.

Impedancia del Comando de Muestreo - 50 Ohms con 100 mA de corriente.

Voltaje de Salida Analógico -  $\pm 5$  Volts a escala llena.

Impedancia de Salida - 10 Ohms.

Ganancia - 0.92 a 0.95 aprox = 1 no-inversor.

Tiempo de Adquisición - 35 nseg a 0.1%.

Tiempo de Apertura - 200 pseg.

Promedio de Muestreo Máximo - 10 MHz.

Temperatura de Operación - 0° a 70° C.

Este circuito se ilustra en la figura 21 y consta principalmente de un amplificador FET de alta impedancia de entrada, un interruptor electrónico de alta velocidad, capacitor de retención y un amplificador FET de salida con ajuste del nivel de cero. El comando de entrada está acoplado al interruptor analógico con una impedancia de entrada de 50 ohms.

Como se explicó con anterioridad el principio de funcionamiento es el

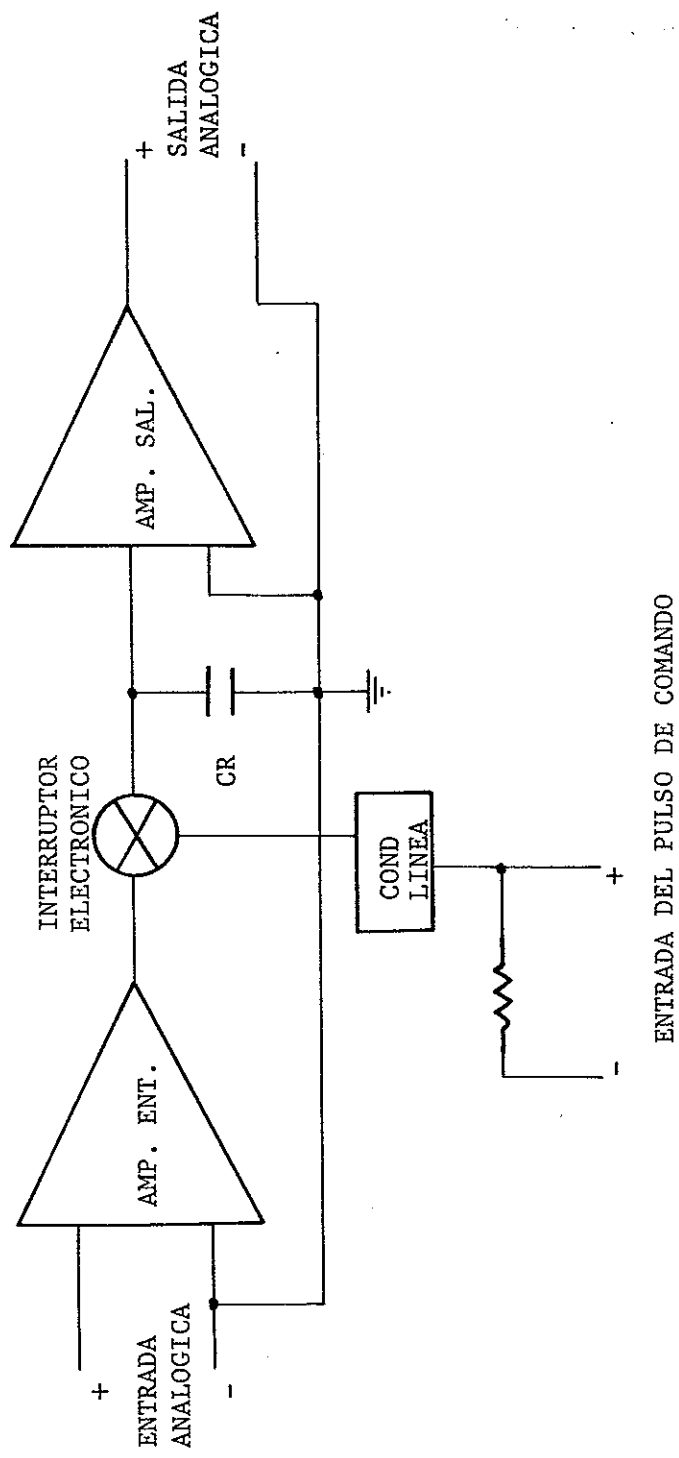


Fig. 21 - Circuito de Muestreo y Retención (SHM-UH DATEL SYSTEMS).

mismo, el circuito de M/R recibe la señal analógica cuando en su entrada de comando existe un pulso de 5 volts de amplitud y 35 nseg. de tiempo de duración en el cual permanece en estado de muestreo y posteriormente en estado de retención. Este comando de muestreo está controlado por la señal ( $\beta$ ) descrita en la sección 2.3 de este capítulo.

Esto es, cada transición de nivel bajo a nivel alto de la señal de IL el circuito M/R muestrea la señal analógica únicamente durante 35 nseg. y después permanece en retención hasta la otra transición de IL, siendo este período de tiempo suficiente para que el convertidor A/D efectúe la conversión.

## 2.5 Pulso de 35 nseg.

Por las características propias del circuito de M/R empleado en este sistema es necesario generar un pulso de comando de 5 volts de amplitud y 35 nseg. de ancho de pulso  $\pm 10$  nseg, tiempo en el cual se lleva a cabo el muestreo de la señal analógica. El circuito que genera dicho pulso se muestra en la figura 22 conjuntamente con el circuito de acoplamiento de impedancia, el cual proporciona también la corriente necesaria para el circuito de M/R donde el ancho del pulso está determinado por  $T = 0.69 RC$ .

## 2.6 Circuito de Retardo para Inicio de Conversión

Puesto que la conversión debe de efectuarse después del muestreo de la señal analógica es necesario retardar la señal de inicio de conversión del convertidor A/D, este retardo se puede efectuar mediante una combinación de básculas por medio de las cuales se tiene dicho retardo. El arreglo de éstas básculas tipo "D" (7474) se muestra en la figura 23 teniendo como señales de reloj ( $\beta$ ),  $\overline{Rconv}$  y  $Rconv$  respectivamente ( $Rconv$  - reloj del

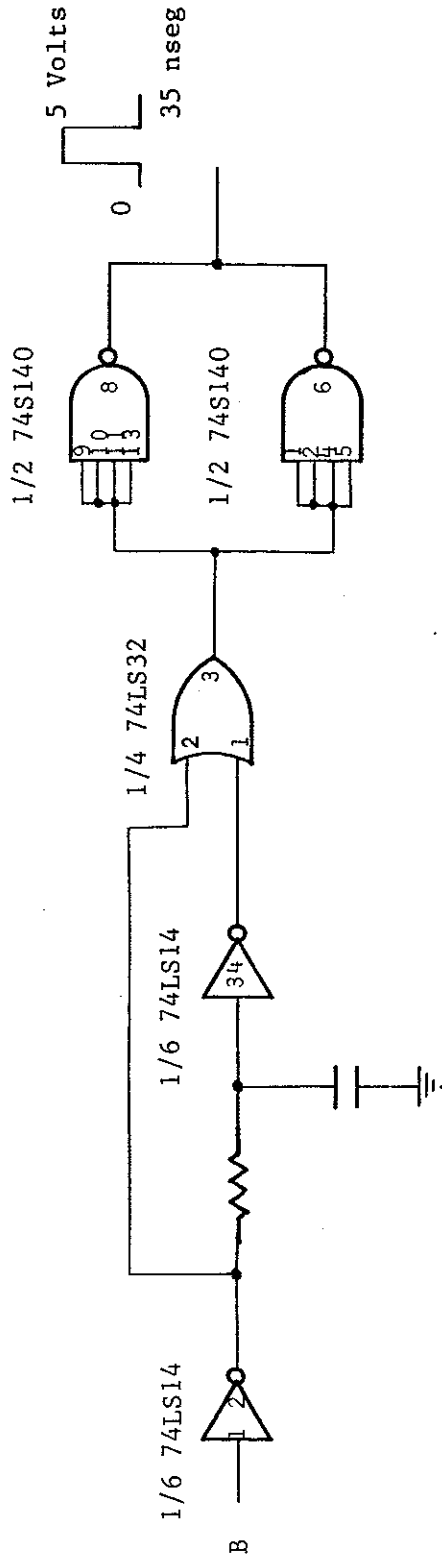


Fig. 22 - Circuito del Pulso de 35 nseg con acoplamiento de Impedancia para el Comando del M/R.

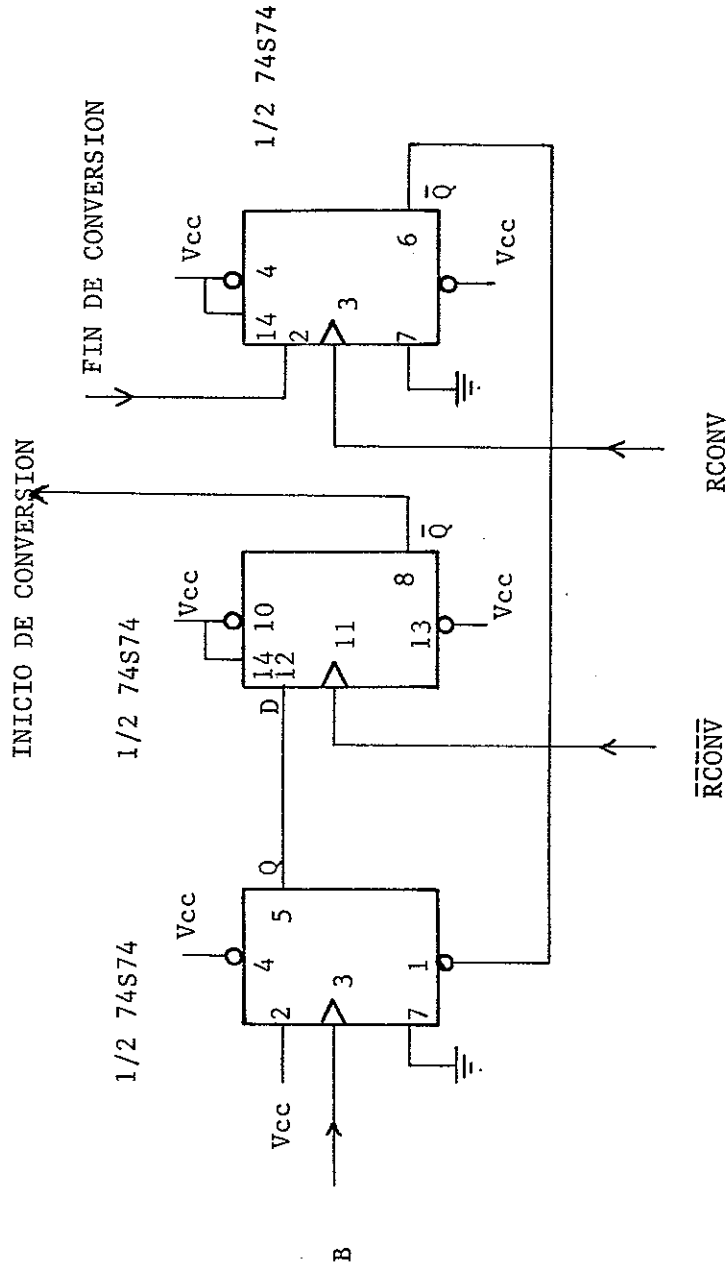


Fig. 23 - Circuito para Retardar el Pulso de Inicio de Conversión.

convertidor 2 MHz).

## 2.7 Convertidor A/D

El tipo de convertidor de aproximaciones sucesivas descrito en esta sección es el más comunmente utilizado en general debido a su alta resolución y alta velocidad, este tipo de convertidor opera con un tiempo de conversión fijo por bit, independientemente del valor de la entrada analógica. Este método está ilustrado en la figura 24 y opera por comparación de la entrada de voltaje con la salida de un convertidor de D/A, un bit en cada tiempo.

Por las características del sistema se necesita que el convertidor sea rápido puesto que con una mayor velocidad de conversión se pueden muestrear las líneas sucesivamente.

Las especificaciones del convertidor A/D (MN5132 Micro Networks) son:

Resolución - 8 bits.

Línealidad -  $\pm 1/2$  LSB.

Tiempo de Conversión - 2.5 useg.

Impedancia de Entrada - 10 Kohms.

Voltaje de Entrada Analógico - -10 volts a +10 volts.

Temperatura de Operación - 0° a 70° C.

Voltaje de Alimentación -  $\pm 12$  volts y  $\pm 5$  volts.

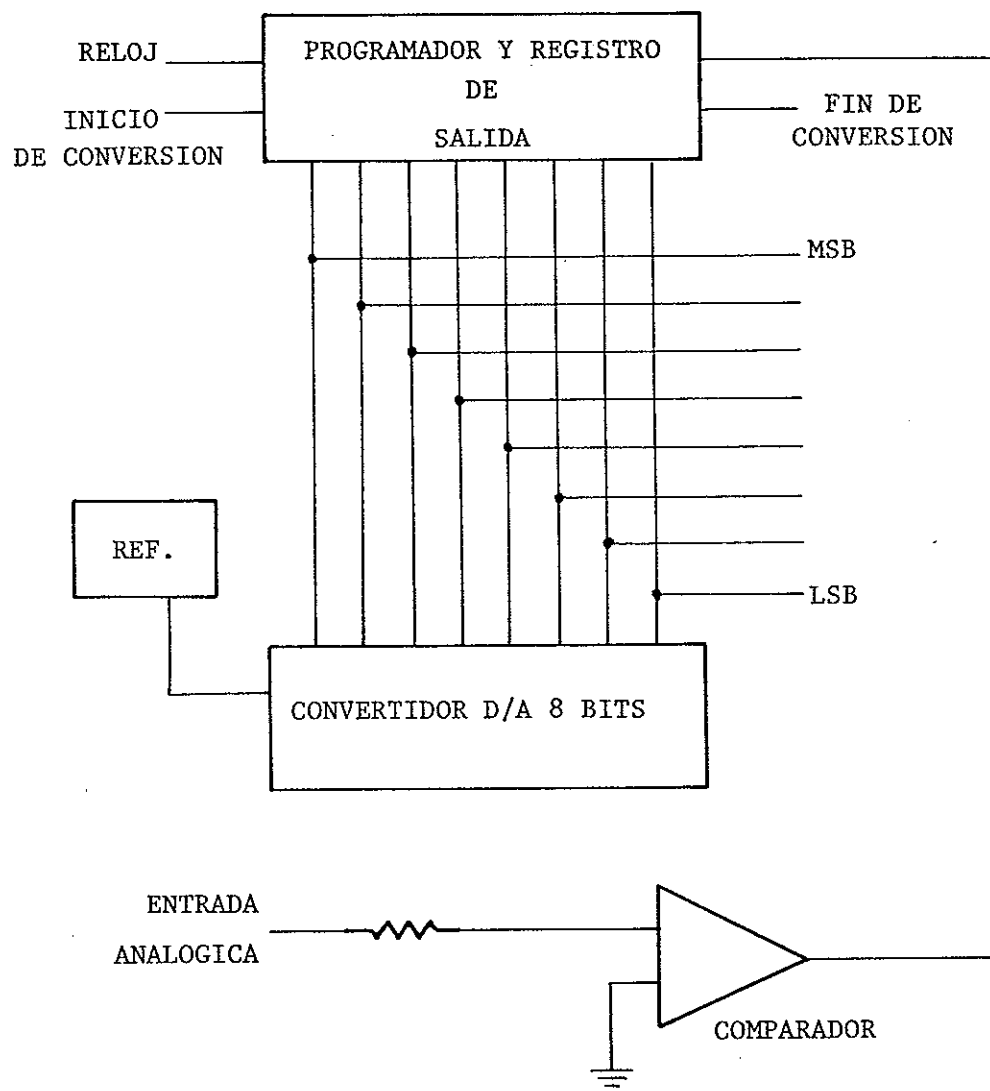


Fig. 24 - Convertidor A/D de Aproximaciones Sucesivas.



Ancho del Pulso de Inicio de Conversión - 25 nseg. mínimo.

El diagrama de tiempo de la figura 25 describe la continuidad con que se lleva a cabo la conversión, la señal de inicio de conversión debe permanecer en un nivel bajo por lo menos 25 nseg. antes de la transición del nivel alto del pulso del reloj. Después que la señal de inicio de conversión tiene un nivel alto, la conversión empezará en la siguiente transición de bajo a alto del reloj.

La señal de fin de conversión ocurre en una transición de nivel alto a nivel bajo con un máximo de 42 nseg. antes de la terminación del bit menos significativo (LSB). Una vez que el bit menos significativo termina, los datos en paralelo permanecen en la salida del convertidor el mismo tiempo que la señal de fin de conversión permanece en el nivel bajo.

## 2.8 Circuito de 3E

Este circuito actúa como un interruptor que permite e impide el paso de la información digital hacia el microprocesador teniendo dos entradas de control una que deshabilita las salidas del circuito para tener en ellas una alta impedancia cuando esta entrada de control es un '1' lógico y una entrada inhibidora, que cuando tiene '1' lógico pone todas las salidas del circuito al estado '0' lógico.

El circuito de tres estados (CD4502) está controlado por el microprocesador, en la figura 26 se tiene el diagrama de interconexión del circuito de 3E con los circuitos de 35 nseg, retardo de inicio de conversión, M/R y el convertidor analógico a digital.

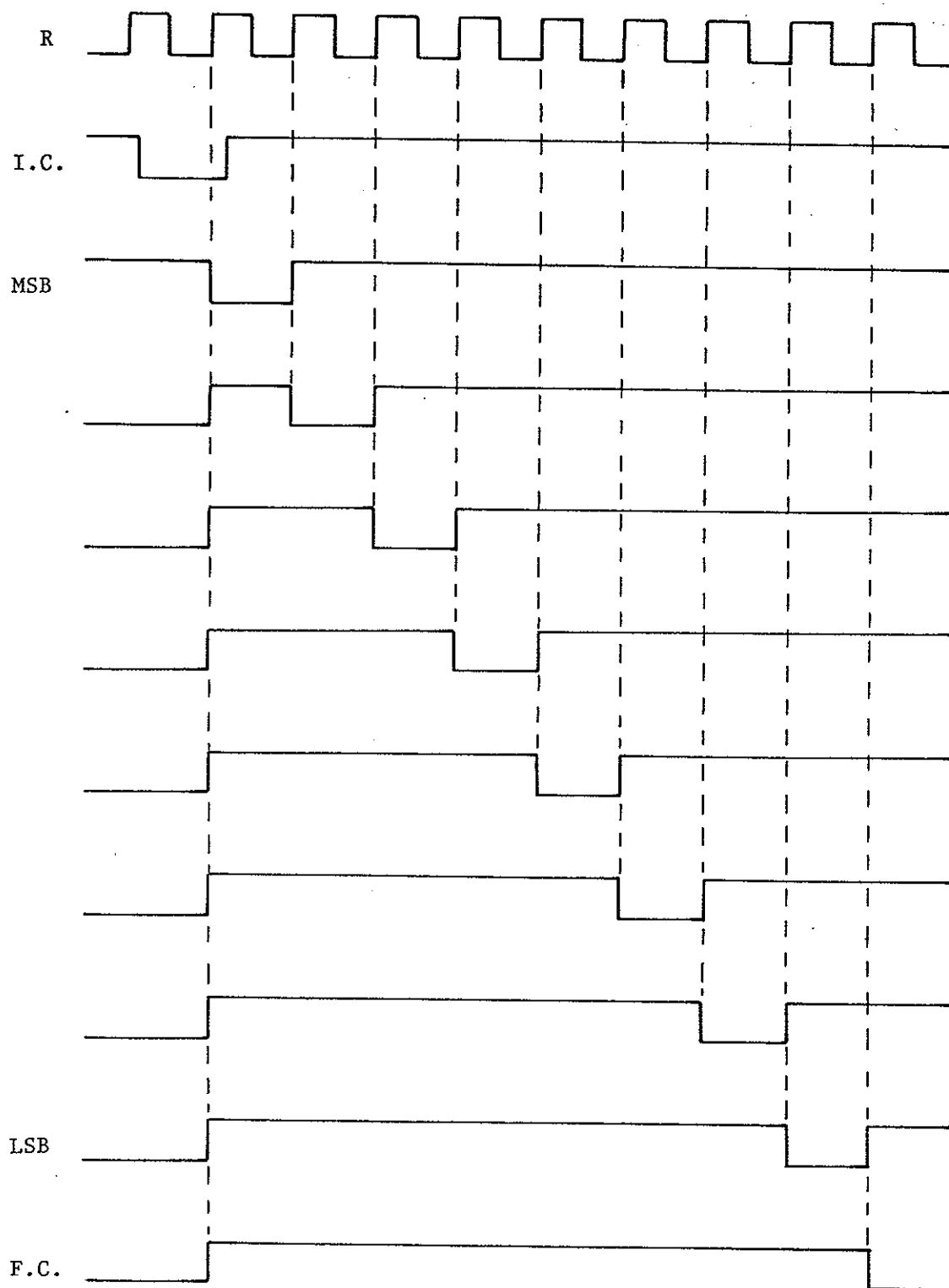


Fig. 25 - Diagrama de Tiempo para el Convertidor A/D.

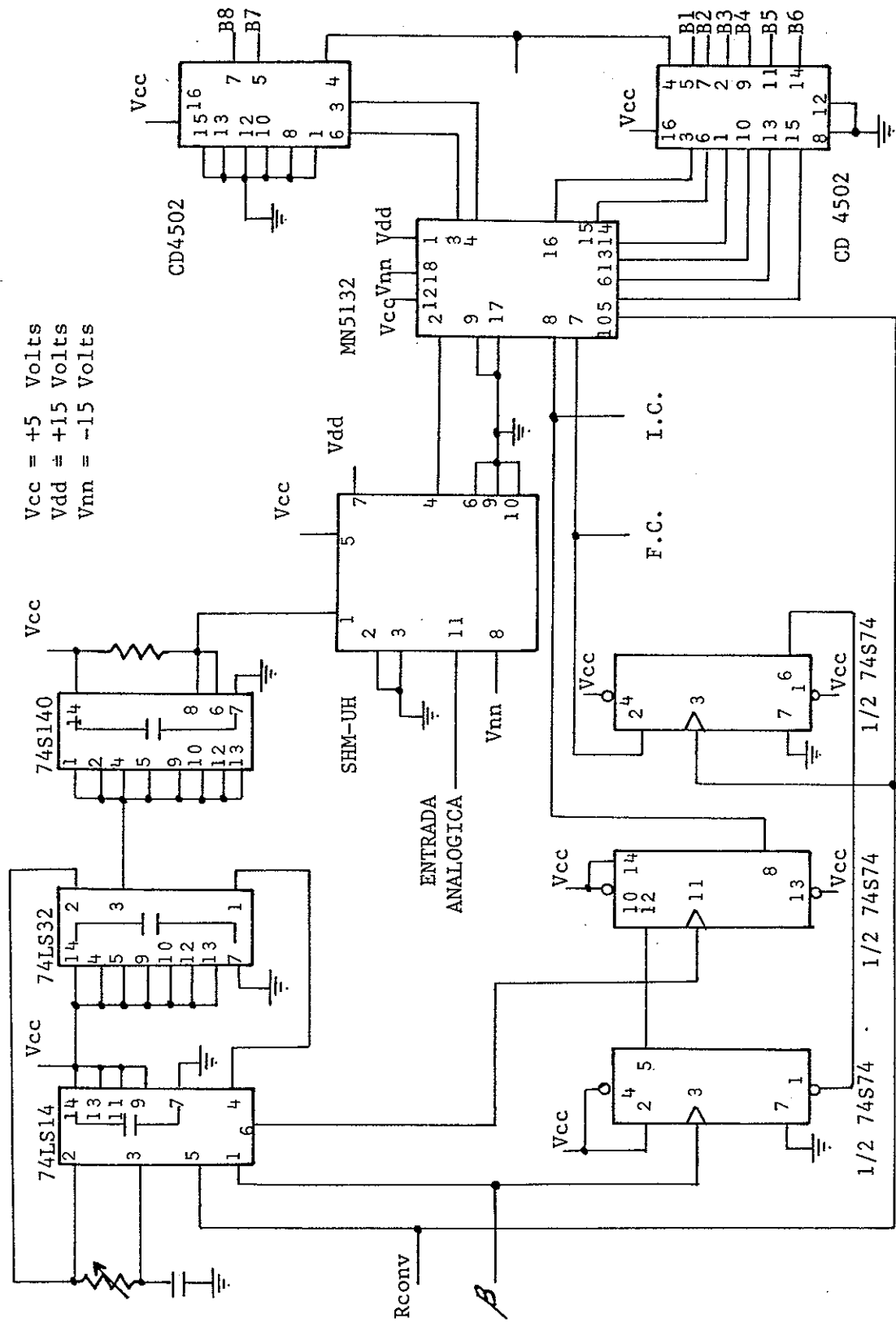


Fig. 26 - Diagrama de Conexiones de 35 nseg, Retardo de I.C., M/R, Convertidor A/D y 3E.

### III. CONTROL Y ALMACENAMIENTO

#### 3.1 Microprocesador

El microprocesador representa en la actualidad uno de los avances más importantes en electrónica en la última década, ya que cuenta con la gran habilidad de poder efectuar una gran variedad de funciones diferentes, reemplazando en la mayoría de las ocasiones a los arreglos lógicos efectuados con circuitería.

Un microprocesador está formado principalmente por tres grandes bloques como se muestra en la figura 27 (Anon, 1977b), siendo éstos:

1) CPU - Unidad de procesamiento central

2) Memoria - Conteniendo dos tipos de ellas

ROM - Memoria de lectura exclusiva

RAM - Memoria de lectura y escritura

3) E/S - Circuitos de interfase de entrada y salida

Estos tres bloques están interconectados por tres ductos principales:

A) Ducto de datos

B) Ducto de Direccionamiento

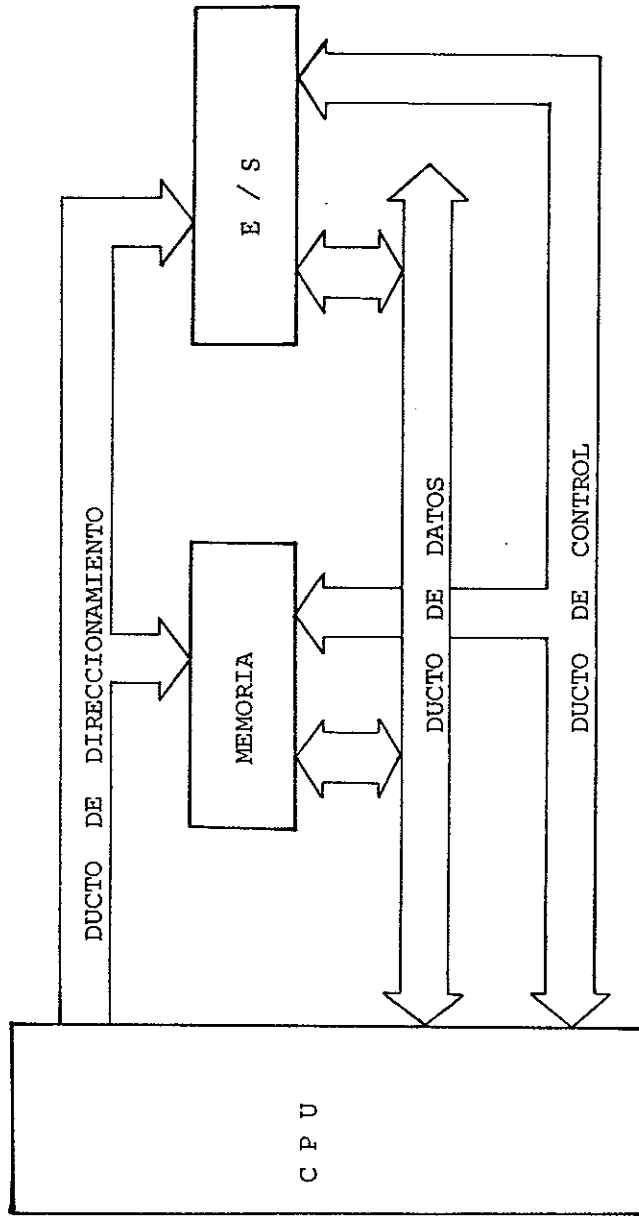


Fig. 27 Diagrama de Bloques del Sistema General de un Microprocesador.

### C) Ducto de Control

Las características principales del microprocesador (8080A) utilizado en el sistema "SADI" son:

Longitud de palabra - 8 bits

CPU - 8080A con tiempo de instrucción de 2 useg.

Memoria - ROM y RAM

ROM - 8708 - 2 K Bytes expansible a 4 K Bytes

RAM - 8111 - 256 Bytes expandible a 1 K Bytes

E/S - PCI y PPI (\*)

PCI - 8251 - USART

PPI - 8255 - 24 puertos expandible a 48 puertos

Voltaje de alimentación - Vcc - Vdd - Vbb

Vcc = 5 volts - 1.3 Amp.

Vdd = 12 Volts - 0.35 Amp.

Vbb = -12 volts - 0.20 Amp.

(\*) - PCI - Interfase de comunicación programable, PPI - Interfase de periféricos programables.

La función principal del microprocesador dentro del Sistema de Adquisición Digital de Imágenes "SADI" se representa mediante el diagrama de

flujo de la figura 28. De las figuras 29 a 35 se muestra con más detalle cada uno de los bloques del diagrama de flujo de la figura 28.

La descripción del diagrama de flujo es como sigue:

### **INICIALIZACION**

Inicializa el sistema, programando los puertos y carga el valor del retardo variable así como llama al primer subprograma.

- Programación de los puertos de entrada y salida, para poder hacer la interfase con los circuitos de acondicionamiento.

- Cargar el valor de retardo variable (valor que corresponde a una columna de imagen en las 525 líneas para el muestreo rectilíneo), para un valor de nivel negro (N.N) utilizándolo como referencia durante el proceso de una imagen completa.

- Llama al subprograma de adquisición - acomodo de los datos de imagen.

### **SUBPROGRAMA ADQUISICION - ACOMODO**

Este subprograma autoriza e impide a los circuitos de acondicionamiento a muestrear un valor de imagen así como permitir la entrada de datos a memoria y hace un acomodamiento de los mismos, eliminando valores correspondientes a pulsos de sincronía (aproximadamente 22 valores para cada cuadro) y reacomoda los valores de imagen en memoria.

- Autoriza la entrada de un valor de datos indeseados para asegurar que las salidas del convertidor A/D no tengan información.

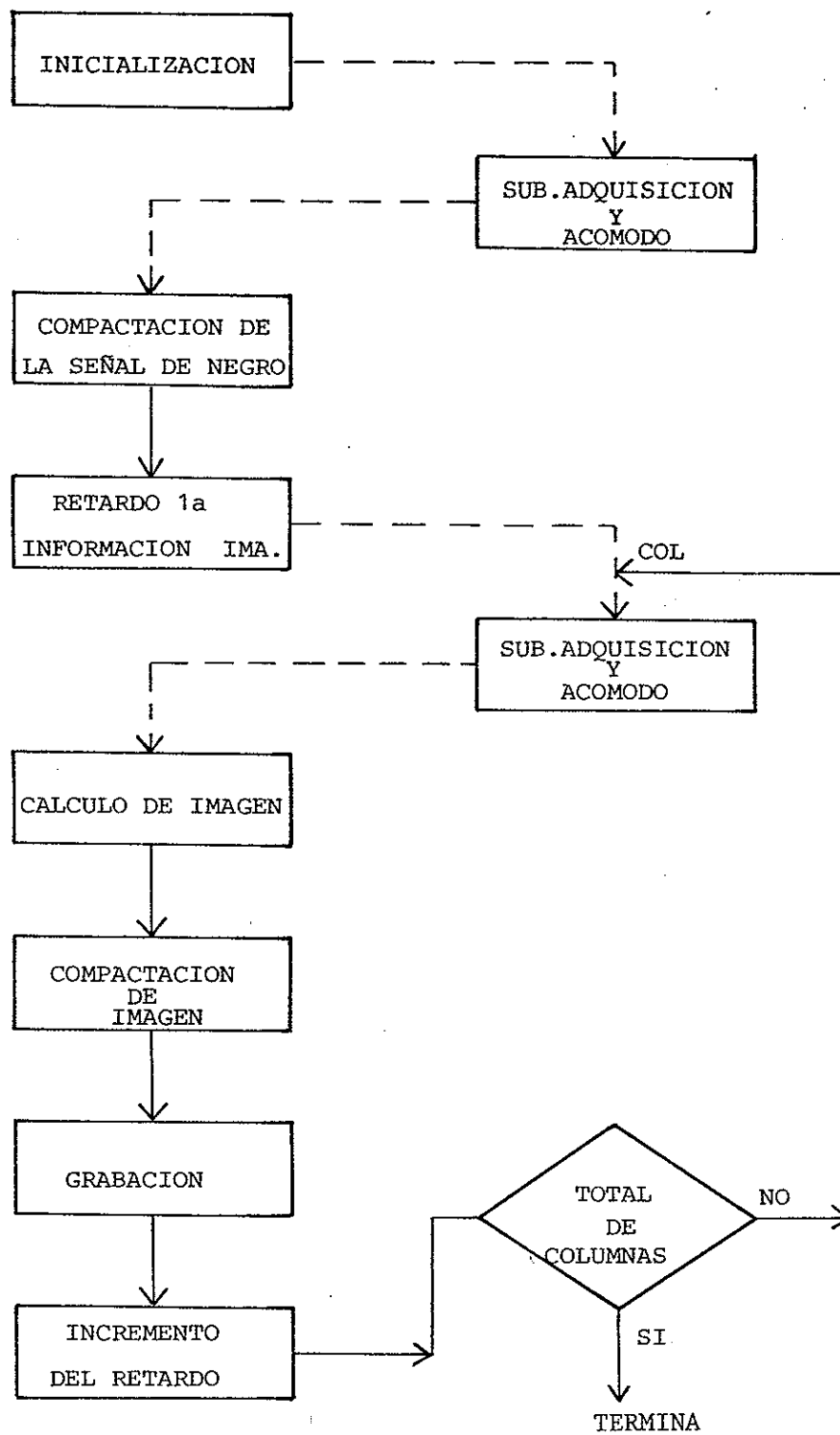


Fig. 28 - Diagrama de Flujo que muestra el funcionamiento del Microprocesador en el Sistema "SADI".



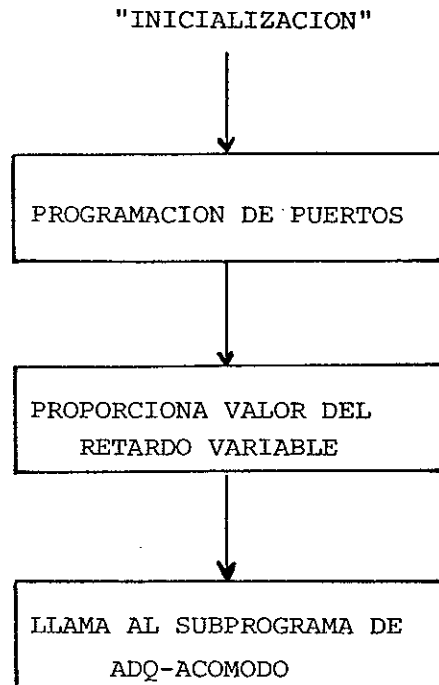


Fig. 29.- Sección de Bloques de Inicialización.

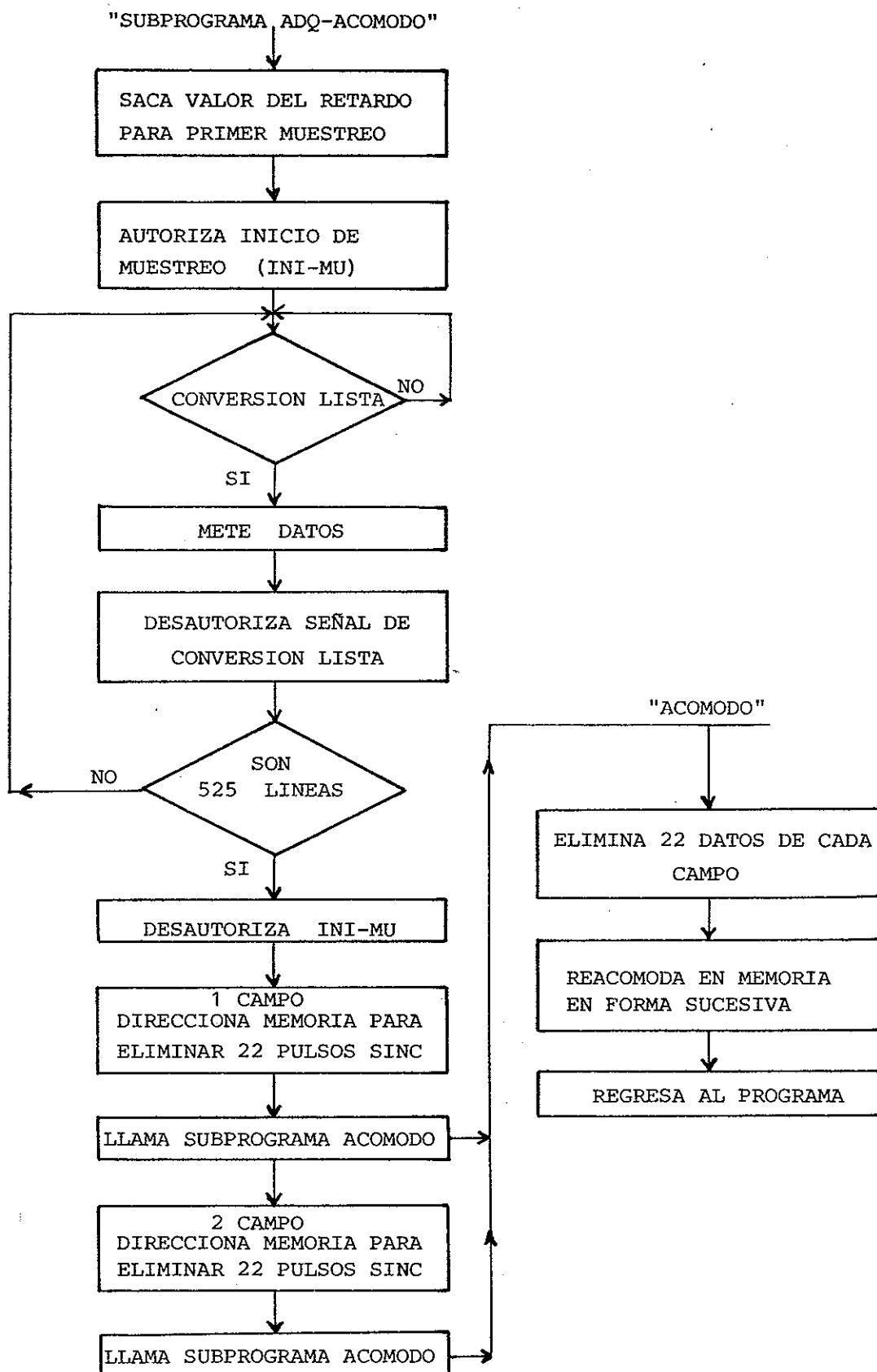


Fig. 30 .- Sección de Bloques del Subprograma de Adquisición-Acomodo.

"COMPACTACION DE LA SEÑAL DE NEGRO"

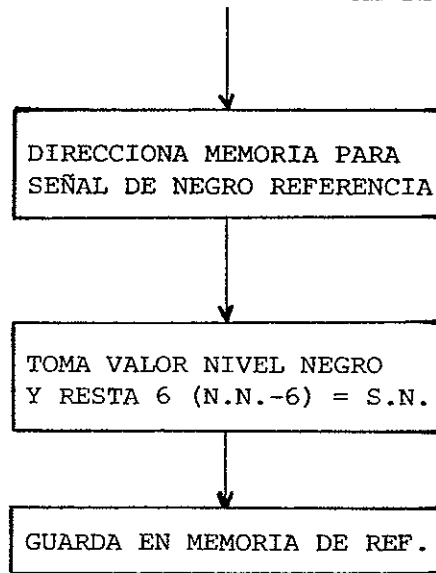


Fig. 31 .- Sección de Bloques de Compactación de la Señal de Negro

"RETARDO 1a. INFORMACION DE IMAGEN"

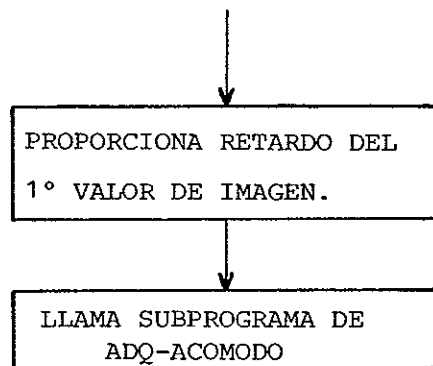


Fig. 32 .- Sección de Bloques del Retardo de 1a. Información de Imagen.

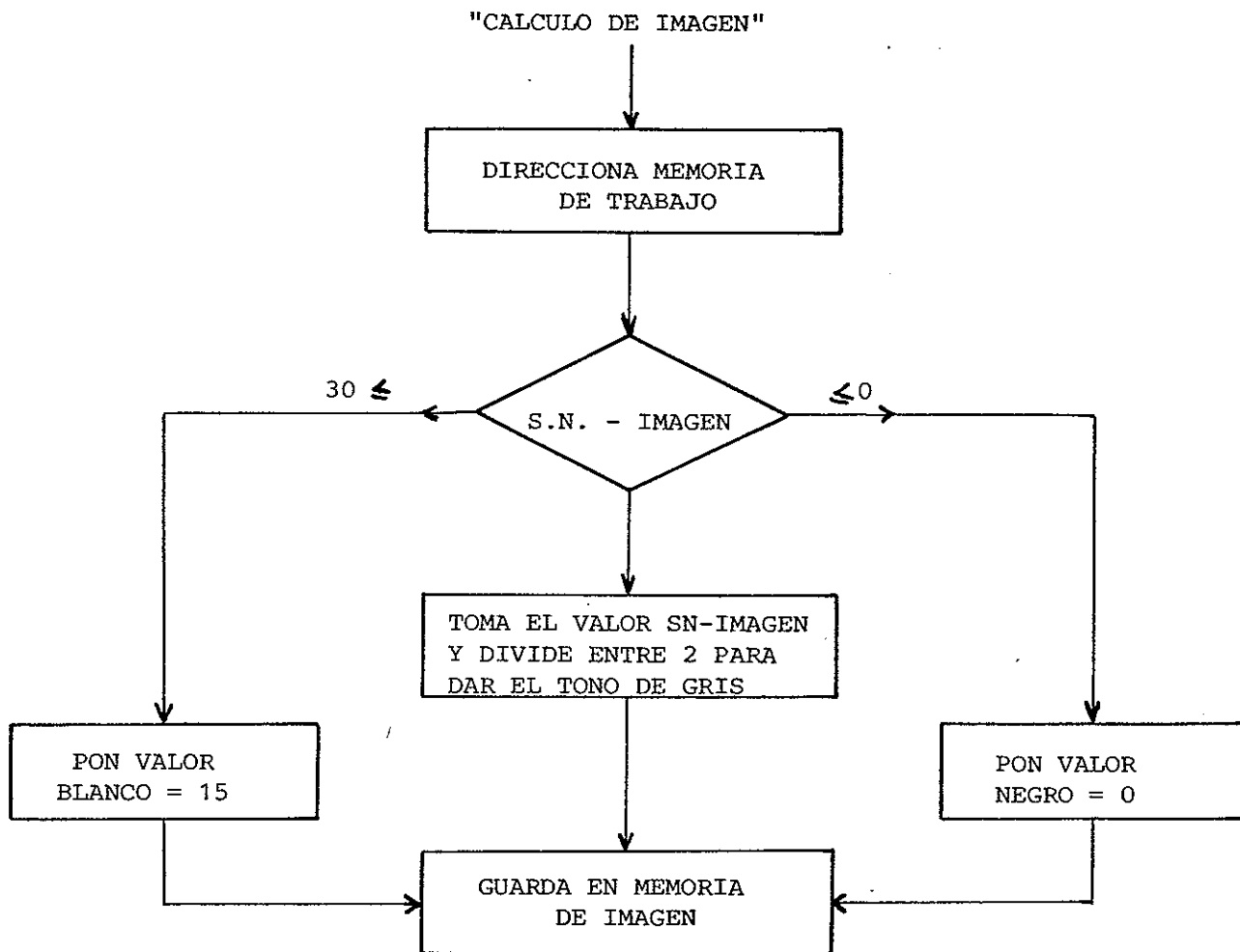


Fig. 33.- Sección de Bloques de Calculo de Imagen.

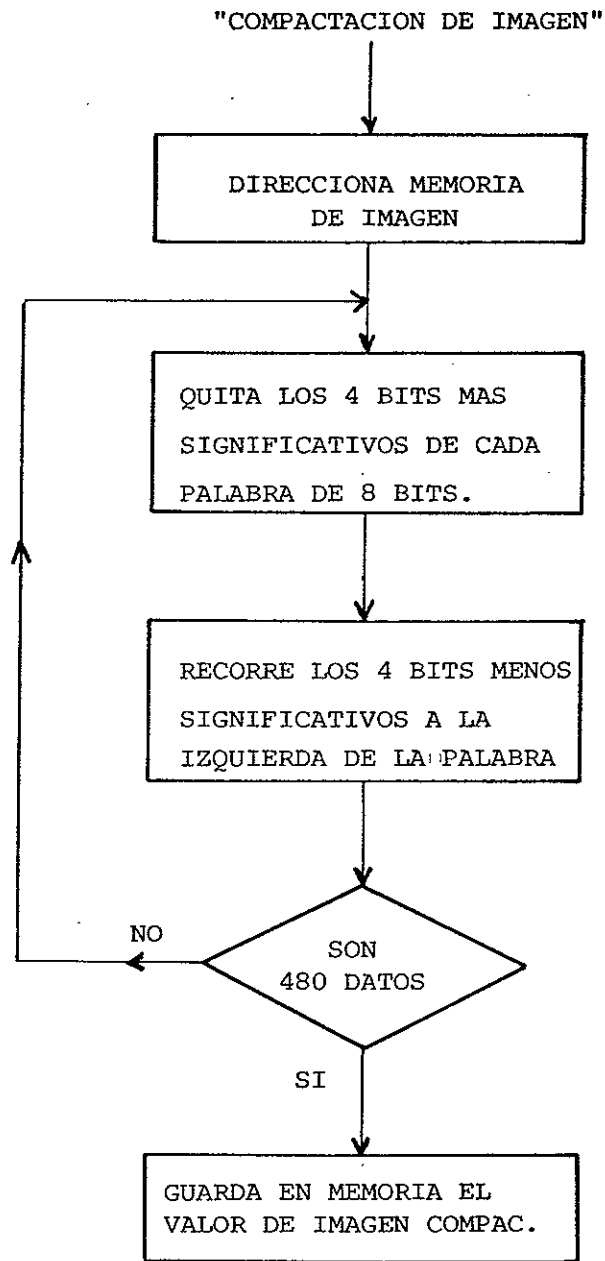


Fig. 34 .- Sección de Bloques de Compactación de Imagen.

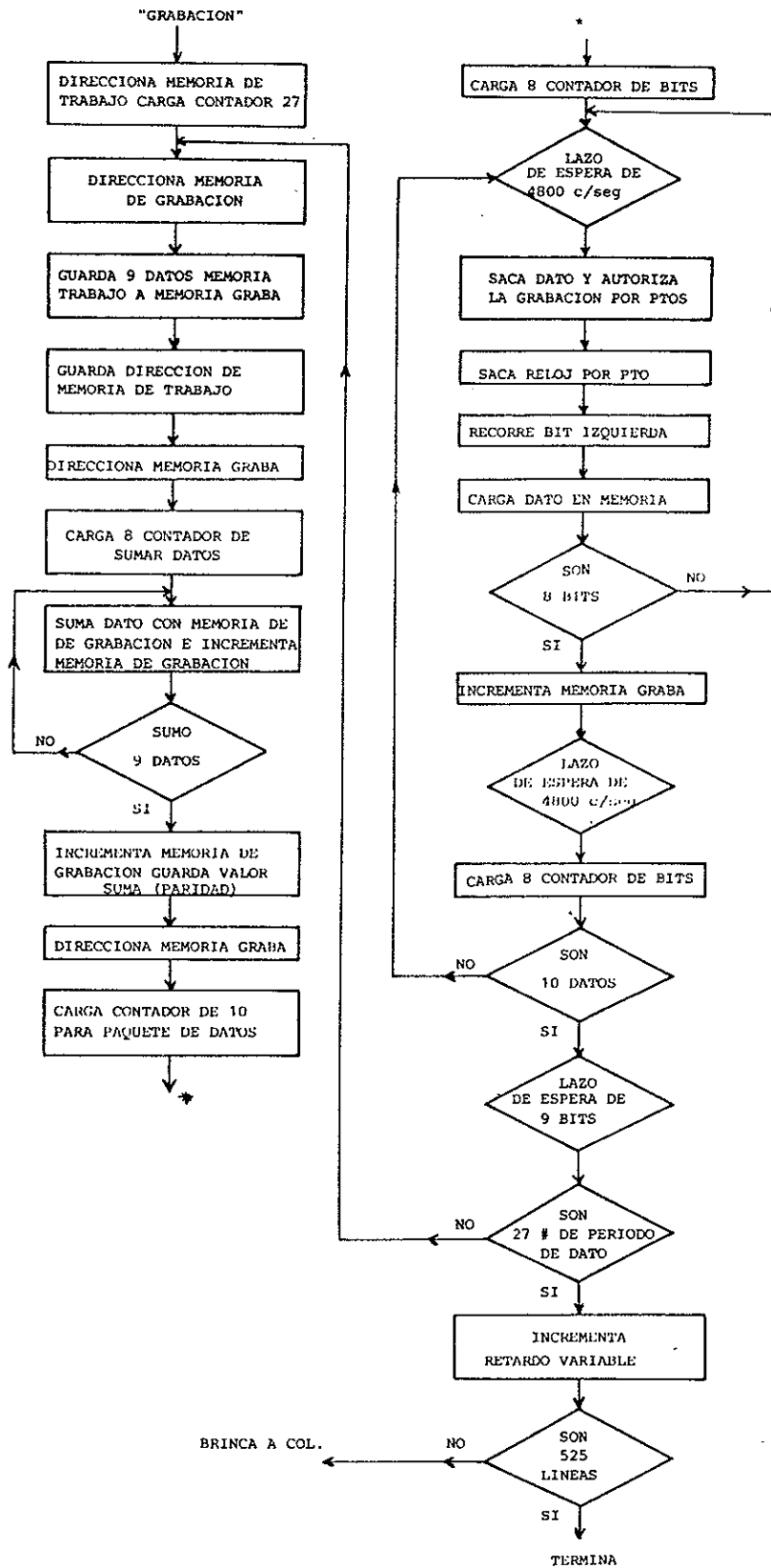


Fig. 35.- Sección de Bloques de Grabación.

- Saca el valor del retardo variable a través de los puertos PA0 al PB1, con una longitud de palabra de 10 bits, (este valor corresponde al primer muestreo a efectuarse).

- Autoriza la señal de inicio de muestreo (INI-MU) por el puerto de salida PB3 teniendo este puerto un nivel '1' lógico, permitiendo que la señal de inicio de cuadro este presente en la salida Q9 del circuito de acondicionamiento D2, para sincronizarse con  $n \cdot IL$  y así tener la señal de muestreo por medio del circuito C-T-D.

- Verifica la señal de conversión lista por medio del puerto PC0. Cuando aparece un '1' lógico la conversión ha sido efectuada.

- Autoriza por medio de I/O R y A5 al circuito de 3E, permitiendo el paso de datos del convertidor A/D a una localidad de memoria a través del ducto de datos (D0 a D7) y desautoriza la señal de conversión, por medio de la báscula D2.

- Cuenta que se hayan muestreado 525 líneas de imagen.

- Desautoriza la señal de inicio de muestreo INI-MU con un nivel '0' lógico, hasta tener un nuevo valor de retardo variable.

- Direcciona las áreas de memoria para quitar los valores correspondientes a los pulsos de sincronía.

- Llama el subprograma de acomodo, que es el que reacomoda el valor de datos correspondiente al primer cuadro de imagen.

- Direcciona las áreas de memoria para quitar los valores correspondientes a los pulsos de sincronía del segundo cuadro de imagen.

- Llama al subprograma de acomodo y reacomoda los datos correspondientes al segundo cuadro de imagen inmediatamente después del

último valor de imagen del primer cuadro.

#### **SUBPROGRAMA ACOMODO**

- Este subprograma elimina los primeros 22 datos de información de cada cuadro puesto que son de sincronización teniendo así de los 262 datos de cada cuadro sólo 240 de cada uno y los reacomoda en memoria en forma sucesiva obteniendo 480 datos de imagen.

- Regresa al subprograma de adquisición.

- El programa de adquisición regresa a inicialización.

#### **COMPACTACION DE LA SEÑAL DE NEGRO**

Esta sección del programa compactará la señal de negro en una área de memoria en la cual durante el proceso de adquisición de una imagen completa se tendrá como referencia para obtener los valores correspondientes a los tonos de grises.

- Direcciona una área de memoria en la cual se tendrán los valores de señal de negro como referencia.

- Resta el valor de negro del primer muestreo el valor de 6 para obtener la señal de negro (SN),  $SN = NN - 6$ , el restar este valor constante de 6 es por la diferencia en cuenta entre los niveles de negro de una imagen iluminada y una imagen oscura, de donde 6 es el valor promedio de esta diferencia de niveles.

- Guarda el valor de SN calculado en la memoria de referencia.



## RETARDO DE LA 1a. INFORMACION DE IMAGEN

- Cargar el valor del retardo correspondiente a la primera información de imagen.
- Llama al subprograma de ADQUISICION - ACOMODO de datos.

## SUBPROGRAMA ADQUISICION - ACOMODO

- Regresa a ADQUISICION.
- Regresa a retardo de la primera información de imagen.

## CALCULO DE IMAGEN

Esta sección del programa calcula el valor de imagen mediante la relación  $SN - IMAGEN = IMAGEN \text{ CALCULADA}$  obteniendo un valor de negro, gris y blanco con respecto al nivel de negro.

- Direcciona la memoria donde están los valores de imagen.
- Resta el valor de imagen del valor de la señal de negro ( $SN - IMAGEN$ ) para cada uno de los 480 datos, ésto es para obtener un valor de negro, gris y blanco en referencia al nivel de negro. Comparando con cero (valor negro) y 30 (valor blanco), este valor de 30 es por la diferencia de niveles entre los valores de blanco de una imagen iluminada y una imagen oscura.
- Si  $SN - IMAGEN < 0$ , pone un valor de negro = 0 y lo guarda.

Si  $SN - IMAGEN > 0$ , compara con 30.

- Si  $SN - IMAGEN > 30$ , pone un valor de blanco = 15 y lo guarda.

- Si  $SN - IMAGEN < 30$ , divide este valor entre 2 para obtener un valor de gris y lo guarda.

Como el valor obtenido esta comprendido entre 0 y 15 únicamente se tendrá información de imagen en los 4 bits menos significativos del dato de 8 bits, obteniendo con ésto 16 tonos de grises.

### COMPACTACION DE IMAGEN

La longitud de palabra del valor de imagen se reduce de 8 bits a 4 bits y se reacomoda la información de imagen progresivamente con 8 bits por palabra.

- Direcciona la memoria donde se tiene la imagen calculada, (teniendo un valor de negro = 0, un valor de blanco = 15 y un valor entre 0 y 15 para los diferentes tonos de grises de la imagen).

- Quita los 4 bits mas significativos de cada palabra puesto que no tienen un valor de imagen y recorre los 4 menos significativos a la izquierda de cada palabra.

- Guarda en memoria este valor de imagen.

- Recorre cada dato de los 480 de imagen y los compacta en memoria, obteniendo 240 valores de imagen.

- Guarda en memoria la imagen compactada.

## GRABACION

El formato de grabación de los datos de imagen tendrá una secuencia de 10 datos = 9 datos + 1 dato de paridad = 80 bits y un claro de 9 bits en serie así hasta grabar 240 datos sucesivamente, donde cada dato = 8 bits. Teniendo la imagen correspondiente a una columna.

- Direcciona la memoria para la información que se grabará.
- Toma nueve datos de la memoria donde estan los 240 datos de imagen.
- Guarda estos nueve datos en memoria para sacar los datos a grabación.
- Suma nueve datos y pone un décimo dato de paridad en la siguiente localidad de memoria.
- Saca los datos en serie bit por bit por el puerto de salida PC7 y las señales de reloj y autorización para la grabadora por los puertos PC5 y PC4 respectivamente.

## INCREMENTA EL VALOR DEL RETARDO

Incrementar el valor del retardo equivale a tomar otra columna de datos sobre las 525 líneas de imagen.

- Pregunta si son el total de columnas por muestrear.
- No son el total brinca a COL.
- Si son el total para y termina la grabación de la imagen completa.

### 3.2 Circuitos de Acondicionamiento

Por medio de estos circuitos de acondicionamiento el microprocesador envía y recibe las señales de control para el sistema "SADI". Las señales que envía son: a) autorización para efectuar el inicio de muestreo, b) valor del retardo variable para muestrear datos en una columna, c) autorización para que entren los datos en el área de memoria y desautoriza a su vez la señal de conversión lista, d) envía el dato en serie, señal de autorización de grabación y reloj a la grabadora.

Las señales que recibe son: e) señal de conversión lista, f) datos en paralelo del convertidor A/D por el ducto de datos. La descripción del funcionamiento de los circuitos de acondicionamiento es la siguiente:

Autoriza la señal de inicio de muestreo INI-MU por el puerto PB3, cuando existe un  $\bar{1}$  lógico la báscula tipo D es autorizada para que en la terminal 9 exista un nivel alto ( $\bar{1}$  lógico) en la transición de bajo a alto de la señal de reloj (inicio de cuadro), que conjuntamente con un nivel alto de  $n*IL$  se tiene la señal de INI-MU ( $n*IL$  cont) para el circuito C-T-D.

Autoriza la entrada de datos del convertidor A/D a la memoria por medio de I/OR y A5 proporcionando un  $\bar{0}$  lógico para el control del circuito de 3E y recibiendo la señal de conversión lista por el puerto PC0, inhabilitando la señal de conversión lista y el circuito de 3E con un  $\bar{1}$  lógico, hasta el siguiente empiezo de la línea. A través de los puertos PA0 a PB1 saca la palabra de retardo variable para obtener otra columna de datos y finalmente por PC4 y PC5 proporciona los pulsos de control hacia la grabadora de autorización de grabación y reloj respectivamente, teniendo en el puerto PC7 la salida de los datos en serie.

La fig. 36 muestra el diagrama de conexiones de los circuitos de acondicionamiento con el microprocesador, circuito de 3E, C-T-D, convertidor A/D y circuito de grabación.

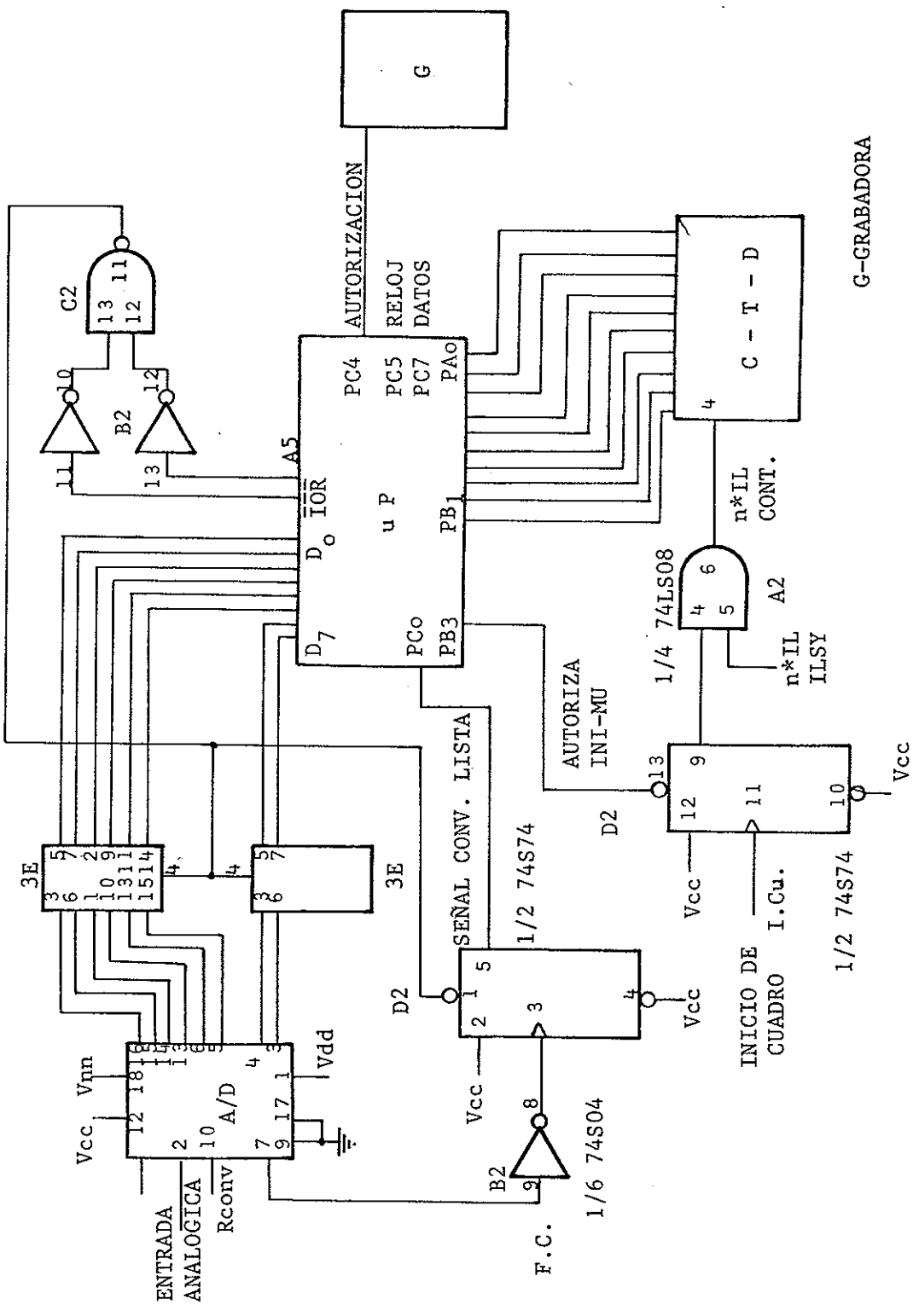


Fig. 36 .. Diagrama de Conexiones de los Circuitos de Acondicionamiento con el Microprocesador, C-T-D, Circuito 3E y Convertidor A/D.

### 3.3 Programa del Microprocesador

----- BO80/85 ASSEMBLER V02.1 ----- PAGE 1 ----- FUTUREDATA -----

```

*****
*      TITULO SADI 1979      *
*****
* PROGRAMA PARA SER USADO CON LA "EPROM" VERSION DE MAYO-28-1979 PARA TESIS *
* REALIZADO POR CARLOS GERARDO LOPEZ HERNANDEZ *

0000      ORG X'1000'
1000      DS X'10'
1010      FILES DS 1
1011      MEMTRA DS 514      MEMTRA CONTIENE MEMGRA Y CONT DURANTE
*                               LA ADQUISICION
1213      MEMGRA DS 10      ZONA DE MEMORIA PARA SACAR DATOS HACIA
*                               LA GRABACION.
121D      CONT DS 1
121E      MEMREF DS 480      ZONA DE MEMORIA USADA COMO REFERENCIA
*                               DE SENAL DE NEGRO.

00F7      PTOCTL EQU X'F7'
00F4      PTOA EQU PTOCTL-3
00F5      PTOB EQU PTOCTL-2
00F6      PTOC EQU PTOCTL-1
00DF      CAD EQU X'DF'
13FE      ORG X'400'

*****
* INICIALIZACION SISTEMA SADI *
*****
0400 311010 SADI LXI SP,PILES INICIA Y CARGA LA PILA.
0403 3E81 MVI A,X'81' PROGRAMACION DE PUERTOS DEL SISTEMA.
0405 D3F7 OUT PTOCTL
0407 01BF03 LXI B,X'03BF' RETARDO DEL VALOR DE NEGRO N. N.
040A CDDF04 CALL ADQ SUBPROGRAMA 1 ADQ-ACOMODO.

*****
* COMPACTACION NIVEL DE NEGRO *
*****
040D 211110 LXI H, MEMTRA DIRECCIONA MEMORIA DE TRABAJO.
0410 111E12 LXI D, MEMREF DIRECCIONA MEMORIA DE REFERENCIA
*                               DE SENAL DE NEGRO.
0413 01DF01 LXI B, 479 CARGA CONTADOR PARA 480 DATOS.
0416 7E TAO MOV A, M
0417 D606 SUI X'06' SN=N. N. -6
0419 12 STAX D ALMACENA EL ACUMULADOR EN MEMREF.
041A 23 INX H INCREMENTA MEMTRA.
041B 13 INX D INCREMENTA MEMREF.
041C 0B DCX B DECREMENTA CONTADOR.
041D 78 MOV A, B DE
041E B1 ORA C 480 DATOS
041F C21604 JNZ TAO

*****
* RETARDO DE LA 1A INFOR. IMAGEN. *
*****
0422 01BF03 LXI B, X'03BF' CARGA PRIMER VALOR DE IMAGEN.
0425 110C02 LXI D, 524 CARGA CONTADOR DE 525 COLUMNAS.
0428 D5 COL PUSH D
0429 C5 PUSH B
042A CDDF04 CALL ADQ SUBPROGRAMA 1 ADQ-ACOMODO.

*****
* CALCULO DE IMAGEN NEG. BLAN. GRIS. *

```

----- 8080/85 ASSEMBLER V02.1 ----- PAGE 2  
 ----- FUTUREDATA -----

```

*****
042D 01DF01      LXI  B,479      CARGA 480 DATOS
0430 211110      LXI  H, MEMTRA  DIRECCIONA MEMTRA.
0433 111E12      LXI  D, MEMREF  DIRECCIONA MEMREF.
0436 1A          TETA  LDAX  D      CARGA VALOR DE SN.
0437 96          SUB  M      SN-IMAGEN.
0438 BA4004      JC   FI      0-CON. 1-BRIN.
043B FE00      CPI  0
043D B24504      JNC  BETA     1-CON. 0-BRIN.
0440 3E00      FI   MVI  A,0
0442 C35104      JMP  ALFA
0445 FE1E      BETA CPI  30
0447 DA4F04      JC   GAMA     0-CON. 1-BRIN.
044A 3E0F      MVI  A,15     GUARDA VALOR DE BLANCO (F).
044C C35104      JMP  ALFA
044F A7          GAMA ANA  A      DIVIDE ENTRE
0450 1F          KAR      DOS PARA TONOS
0451 77          ALFA  MOV  M,A
0452 23          INX  H      INCREMENTA MEMTRA.
0453 13          INX  D      INCREMENTA MEMREF.
0454 0B          DCX  B      DECREMENTA CONTADOR.
0455 78          MOV  A,B      DE
0456 B1          ORA  C      480 DATOS.
0457 C23604      JNZ  TETA
*****
* COMPACTACION DE IMAGEN *
*****
045A 01EF00      LXI  B,239     CARGA CONTADOR DE 240 DATOS.
045D 111110      LXI  D, MEMTRA  DIRECCIONA MEMORIA PARA METER IMAGEN
*                   COMPACTADA.
0460 211110      LXI  H, MEMTRA  DIRECCIONA MEMTRA.
0463 7E          PI   MOV  A,M
0464 07          RLC      RECORRE A LA
0465 07          RLC      IZQUIERDA
0466 07          RLC      4 BITS MAS
0467 07          RLC      SIGNIFICATIVOS
0468 23          INX  H      INCREMENTA MEMTRA.
0469 B6          ORA  M
046A 12          STAX D      GUARDA EN MEMORIA DE IMAGEN COMPACTADA.
046B 23          INX  H      INCREMENTA MEMTRA.
046C 13          INX  D      INCREMENTA MEMORIA IMAGEN COMPACTADA.
046D 0B          DCX  B      DECREMENTA CONTADOR.
046E 78          MOV  A,B      DE
046F B1          ORA  C      240 DATOS
0470 C26304      JNZ  FI
*****
* SECCION DE GRABACION. *
* TODOS LOS (E) SON LAZOS DE ESPERA. *
*****
0473 211110      LXI  H, MEMTRA  DIRECCIONA MEMTRA.
0476 3E1B      MVI  A,27     CARGA CONTADOR DE # DE PERIODO (10 DATOS
*                   + 9 BITS DE VACIO)
0478 321D12      STA  CONT
047B 111312      DATO LXI  D, MEMGRA  DIRECCIONA MEMGRA.
047E 0609      MVI  B,9      CARGA 9 CONTAR DATOS.

```



----- 8080/85 ASSEMBLER V02.1 ----- FUTUREDATA -----

0480	7E	MAM	MOV	A, M	DATO AL ACUMULADOR
0481	23		INX	H	INCREMENTA MEMTRA.
0482	12		STAX	D	GUARDA DATO EN MEMTRA.
0483	13		INX	D	INCREMENTA MEMTRA.
0484	05		DCR	E	DECREMENTA CONTADOR DE 9 DATOS.
0485	C28004		JNZ	MAM	
0488	E5		PUSH	H	GUARDA DIRECCION DE MEMTRA.
0489	211312		LXI	H, MEMTRA	DIRECCIONA MEMTRA.
048C	0608		MVI	B, 8	CARGA 8 CONTADOR DE SUMAR DATOS.
048E	7E		MOV	A, M	
048F	23	PAR	INX	H	INCREMENTA MEMTRA.
0490	86		ADD	M	SUMA DATO CON MEMTRA.
0491	05		DCR	E	DECREMENTA CONTADOR DE SUMAR DATOS.
0492	C28F04		JNZ	PAR	
0495	23		INX	H	INCREMENTA MEMTRA.
0496	77		MOV	M, A	GUARDA VALOR DE LA SUMA DE 9 DATOS (PARIDAD).
0497	211312		LXI	H, MEMTRA	DIRECCIONA MEMTRA.
049A	060A		MVI	D, 10	CARGA CONTADOR DE 10 SACAR PAQUETE DE DATOS.
049C	0E08		MVI	C, 8	CARGA 8 CONTADOR DE BITS.
049E	3E10	ROO	MVI	A, 16	e
04A0	3D	RETA	DCR	A	e
04A1	7F		MOV	A, A	e
04A2	C2A004		JNZ	RETA	e
04A5	3D		DCR	A	e
04A6	00		NOP		e
04A7	7E		MOV	A, M	DATO AL ACUMULADOR
04AC	E630		ANI	X'80'	PON # BIT DE DATO.
04AA	F600		ORI	X'00'	PON AUTORIZACION DE GRADACION
04AC	D3F6		OUT	PTOC	SACA BIT DE DATO Y AUTORIZACION PTO. C7 Y C4
04AE	F620		ORI	X'20'	PON RELOJ ACUMULA.
04B0	D3F6		OUT	PTOC	SACA RELOJ PTO C5.
04B2	7E		MOV	A, M	CARGA DATO.
04B3	07		RLC		RECORRE BITS IZQ.
04B4	77		MOV	M, A	CARGA DATO.
04B5	0D		DCR	C	DECREMENTA CONTADOR DE BITS.
04B6	C29E04		JNZ	ROO	
04B9	23		INX	H	INCREMENTA MEMTRA
04BA	3E0E		MVI	A, 14	e
04BC	00		NOP		e
04BD	00		NOP		e
04BE	0D		DCR	C	e
04BF	0E08		MVI	C, 8	CARGA 8 CONTADOR DE BITS.
04C1	05		DCR	E	DECREMENTA CONTADOR DE 10 DATOS
04C2	C2A004		JNZ	RETA	
04C5	3EAC		MVI	A, 172	e
04C7	3D	KA	DCR	A	e
04C8	C2C704		JNZ	KA	e
04CB	211D12		LXI	H, CONT	CONTADOR DE # DE PERIODO.
04CE	7E		MOV	A, M	DE 10 DATOS
04CF	3D		DCR	A	(27)
04D0	77		MOV	M, A	
04D1	E1		POP	H	SACA DIRECCION DE MEMTRA.
04D2	C27B04		JNZ	DATO	
04D5	C1		POP	B	SACA VALOR DE RETARDO DE IMAGEN.
04D6	D1		POP	D	SACA #.DE COLUMNA.

```

----- 8080/85 ASSEMBLER V02.1 ----- PAGE 4 -----
FUTUREDATA -----

04D7 0B          DCX  B          DECREMENTA VALOR DE RETARDO DE IMAGEN.
04D8 1B          DCX  D          DECREMENTA VALOR DE # DE COLUMNA.
04D9 7A          MOV  A,D         MOV A,D
04DA B3          ORA  E          ORA E
04DB C22B04      JNZ  CCL       SON TODAS LAS COLUMNAS NO-BRINCA DATO,
SI-TERMINA GRABAR.
04DE CF          *          RST  J
*****
* SUBPROGRAMA ADQUISICION - ACOMODO. *
*****
04DF 1BDF      ADD  IN  CAD      ENTRAN DATOS DEL CONVERTIDOR A/D
04E1 79          MOV  A,C         CARGA VALOR DEL RETARDO(0F).
04E2 D3F4      OUT  PTOA       SACA PTO. A
04E4 78          MOV  A,B         CARGA VALOR DEL RETARDO(03).
04E5 F608      ORI  X'08'      CARGA INICIO DE MUESTREO (INI-MU).
04E7 D3F5      OUT  PTOB       SACA PTO B3 AUTORIZACION INI-MU.
04E9 211110    LXI  H,MEMTRA   DIRECCIONA MEMTRA.
04FC 110C02    LXI  D,524      525 LINEAS
04EF DDF6      PO   IN  PTOC   CHECA SENAL CONVERSION LISTA EN PTO C.
04F1 0F          RRC
04F2 D2EF04    JNC  PO         BRINCA-0, SIGUE-1.
04F5 DBDF      IN   CAD       ENTRAN DATOS DEL CONVERTIDOR A/D.
04F7 77          MOV  M,A       GUERDA DATOS EN MEMORIA.
04F8 23          INX  H         INCREMENTA MEMTRA.
04F9 1B          DCX  D         DECREMENTA CONTADOR DE LINEAS.
04FA 7A          MOV  A,D
04FB B3          ORA  E
04FC C2EF04    JNZ  PO         BRINCA-0, SIGUE-1.
04FF 78          MOV  A,B       DESAUTORIZA INI-MU
0500 D3F5      OUT  PTOC     SACA INI-MU PTO B3
0502 211110    LXI  H,MEMTRA  DIRECCIONA MEMTRA.
0505 112710    LXI  D,MEMTRA+22 ELIMINA 22 LINEAS DEL PRIMER CUADRO.
0508 CD1505    CALL ACO      SUBPROGRAMA 2 ACOMODO.
050B 210111    LXI  H,MEMTRA+240 DIRECCIONA MEMTRA DEL SEGUNDO CUADRO.
050E 112D11    LXI  D,MEMTRA+284 ELIMINA 22 LINEAS DEL SEGUNDO CUADRO.
0511 CD1505    CALL ACO      SUBPROGRAMA 2 ACOMODO.
0514 C9          RET
*****
* SUBPROGRAMA ACOMODO *
*****
0515 01EF00    ACO  LXI  B,239  CARGA CONTADOR 240 LINEAS.
0518 1A          ZU   LDAX  D
0519 77          MOV  M,A
051A 23          INX  H         INCREMENTA MEMTRA.
051B 13          INX  D         INCREMENTA D PARA TOMAR OTRO DATO.
051C 0B          DCX  B         DECREMENTA CONTADOR.
051D 78          MOV  A,B       DE
051E B1          ORA  C         240 LINEAS.
051F C21805    JNZ  ZU       BRINCA-0, SIGUE-1.
0522 C9          RET
0523          END  SADI

```

----- 8080/85 ASSEMBLER V02 1 ----- PAGE 5  
----- FUTUREDATA -----

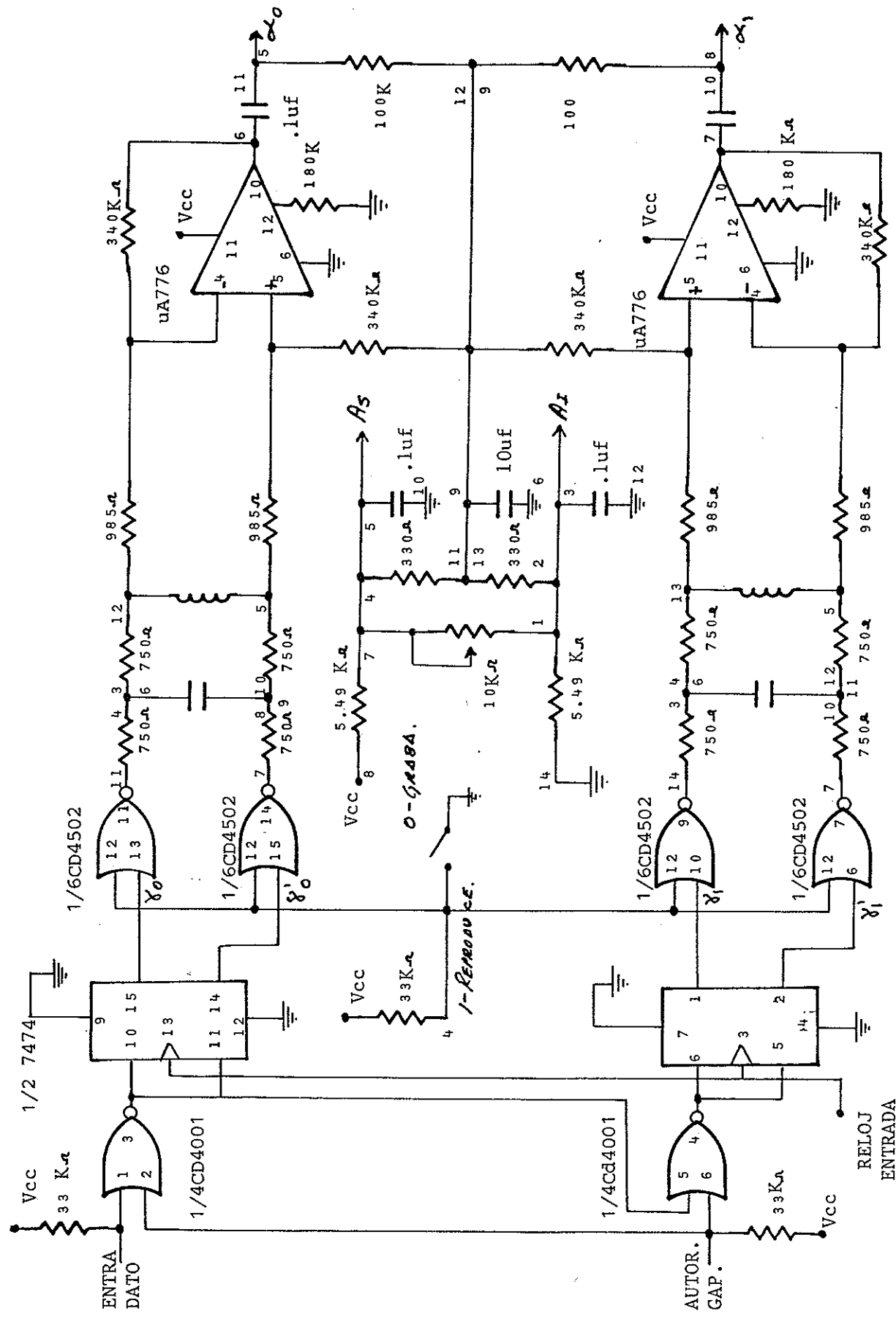
ACD	0515	ADQ	04DF	ALFA	0451	BETA	0445
CAD	00DF	COL	0428	CONT	121D	DATO	047B
FI	0440	GAMA	044F	KA	04C7	MAM	0480
MEMGRA	1213	MEMREF	121E	MEMTRA	1011	PAR	048F
PI	0463	FILES	1010	PO	04EF	PTOA	00F4
PTOB	00F5	PTOC	00F6	PTOCTL	00F7	RETA	0480
R00	049E	SADI	0400	TA0	0416	TETA	0436
ZU	0518						

NO ERRORS

### 3.4 Circuito de Grabación

El circuito de grabación para 2 canales con no regreso a cero, utilizado en el Sistema de Adquisición Digital de Imágenes "SADI" fué realizado por Enrique Mitrani A. y Fidel Díaz M. en el Departamento de Física Aplicada del C.I.C.E.S.E. en 1978.

El diagrama de dicho circuito se muestra en las figuras 37 y 38.



1/2 7474

Fig. 37.- DIAGRAMA DEL CIRCUITO DE GRABACION.

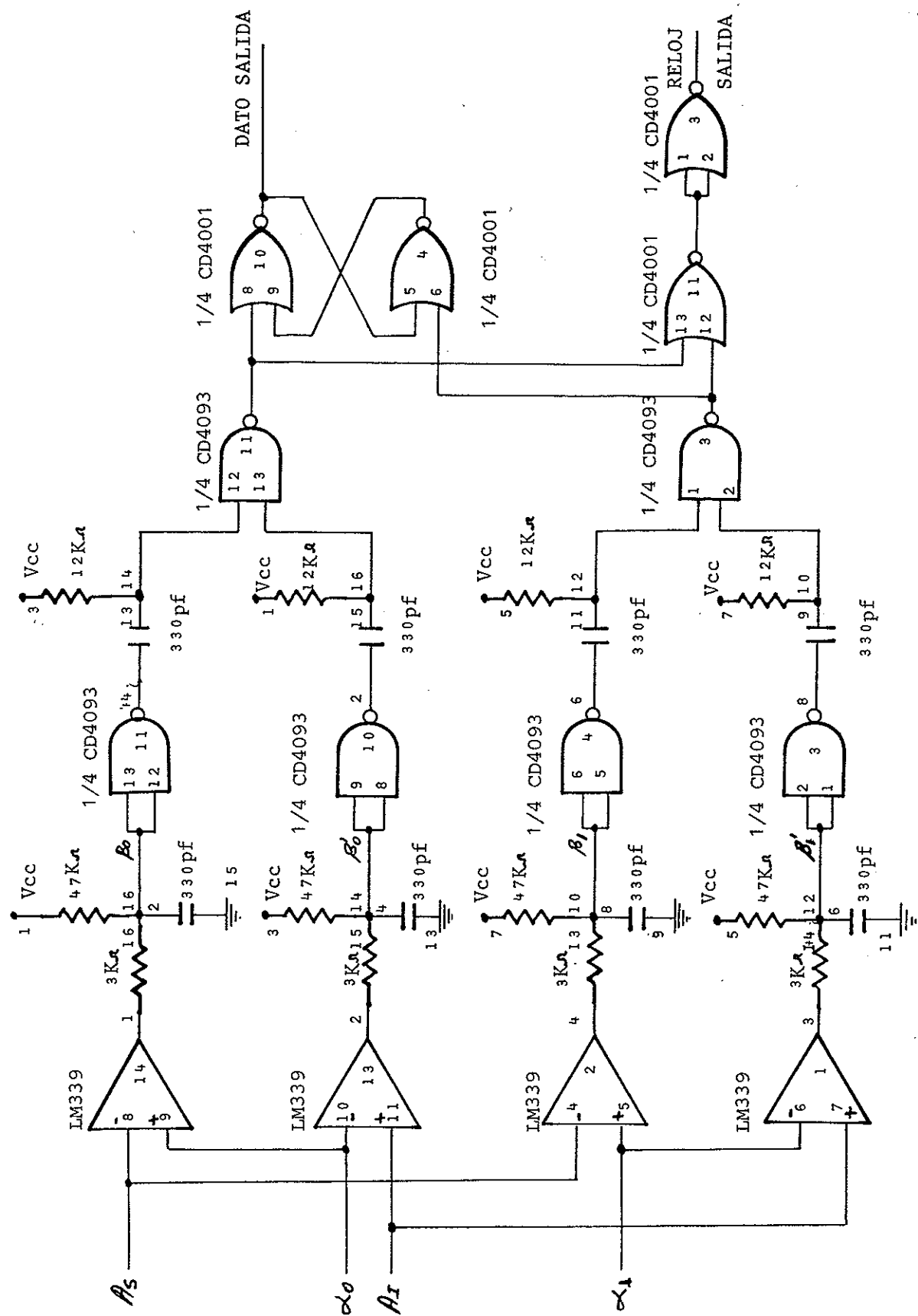


Fig. 38.- DIAGRAMA DEL CIRCUITO DE GRABACION.

#### IV. CONCLUSIONES Y APLICACIONES

El objetivo de este trabajo de tesis era realizar un sistema electrónico para adquirir digitalmente la imagen de un objeto fijo, dentro del sistema existen 4 bloques de componentes básicos: La cámara de televisión, los circuitos de muestreo-retención y convertidor analógico-digital; una interfase electrónica de acondicionamiento de señales y control; y el microprocesador 8080 con el circuito de grabación, el cual proporciona el control para digitalizar la información almacenando y grabando los datos de video digitalizados.

Dentro de las características obtenidas en el diseño y construcción de este sistema se tiene que aceptar una señal de entrada de video y produce un dato digital en la salida, la señal de video siempre esta presente con un formato entrelazado 2:1 de aproximadamente 256 barridos de línea horizontal por cada uno de los dos campos.

El sistema digitaliza solamente un punto de cada línea de barrido de las 256 líneas de cada campo, este proceso facilita una reducción del ancho de banda necesario para transmitir el dato; puesto que la imagen no cambia durante el proceso.

Cada punto de imagen adquirido en la línea consiste de 4 bits, correspondientes a la brillantez de la imagen proporcionando 16 tonos de grises. Este sistema codifica una imagen completa como un arreglo de 480 x 525 con un total de 252000 puntos, permitiendo que la imagen obtenida sea almacenada digitalmente en una cinta magnética, siendo el tiempo total de adquisición de una imagen de aproximadamente 5 minutos.

Con la experiencia adquirida en este trabajo y para mejorar el sistema

en cuanto a la calidad de la imagen es necesario tener un transductor más fino, ya que de este depende la resolución, definición y sensibilidad de la misma.

Por lo que respecta a circuitería es posible simplificar aún más el número de componentes, así como el número de fuentes de alimentación; utilizando los circuitos apropiados en la sección del reloj, el circuito de amplificación y el circuito de filtrado respectivamente. Para disminuir el tiempo total de adquisición de una imagen es posible utilizar otro tipo de microprocesador más rápido y eliminar el circuito de grabación pasando directamente a un computador por medio de una interfase apropiada.

El sistema está actualmente en disponibilidad para la adquisición de datos de objetos fijos. Sin embargo, será necesario a continuación desarrollar los algoritmos apropiados para manipular esta información y obtener de ella los resultados deseados.

**APLICACIONES:** Para este tipo de sistemas existe un gran número de aplicaciones, es posible usar el sistema con modificaciones apropiadas dependiendo de la necesidad de la misma, a continuación se mencionan algunas de ellas.

Medición Interferométrica de Superficies

Procesador Optico-Digital

Procesamiento de datos por Radar

Filtrado Digital de Imágenes

Interfase con Sistemas de Computación

Procesamiento Paralelo de Imágenes

Substracción de Imágenes de Sistemas Radiográficos

Sistemas Analizadores de Areas

Sistemas de Medición de Intervalos



Analizadores de Textura

Análisis Biomédico

Criminología

Inspección en Control de Calidad

Interpretación Fotográfica

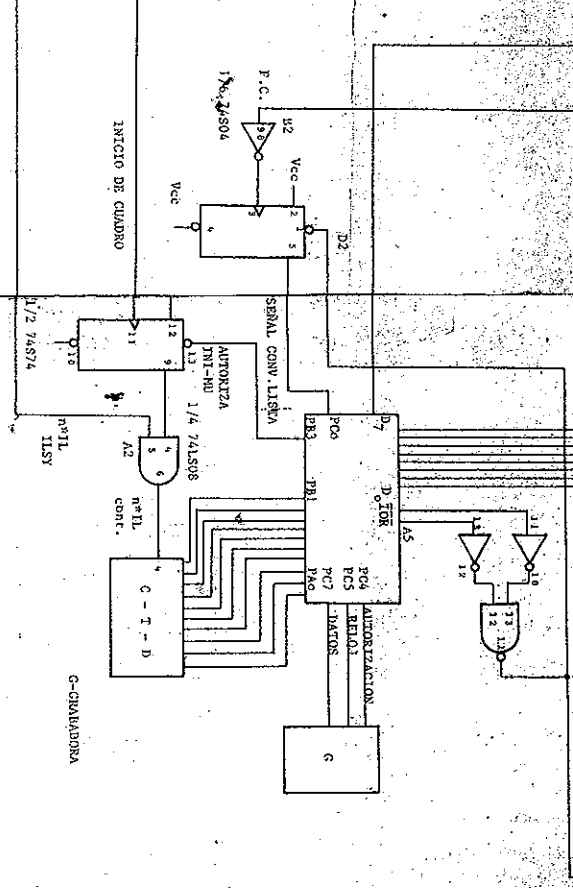
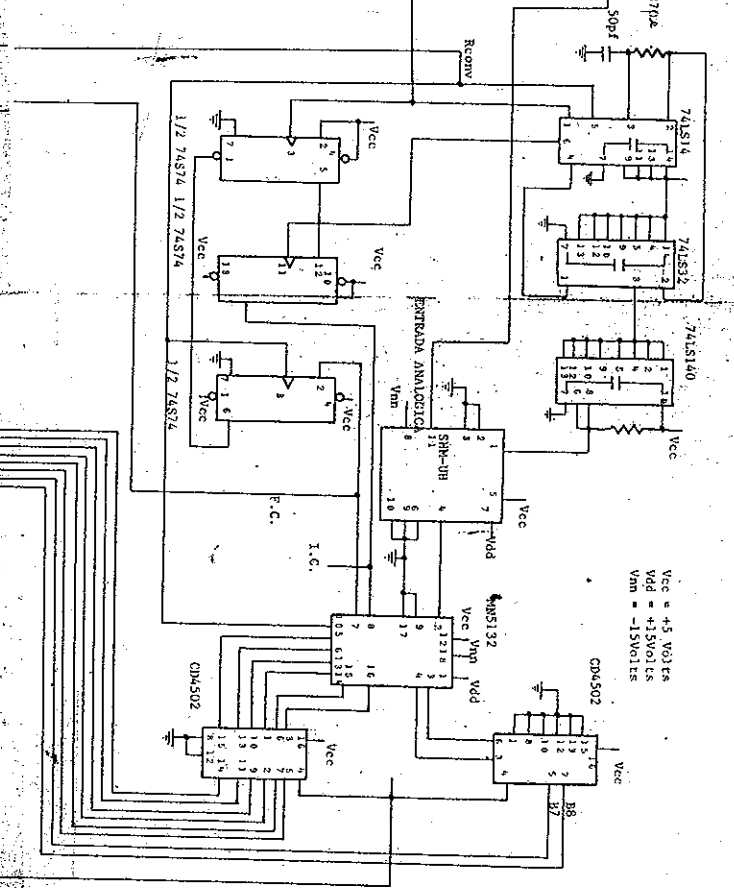
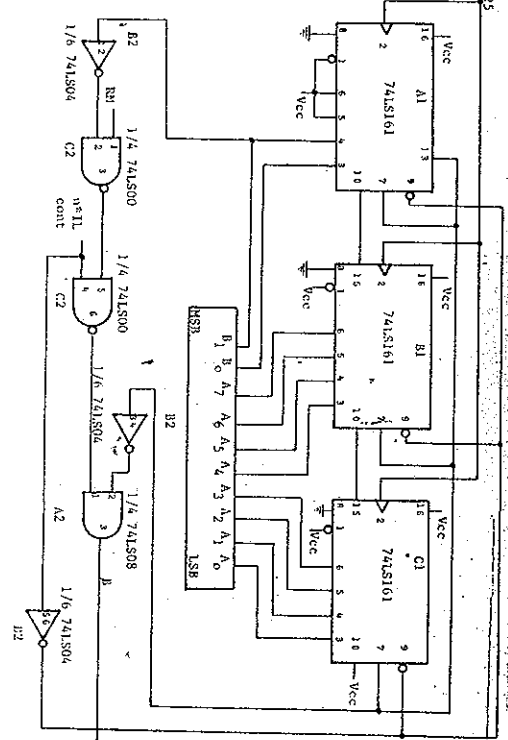
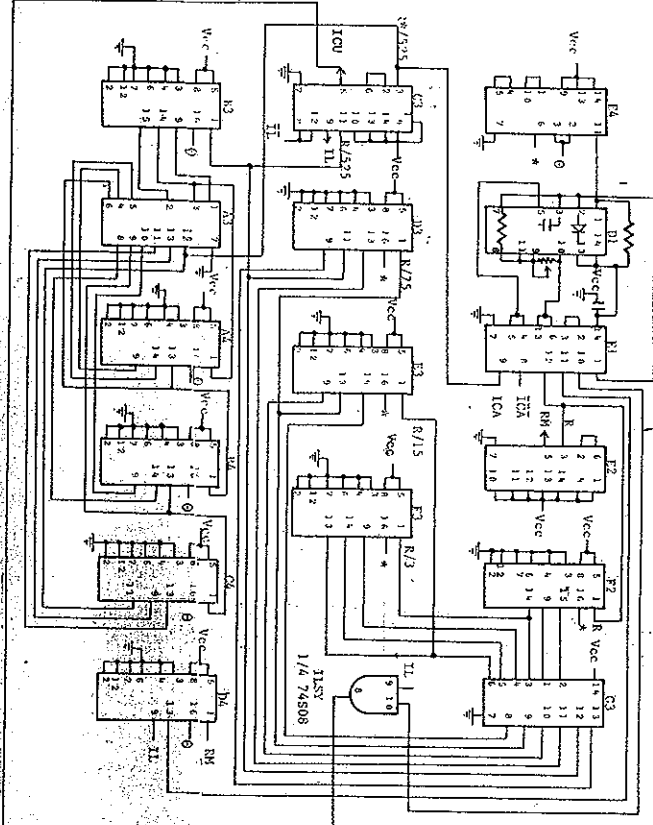
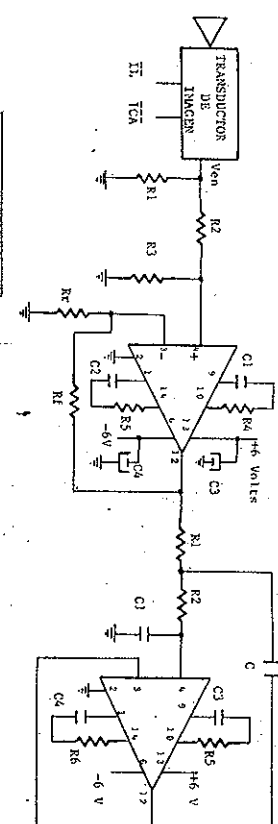
Espectroscopía

## LITERATURA CITADA

- Anon. 1977a. MCS-80 User's Manual, Intel Corporation, Octubre 1977. Santa Clara, California.
- Anon. 1977b. MCS-80 System Design Kit User's Manual, Intel Corporation. Santa Clara, California.
- Anon. Principles of Data Acquisition and Conversion, P. 4-16. Datel Systems Inc., Canton, Massachussetss. 144 p.
- M. Born y E. Wolf. 1975. Principles of Optics, p. 286-291. Pergamon Press, Oxford. 808p.
- D.G. Fink. 1975. Electronics Engineer's Handbook, p.208-209. Mc Graw Hill, New York.
- D.E. Johnson y Hilburn. 1975 Rapid Practical Designs of Active Filters, p.6-72. John Wiley & Sons Inc. New York. 264p.
- D. Malacara. 1978. Optical Shop Testing, p. 1-46 y 81-105 John Wiley & Sons Inc., New York, 523p.
- R.P. Salien y E.L. Key, 1975. A practical Method of Designing RC Active Filters, p.74-85. IRE Transactions on Circuit Theory CT-2.
- G.J. Stahl. 1978. TTL Clock Provides Wide Frequency Range, Electrical Designs News 18(1): 146-147

APENDICE A.

DIAGRAMA GENERAL



Vcc = +5 Volts  
 Vdd = +15Volts  
 Vm = -15Volts

DISEÑO GENERAL DEL SISTEMA  
 S. A. D. I.