

TESIS DEFENDIDA POR
Hugo Ascencio Ramírez
Y APROBADA POR EL SIGUIENTE COMITÉ

Dr. Apolinar Reynoso Hernández
Director del Comité

M. en C. Moisés Castro Delgado
Miembro del Comité

Dra. María del Carmen Maya
Sánchez
Miembro del Comité

M. en C. Benjamín Hilarión Ramírez
Durán
Miembro del Comité

Dr. Pedro Negrete Regagnon
Miembro del Comité

Dr. Arturo Velázquez Ventura
*Coordinador del programa de
posgrado en Electrónica y
Telecomunicaciones*

Dr. Raúl Ramón Castro Escamilla
Director de Estudios de Posgrado

25 de Enero de 2006

**CENTRO DE INVESTIGACIÓN CIENTÍFICA Y DE EDUCACIÓN SUPERIOR
DE ENSENADA**



**PROGRAMA DE POSGRADO EN CIENCIAS
EN ELECTRÓNICA Y TELECOMUNICACIONES
CON ORIENTACIÓN EN ALTAS FRECUENCIAS**

**DISEÑO E IMPLEMENTACIÓN DE AMPLIFICADORES CLASE E UTILIZANDO LOS
MODELOS NO LINEALES DE TRANSISTORES DE POTENCIA**

TESIS

que para cubrir parcialmente los requisitos necesarios para obtener el grado de
MAESTRO EN CIENCIAS

Presenta:

HUGO ASCENCIO RAMÍREZ

Ensenada, Baja California, México, Enero de 2006

RESUMEN de la tesis de **Hugo Ascencio Ramírez**, presentada como requisito parcial para la obtención del grado de MAESTRO EN CIENCIAS en ELECTRÓNICA Y TELECOMUNICACIONES con orientación en altas frecuencias. Ensenada, Baja California. **Enero del 2006.**

**DISEÑO E IMPLEMENTACIÓN DE AMPLIFICADORES CLASE E
UTILIZANDO LOS MODELOS NO LINEALES DE TRANSISTOR DE
POTENCIA.**

Resumen aprobado por:

Dr. J. Apolinar Reynoso Hernández
Director de Tesis

En la búsqueda de alta eficiencia en los amplificadores de RF y microondas se ha encontrado que los amplificadores conmutados clase E son una opción muy prometedora ya que la eficiencia demostrada en bajas frecuencias alcanza niveles mayores al 95%, de aquí el interés para aplicarlo en altas frecuencias. Actualmente existen métodos de diseño que modelan el transistor del amplificador clase E como un interruptor ideal. Esto provoca que existan diferencias importantes entre la simulación y los resultados experimentales.

El objetivo principal de esta tesis es presentar el diseño e instrumentación de amplificadores clase E en 800 MHz aplicando las teorías desarrolladas por J. R. Loo Yau en el grupo de microondas del CICESE y las técnicas de modelado no lineal de transistores para aminorar dichas discrepancias entre las simulaciones y los resultados medidos.

En este trabajo de tesis se diseñaron, simularon e implementaron dos amplificadores clase E en 800 MHz. Uno de ellos nos permitió verificar la teoría de J. R. Loo Yau y en el otro se aplicaron las teorías de Mader con fines de comparación. Los resultados indican que utilizando la teoría de J. R. Loo (que considera los elementos parásitos del transistor en el diseño del amplificador) es posible obtener una mejor aproximación a la red de carga óptima para obtener alta eficiencia. Por otro lado, gracias a que se utiliza el modelado no lineal del transistor es posible predecir con mayor exactitud el comportamiento del amplificador. Además, es posible conocer desde el momento de la simulación los valores de la ganancia, la potencia de entrada requerida para conmutar el transistor y la eficiencia de potencia agregada (PAE), lo cual es imposible cuando se modela el transistor como un interruptor ideal. Entonces, una parte crucial en el desarrollo de amplificadores clase E es la caracterización y el modelado del transistor. En este trabajo se presenta un método para el diseño de las bases de prueba para transistores empaquetados de mediana potencia, resaltando la forma de realizar un diseño térmico adecuado.

Palabras clave: Amplificadores clase E, alta eficiencia, transistores de mediana potencia, kits de calibración y base de pruebas, modelado no lineal.

ABSTRACT of the thesis presented by **Hugo Ascencio Ramírez** as a partial requirement to obtain the MASTER OF SCIENCE degree in ELECTRONICS AND TELECOMMUNICATIONS with mayor in high frequencies. Ensenada, Baja California, Mexico. **Enero del 2006.**

DESIGN AND IMPLEMENTATION OF CLASS E AMPLIFIERS USING NON LINEAR MODELS FOR POWER TRANSISTORS

In the quest of efficiency in RF/microwave amplifiers has been found that switched class E amplifiers are a promising option because of their high efficiency in low frequency range (100% in theory). Therefore, the class E amplifier is being studied for high frequency applications. Nowadays, there are some design methodologies that use an ideal switch to model the transistor in a class E amplifier. However, the accuracy and usefulness to predict the performance of the amplifiers, using a switch as a transistor, is very poor.

The objective of this work is to present the design and implementation of class E amplifiers at 800 MHz using the theories developed by J. R. Loo Yau, in the microwave group at CICESE, and the non linear modeling techniques for power transistors.

In this work, two class E amplifiers at 800 MHz were designed, simulated and implemented. One of these amplifiers was used to verify the theory developed by J. R. Loo Yau and the other one was designed applying the theory of Mader for comparison purposes. The results indicate that when using Loo's theory (which considers the parasitic elements of the output port in the transistor) is possible to obtain a better approximation of the optimum value of the load network to reach high efficiency. In the other hand, the non linear model of the transistor is capable to predict the value of the gain, the input power needed to switch the transistor, and the power added efficiency (PAE), which is impossible when the transistor is modeled like an ideal switch.

A crucial part in the development process of class E power amplifiers is the characterization and modeling of the transistor. In this work, a methodology to design test fixtures for packaged medium power transistors is presented as well as the thermal design involved in this process.

Keywords: Class E Amplifiers, High Efficiency, medium power transistors, calibration kits, test fixtures, non linear modeling.

Dedicatoria

A mis padres:

María de Jesús y Margarito

Quienes han sido reflejo del amor de Dios y el apoyo incondicional en todos los aspectos de mi vida, además de ser la inspiración para buscar y completar mis metas con su ejemplo.

Que Dios los bendiga.

A mis hermanos

Angel y Noé

Regalos del cielo que han permitido entender, disfrutar, vivir y valorar la vida desde diferentes aspectos. Dios les bendiga.

A mi madrina

Cristy

Quien ha estado presente en el camino que he seguido, además de su apoyo y ejemplo para continuar superándome. Que Dios te bendiga.

Agradecimientos

Gracias a Dios que me ha permitido llegar a finalizar una etapa muy importante en mi preparación y a el lograr una meta importante en la vida. Y que en el proceso de lograrlo me permitió conocer ha tantas personas valiosas que sin ellas hubiese sido imposible.

A mis padres: María de Jesús y Margarito; a mis hermanos: Angel y Noé y a mi madrina (Cristy); a todos ellos gracias por su apoyo incondicional, sus consejos, ejemplo. A Pao, mi cuñada, por el apoyo que me ha brindado teniendo paciencia para aguantarme tantos días de visita y a mis sobrinos Sebastián, Emiliano y Lucas por brindarme su alegría y cariño incondicional. Los quiero a todos y Dios los bendiga.

Le agradezco al director de tesis Dr. J. Apolinar Reynoso por darme la oportunidad de trabajar en esta área de las microondas y a J. R Loo Yau (sensei) por el apoyo y paciencia durante el desarrollo de este trabajo.

Al comité de tesis por su valiosa ayuda y participación en la solución de los problemas que se fueron presentando y por inculcarme a buscar nuevos horizontes teniendo en cuenta diferentes aspectos de la vida.

Y a los tan valiosos amigos y compañeros: Loo, Adán, Nestor, Caro, Ana, Damián, los TJ's: Daniel y Luis, Bere, Brenda, Gonzalo, Rafa, Paúl, Aron, Karen, Dario, Diana, Hermes, Sergio, Jorge, Eleazar, Lore, Erika, Xico, Juan, Felipe, Lenin que me permitieron

ser parte de sus vidas y de sus actividades, alegrías, tristezas, retos, etc. y con ello permitir que mi estancia en la maestría fuera más completa y desarrollara aspectos como el humano, el espiritual y el social; además del intelectual que tanto énfasis tiene en esta etapa.

A todos y cada uno de mis profesores por transmitirme el conocimiento necesario para llevar a cabo la maestría y más aún aprender de sus actitudes de vida y vivencias.

También quiero agradecer a Don René, al profesor Chávez y a Isis por su valiosa ayuda y tutoría en la construcción de los amplificadores, a Don Raúl y Gabriel por su apoyo en el taller y sus valiosas ideas en la implementación de disipadores y otros artefactos.

Además, gracias: Rosy y tus compañeras secretarías por la paciencia y dedicación al alumnado. Y como poder olvidar a Lupita Morales y Cecilia González por su apoyo en las búsquedas bibliográficas y su atención en biblioteca necesarias para completar una buena tesis.

Agradezco al CICESE, al CONACYT y a México por su apoyo económico y brindarme la oportunidad de seguir adelante con mis metas. México: creo en ti...

CONTENIDO

página

CAPÍTULO I INTRODUCCIÓN	1
CAPÍTULO II AMPLIFICADORES DE POTENCIA.....	5
II.1 Introducción.....	5
II.2 Fundamentos de los amplificadores de potencia	7
II.3 La recta de carga.....	8
II.4 Eficiencia.....	9
II.5 Factor de utilización del transistor.....	9
II.6 Amplificadores clase A.....	10
II.7 Amplificadores clase AB.....	12
II.8 Amplificadores clase E.....	13
CAPÍTULO III AMPLIFICADORES CLASE E.....	15
III.1 Introducción.....	15
III.2 Amplificadores de potencia clase E.....	16
III.2.1 Topología y funcionamiento del amplificador clase E	17
III.2.3 Condiciones óptimas de funcionamiento.....	20
III.2.4 Análisis del amplificador clase E.....	22
III.2.5 Cálculo de los parámetros de la red de carga.....	24
III.3 Evaluación de la sensibilidad del amplificador	34
III.3.1 Sensibilidad a las variaciones de la resistencia de carga	35
III.3.2 Sensibilidad a variaciones en la frecuencia	38
III.3.3 Sensibilidad a cambios en la capacitancia en derivación	40
III.3.4 Sensibilidad a variaciones en el ciclo de trabajo	41
III.4 Limitaciones del análisis propuesto.....	42
III.5 Conclusiones.....	47
CAPÍTULO IV KIT DE CALIBRACIÓN Y BASE DE PRUEBAS	49
IV.1 Introducción.....	49
IV.2 Calibración.....	50
IV.2.1 Técnicas de calibración.....	51
IV.2.1.1 Técnica de calibración TAR	52
IV.2.1.1.1 Diseño de los estándares de calibración TAR	53
IV.3 Base de pruebas	59
IV.3.1 Diseño de la base de pruebas	60
IV.3.2 Verificación de las bases de prueba.....	62
IV.4 Implicaciones térmicas en el diseño de la base de pruebas	65
IV.4.1 Conducción.....	65
IV.4.2 Convección	67
IV.4.3 Resistencia térmica de los materiales	68
IV.4.4 Corrección del efecto de calentamiento.....	70
IV.4.5 Explicación del fenómeno térmico en la base de pruebas	73
IV.4.5.1 Rutas de escape del calor en la base de pruebas	74
IV.4.5.2 Cálculo de la R_{th} del substrato con “vías”	76
IV.4.5.3 Cálculo de la resistencia térmica del disipador.....	79

CONTENIDO (continuación)	página
IV.4.5.3 Efectos de aplicar convección forzada de aire.....	79
IV.4.6 Disipación total de potencia y resistencia de empaquetado.....	80
IV.4.7 Técnica de calibración TRLm.....	82
IV.4.8 Conclusiones.....	86
CAPÍTULO V MODELADO NO LINEAL	87
V.1 Introducción.....	87
V.1.1 Importancia del modelado	88
V.2 Modelado de transistores	89
V.2.1 Elementos del modelo.....	90
V.3 Extracción de los elementos del modelo.....	91
V.3.1 Extracción de las resistencias e inductancias parásitas.....	92
V.3.2 Extracción de las capacitancias parásitas.....	94
V.3.3 Extracción de los elementos intrínsecos.....	96
V.3.4 Modelado no lineal de la corriente I_{ds} (V_{gs} , V_{ds}).....	98
V.4 Verificación del modelo.....	102
V.5 Conclusiones.....	107
CAPÍTULO VI DISEÑO, SIMULACIÓN E IMPLEMENTACIÓN DE AMPLIFICADORES CLASE E EN 800 MHZ	108
VI.1 Introducción.....	108
VI.2 Efectos de los elementos parásitos del transistor en los amplificadores clase E	109
VI.3 Introducción a los elementos distribuidos con microcinta.....	114
VI.4 Teoría clásica de amplificadores clase E con microcinta	115
VI.4.1 Diseño del amplificador utilizando la teoría de Mader y Popovic [1995]....	118
VI.4.1.1 Diseño de la red de adaptación de entrada (RAE).....	118
VI.4.1.2 Diseño de la red de carga con la teoría de Mader y Popovic [1995].....	123
VI.4.1.2 Implementación del amplificador	129
VI.4.1.3 Resultados de la simulación y caracterización del amplificador	130
VI.5 Metodología utilizada por J. R. Loo Yau.....	134
VI.5.1 Diseño del amplificador con la teoría de J.R. Loo Yau.....	135
VI.5.1.1 Diseño de la red de carga.....	136
VI.5.2 Resultados de la simulación del amplificador	137
VI.5.3 Caracterización del amplificador	141
VI.5.3.1 Amplificador a 750 MHz.....	145
VI.6 Conclusiones.....	147
CAPÍTULO VII	148
VII.1 Conclusiones.....	148
VII.2 Aportaciones	150
VII.3 Conferencias	150
VII.4 Recomendaciones	151
Referencias	153
Apéndice A PARÁMETROS DE DISPERSIÓN	158
Apéndice B HOJAS TÉCNICAS	159

CONTENIDO (continuación)	página
Apéndice C TÉCNICA PARA IMPLEMENTAR PCB	160
C.1 Técnicas utilizadas en la implementación del amplificador	164
C.2 Grabado de la mascarilla sobre el sustrato.....	164
C.2.1 Preparación del sustrato	164
C.2.2 Preparación del área de trabajo.....	165
C.2.3 Colocación del “photo-resist”	165
C.2.4 Revelador	166
C.2.5 Decapado del cobre.....	167
Apéndice D DISEÑO DE LÍNEAS CON TECNOLOGÍA DE MICROCINTA.....	168
D.1 Diseño de las líneas con tecnología de microcinta	168

ÍNDICE DE FIGURAS

página

Figura 1. Diagrama de bloques de un amplificador.....	6
Figura 2. Curva I(V) de un transistor de potencia (MESFET)	7
Figura 3. Comportamiento cuasi-lineal de la corriente en un MESFET.	10
Figura 4. Topología del amplificador clase A.	11
Figura 5. Recta de carga para un clase AB $\theta_c \approx 180$	13
Figura 6. Topología del circuito clase E.....	17
Figura 7. Circuito equivalente cuando el conmutador está abierto.....	18
Figura 8. Circuito equivalente cuando el conmutador está cerrado.....	19
Figura 9. Formas de onda óptimas del potencial y de corriente de drenador.	20
Figura 10. Formas de onda con la red de carga mal sintonizada	22
Figura 11. Circuito equivalente utilizado para el análisis.....	23
Figura 12. Síntesis de la red de un A. de P. clase E @ 800 MHz.....	33
Figura 13. Formas de onda del potencial y la corriente de drenador.....	34
Figura 14. Interfaz para el análisis de sensibilidad.....	34
Figura 15. Simulación del potencial y de la corriente picos en el drenador	36
Figura 16. Simulación de la potencia de DC, y de salida en función de R.....	36
Figura 17. Simulación de la eficiencia en función de la resistencia de carga.....	37
Figura 18. Simulación de las formas de onda para R = 13 Ω	38
Figura 19. Simulación de la eficiencia vs. frecuencia	39
Figura 20. Simulación de P_{dc} y P_o vs. frecuencia.	40
Figura 21. Simulación de la eficiencia vs C_s	41
Figura 22. Simulación de P_{dc} y P_o vs C_s	41
Figura 23. Eficiencia en función del ángulo en apagado.....	42
Figura 24. Simulación del potencial y corriente con Q=11 y Q=500 para D=90%.....	44
Figura 25. Simulación del potencial y corriente con Q=11 y Q=500 con D=50%.....	45
Figura 26. Simulación del potencial y corriente con Q=20 y Q=500 con D=10%.....	45
Figura 27. Kit TAR implementado en CAD.....	54
Figura 28. a) y b) Simulación electromagnética en Momentum del “ Thru” y c) del “Short”	55
Figura 29. Fotografía del kit TAR construido	56
Figura 30. Base de pruebas útil en la caracterización de dispositivos no insertables.....	59
Figura 31. Base de Pruebas implementada en CAD.....	61
Figura 32. Fotografía de la base de pruebas para medir el NEC651R479A.....	62
Figura 33. Parámetros S del transistor NEC651R479A medidos en la base de pruebas.....	63
Figura 34. Base de pruebas enfriada con ventilador y disipador	64
Figura 35. Base de pruebas con disipador	64
Figura 36. a) Conducción de calor a través placas en contacto; b) Circuito equivalente	68
Figura 37. Vista del plano inferior del transistor	70
Figura 38. Fotografía de las bases de pruebas para el transistor NEC651R479A	71
Figura 39. Parámetros S medidos del transistor NEC651R479A sobre diferentes bases de pruebas	72
Figura 40. Estructura del montaje de un transistor sobre un substrato con disipador	74

ÍNDICE DE FIGURAS (continuación)**página**

Figura 41. Representación de los efectos térmicos en la base de pruebas.....	75
Figura 42. a) Vista superior del substrato y vía; b) corte transversal del substrato y vía; c) circuito equivalente.....	76
Figura 43. Disipación total de potencia en función de la temperatura T_c	81
Figura 44. Kit de calibración TRLm diseñado con CAD	83
Figura 45. Fotografía del KIT de calibración TRLm construido.....	84
Figura 46. Parámetros S del transistor NEC651R479A calibrados con TRLm $V_{ds} = 3.5V$, $I_{ds} = 50mA$. Utilizando la base 2 de la figura 38.	85
Figura 47. Estructura de un transistor PHEMT	90
Figura 48. Circuito eléctrico equivalente para modelar el transistor PHEMT	90
Figura 49. Configuración para medir las resistencias e inductancias extrínsecas	93
Figura 50. Topología para realizar la extracción de las capacitancias extrínsecas.....	95
Figura 51. Topología para realizar la extracción de los elementos intrínsecos	96
Figura 52. Medición de la característica I(V) en régimen estático y dinámico	101
Figura 53. Curvas I(V) del transistor NEC651R479A. (o-o-o) Medidas y(----) Simuladas	101
Figura 54. Esquema utilizado en ADS para la simulación de parámetros S	102
Figura 55. Parámetros S medidos (-□-□-) y simulados (---) $V_{gs} = -0.9V$ y $V_{ds} = 2.7V$ del transistor NEC651R479A	103
Figura 56. Banco de mediciones de AM-AM.....	105
Figura 57. Esquema para la simulación de la distorsión AM-AM.	105
Figura 58. Medición (---) y simulación (-o-o-o-) de la distorsión AM-AM con una frecuencia de 800 MHz, $V_{gs} = -1V$ y $V_{ds} = 2.7V$ (NEC651R479A).	106
Figura 59. Esquemático para simular el amplificador clase E con una fuente de corriente	110
Figura 60. Potencial y corriente de drenador (transistor como una fuente de corriente)...	111
Figura 61. Potencial y corriente de drenador (modelando con un circuito equivalente)...	112
Figura 62. Microcinta sobre un substrato dieléctrico	114
Figura 63. Circuito clase E con líneas de transmisión.....	117
Figura 64. Diseño de la RAE. Acoplando la impedancia de fuente con Z_{11}	121
Figura 65. RAE sintetizada utilizando el programa ADS de Agilent.....	122
Figura 66. Simulación de los parámetros S de la RAE, $f_0 = 800MHz$	123
Figura 67. Diseño final de la RAE.....	123
Figura 68. Redes de carga del amplificador a 800 MHz con la teoría de Mader. Con elementos concentrados (cuadros) y con elementos distribuidos (círculos).....	125
Figura 69. Impedancia de la red de carga del amplificador a 800 MHz (Mader). Con elementos concentrados (cuadros) y con elementos distribuidos (círculos).....	125
Figura 70. Topología del circuito para simular el amplificador clase E (Mader).....	127
Figura 71. Diseño de la red de carga del amplificador a 800 MHz	128
Figura 72. Diagrama completo del amplificador clase E a 800 MHz (Mader)	129
Figura 73. Fotografía del amplificador utilizando la teoría de Mader	129
Figura 74. a) Eficiencia de drenador y b) PAE. Medición con $P_{ent} = 8.4 dBm$ (triángulos), $P_{ent} = 9.4 dBm$ (cuadros), $P_{ent} = 10.4 dBm$ (círculos); simulación (línea continua).	131

ÍNDICE DE FIGURAS (continuación)

página

Figura 75. a) Potencia de salida y b) ganancia. Medición con $P_{ent}=8.4$ dBm (triángulos), $P_{ent}=9.4$ dBm (cuadros), $P_{ent}=10.4$ dBm (círculos); simulación (línea continua).	132
Figura 76. Eficiencia, PAE, potencia de salida, ganancia e I_{dc} en función de V_d con una señal de entrada a 750 MHz. (---) Simulaciones con conmutador. Medición con $P_{ent}=8.4$ dBm (triángulos), $P_{ent}=9.4$ dBm (cuadros), $P_{ent}=10.4$ dBm (círculos); simulación (línea continua).....	133
Figura 77. Red de carga y RAE para un amplificador clase E a 800 MHz.	136
Figura 78. Amplificador clase E a 800 MHz utilizando el método de J. R. Loo Yau	137
Figura 79. Esquema para simular el amplificador utilizando modelado	137
Figura 80. Simulación de las formas de onda de corriente y potencial en el drenador	138
Figura 81. a) Diagrama simplificado del transistor, b) Formas de onda de potencial y c) corriente internas y externas	140
Figura 82. Recta de carga del amplificador clase E.....	140
Figura 83. Eficiencia de drenador (800 MHz y $P_{ent} = 10.4$ dBm)	141
Figura 84. PAE (800 MHz y $P_{ent} = 10.4$ dBm)	142
Figura 85. Potencia de salida (800 MHz y $P_{ent} = 10.4$ dBm).....	143
Figura 86. Ganancia (800 MHz y $P_{ent} = 10.4$ dBm)	143
Figura 87. Corriente consumida por el amplificador (800 MHz y $P_{ent} = 10.4$ dBm)	144
Figura 88. Simulaciones y mediciones de la eficiencia, PAE, potencia de salida, ganancias y corriente de DC con una señal de entrada a 750MHz con 10.4dBm.	146

ÍNDICE DE TABLAS

página

Tabla I. Expresiones para el cálculo de los parámetros de los amplificadores clase E.	33
Tabla II. Valores aproximados del coeficiente de transferencia de calor por convección ..	68
Tabla III. Elementos extrínsecos obtenidos con mediciones en régimen dinámico	94
Tabla IV. Capacitancias extrínsecas obtenidas con mediciones en inversa	95
Tabla V. Elementos intrínsecos obtenidos para el punto $V_{gs} = -1V$ y $V_{ds} = 2.7V$	98
Tabla VI. Parámetros del amplificador clase E (sin incluir los parásitos del transistor) ..	111
Tabla VII. Parámetros del amplificador (incluyendo los elementos parásitos del transistor)	113
Tabla VIII. Resultados de la simulación de un amplificador a 1.9 GHz	113
Tabla IX. Resultados del desempeño del amplificador clase E utilizando la teoría de Mader	124
Tabla X. Simulación del amplificador clase E utilizando la teoría de Mader	128
Tabla XI. Resultados de la simulación del amplificador utilizando modelado.	138

CAPÍTULO I INTRODUCCIÓN

En los últimos años el desarrollo de la tecnología aplicable a los sistemas de comunicaciones, ha avanzado a pasos agigantados permitiendo la implementación de sistemas muy complejos en pequeños espacios, especialmente en el ámbito digital. Con tales avances se pueden obtener dispositivos más portátiles capaces de ofrecer servicios más sofisticados, tales como la transmisión de voz y video digital en tiempo real utilizando interfaces inalámbricas.

La reducción en las dimensiones de dichos sistemas no solo depende del grado de integración en la parte digital, sino que también incluye la fuente de energía (como la batería en sistemas portátiles) y los circuitos encargados de la transmisión de la información, especialmente los amplificadores de potencia, que en determinado momento podrían requerir de un disipador, como es el caso de los amplificadores en las estaciones base de los sistemas de comunicación satelital, redes de celulares, etc.

La miniaturización, en el caso de los sistemas portátiles con baterías, podría llevarse a cabo por razones obvias, utilizando baterías pequeñas; sin embargo esto implica que la cantidad de energía disponible de la batería se reduzca de una manera inconveniente para determinadas aplicaciones. Por lo tanto, para utilizar baterías pequeñas sería necesario que los circuitos que hicieran uso de dicha fuente de energía lo hagan eficientemente.

En los sistemas de comunicación inalámbrica que incluyen etapas digitales y analógicas se ha logrado que la primera de ellas utilice eficientemente la energía, siendo la

etapa analógica la que tiene una pobre eficiencia, especialmente la etapa de los amplificadores de potencia.

En el ámbito de las altas frecuencias es común que se presenten este tipo de problemas, por lo que se han realizado grandes esfuerzos para desarrollar técnicas que permitan la amplificación de la señal en altas frecuencias y que además sean sistemas eficientes. Las técnicas aplicadas a este tipo de amplificadores se han distinguido como clases, de tal manera que podemos referirnos a ellos como: amplificadores clases A, B, AB, C, D, E, F, FG, etc. La clase A es la que presenta mejor linealidad, pero sufre de bajas eficiencias, teóricamente 50% como máximo. Las otras clases de amplificadores normalmente aumentan la eficiencia sacrificando otros aspectos, especialmente la linealidad del amplificador.

En este trabajo de tesis se estudian las características del amplificador clase E que trabaja en régimen conmutado y puede presentar una eficiencia teórica de 100%, sin embargo, también es altamente no lineal. Para el análisis de dichos amplificadores se estudia la teoría clásica desarrollada por Nathan O. Sokal y Alan D. Sokal quienes fueron los que introdujeron esta clase de amplificadores en 1975, y de Raab en 1977 que realiza un análisis muy adecuado para explicar el funcionamiento de amplificador. Esta teoría fue desarrollada bajo suposiciones ideales que son adecuadas para bajas frecuencias (en intervalos de pocos MHz). Además, resalta la importancia de la impedancia de la red de carga del amplificador para obtener alta eficiencia.

Los amplificadores clase E han despertado gran interés en las altas frecuencias por su alta eficiencia. Esto trajo consigo una reevaluación de las condiciones de idealidad bajo la cuales se basaron los primeros análisis de esta clase de amplificadores. Uno de los mayores problemas es que el dispositivo activo del amplificador está lejos de comportarse como un interruptor ideal, sobre todo en altas frecuencias.

Para que la topología del amplificador clase E pueda trabajar a mayores frecuencias se han considerado nuevas aproximaciones; como la teoría de Mader desarrollada en 1995 que cambia el enfoque considerando la capacitancia interna del transistor en los cálculos, sin embargo, aún utiliza el modelo del conmutador ideal para aproximarse al valor de la impedancia de carga óptima.

En el CICESE (Centro de Investigación Científica y de Educación Superior de Ensenada) se han desarrollado nuevos métodos para obtener el valor de la impedancia de carga del amplificador, considerando algunos elementos del circuito equivalente que se utilizan en el modelado no lineal del transistor.

El objetivo de este trabajo de investigación es la implementación física de un amplificador de potencia clase E con la finalidad de comprobar los nuevos resultados teóricos que se han generado en el grupo de microondas del CICESE referentes al diseño de amplificadores clase E.

El capítulo II trata los conceptos básicos de los amplificadores de potencia y además se resumen las características de los amplificadores clase A y AB que servirán

como referencia para comparar con los amplificadores clase E. El capítulo III expone la topología del circuito y el comportamiento de los amplificadores clase E (bajo diferentes condiciones de funcionamiento) con técnicas desarrolladas durante las décadas de 1970 y 1980. Dentro de la topología del circuito presentada se indica la utilidad del transistor en los amplificadores.

Ya que el objetivo de esta tesis es aplicar técnicas de modelado para transistores en el desarrollo de los amplificadores clase E, es necesario tener las herramientas suficientes para extraer dichos modelos. Así pues el capítulo IV muestra los pormenores para el diseño e implementación de los kits de calibración TAR y TRLm, así como el diseño de las bases de pruebas (dispositivo para portar el transistor que se ha de medir) para transistores de mediana potencia haciendo especial énfasis en el diseño térmico.

El capítulo V explica las técnicas utilizadas para la extracción del valor de los elementos que integran el circuito eléctrico equivalente utilizado para modelar el comportamiento del transistor. Además se presentan las pruebas realizadas para validar el modelo. Por otro lado, el capítulo VI presenta el método utilizado para el diseño, simulación, implementación y caracterización de los amplificadores clase E. Este método incluye la construcción de amplificadores de acuerdo a la teoría propuesta por Mader y la teoría de J. R. Loo desarrollada en el CICESE. El capítulo VII presenta las conclusiones generales y las aportaciones de este trabajo.

CAPÍTULO II AMPLIFICADORES DE POTENCIA

II.1 Introducción

El diseño de amplificadores de microondas básicamente puede dividirse en dos grandes categorías: el diseño en pequeña señal (amplificadores lineales) y el diseño en gran señal (amplificadores no lineales). La elección del método de diseño está regida por la potencia que se requiere manejar tanto en la entrada como en la salida del amplificador. Las diferencias entre los dos métodos recaen en el tipo de mediciones y análisis que se requieren para calcular las redes de entrada y salida del amplificador.

Sin importar el tipo de diseño que se elija, el amplificador consta de un elemento activo (transistor), redes de adaptación en la entrada y salida, fuentes de alimentación y una fuente de excitación (señal de entrada). La figura 1 muestra el diagrama de bloques utilizado en el diseño de amplificadores. El método de diseño en pequeña señal es adecuado cuando el transistor utilizado en el amplificador se excita con una señal de muy poca potencia. De esta manera las variaciones de potencial respecto al punto de polarización del transistor son muy pequeñas. Bajo estas condiciones sólo se requieren las mediciones de los parámetros S del dispositivo activo en el punto de polarización en el que funcionará el amplificador. Así pues, las redes de entrada y salida se definen en base a la estabilidad del dispositivo, cifra de ruido y ganancia deseada [Maas S. A, 1997].

En contraste, en el método de diseño utilizado para amplificadores de potencia clásicos (clase A, AB, C, etc.) se busca que la potencia de salida y la eficiencia sean

máximas. Las redes de adaptación en la entrada y en la salida deberán estar sujetas a la obtención de dichos objetivos, por lo que en la salida se busca un acoplamiento de “línea de carga” (maximizar la linealidad del transistor y la potencia de salida) en vez de un acoplamiento conjugado como en el caso de pequeña señal [Cripps S. C., 1999]. A diferencia del análisis en pequeña señal, en los amplificadores de potencia las no linealidades que se presentan suelen ser considerables, es decir, las excursiones de potencial en la compuerta y/o drenador del transistor pueden llegar a ocluir o saturar el transistor durante el funcionamiento.

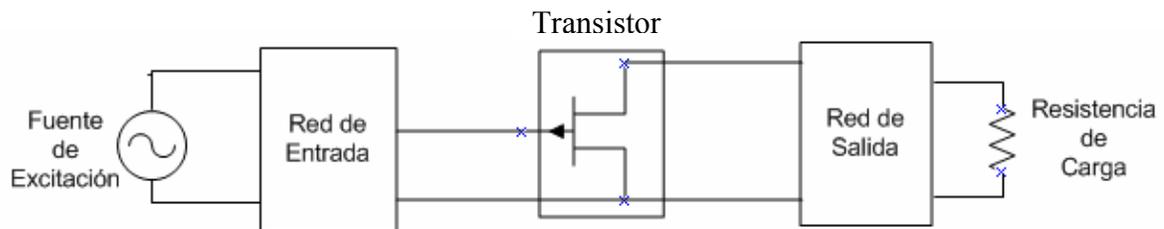


Figura 1. Diagrama de bloques de un amplificador

En este capítulo se hará énfasis en los amplificadores clásicos clase A y clase AB y finalmente compararemos sus características con la de los amplificadores clase E. Además, se presentan los conceptos generales sobre amplificadores que nos servirán como medio para determinar las características de cada uno de ellos. En las clases de amplificadores A y AB el transistor opera como una fuente de corriente controlada por potencial, a diferencia del amplificador clase E que funciona como conmutador y que trataremos a lo largo de esta tesis.

II.2 Fundamentos de los amplificadores de potencia

El transistor utilizado en los amplificadores puede verse a grandes rasgos como una fuente de corriente controlada por potencial. La fuente de corriente tiene una doble dependencia: respecto a el potencial de compuerta-fuente (V_{gs}) y respecto al potencial de drenador-fuente (V_{ds}) cuando se considera un transistor de efecto de campo FET.

La figura 2 muestra un ejemplo del comportamiento de la corriente en un transistor de potencia cuando se varían los potenciales V_{gs} y V_{ds} (curvas $I(V)$). Cuando $V_{gs} = 0$ el transistor trabaja en la región de saturación y la curva a la cual no fluye corriente en el transistor se le conoce como de oclusión ($V_{gs} = -1V$ en la figura 2). El transistor presenta un comportamiento prácticamente lineal antes de acercarse a las regiones de oclusión o saturación; cuando entra en estas regiones la señal de salida comienza a recortarse y el comportamiento será altamente no lineal.

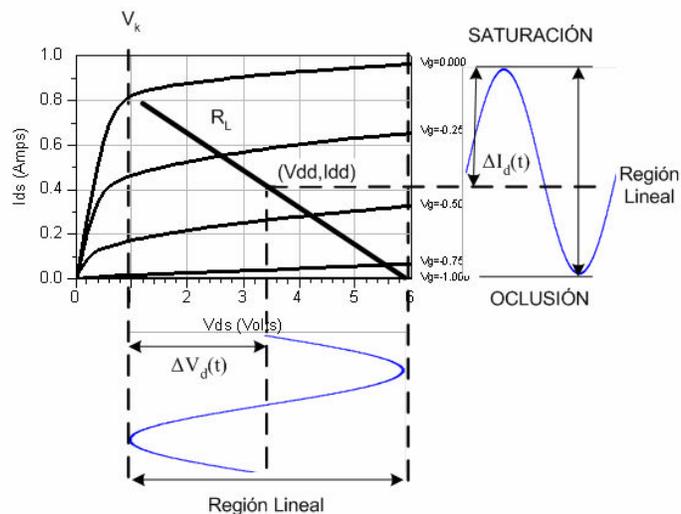


Figura 2. Curva $I(V)$ de un transistor de potencia (MESFET)

II.3 La recta de carga

La recta de carga (de R_L , mostrada en la figura 2) es la representación de las variaciones de potencial y corriente del transistor respecto al punto de polarización del amplificador (V_{dd} , I_{dd}). Se presenta cuando se aplica, por ejemplo, una excitación senoidal en la compuerta; la cual a su vez genera una componente en la corriente del drenador, $\Delta I_d(t)$, y en el potencial de drenador, $\Delta V_d(t)$ [Maas S. A, 1997].

Si dichos cambios de potencial y corriente se mantienen en la región activa, entonces, la respuesta será lineal. Por ello, a una excitación senoidal en la compuerta, tendremos una salida senoidal muy aproximadamente amplificada en el drenador-fuente. Si R_L es la carga presentada al amplificador, entonces, la recta de carga será:

$$R_L = \frac{\Delta V_d(t)}{\Delta I_d(t)} \quad (1)$$

Como se mencionó anteriormente el amplificador de potencia busca maximizar la potencia entregada a la carga. Para tal efecto, se requiere que el potencial de compuerta permita que el potencial del drenador-fuente varíe de V_k (potencial de “rodilla”) hasta el doble de potencial del drenador ($2V_{dd}$). Además, la corriente deberá variar desde un valor un poco mayor a cero hasta el doble de la corriente del drenador ($2I_{dd}$). Si se logran las condiciones anteriores se obtendrán las excursiones máximas de potencial y corriente, $V_{\max} = 2V_{dd} - V_k$ e $I_{\max} = 2I_{dd}$ respectivamente [Maas S. A, 1977]. Por lo tanto, la carga óptima presentada al amplificador estará dada por:

$$R_{\text{opt}} = \frac{V_{dd}}{I_{dd}} \quad (2)$$

II.4 Eficiencia

Por otro lado, uno de los parámetros más importantes en los amplificadores de potencia es la eficiencia. Este parámetro es crucial cuando la fuente de energía disponible para el amplificador es un elemento crítico. Tal es el caso de los dispositivos que utilizan baterías y de radio-bases. De acuerdo a las potencias involucradas en el cálculo, la eficiencia puede ser definida de varias maneras:

Eficiencia de drenador. Se define como la relación entre la potencia de salida disipada en la carga y la potencia suministrada por la fuente de DC al amplificador [Albulet M., 2001].

$$\eta = \frac{P_o}{P_{dc}} \quad (3)$$

Eficiencia de potencia agregada (PAE). A diferencia de la potencia de drenador, ésta considera la potencia suministrada en la entrada del amplificador de tal manera que:

$$\eta_{add} = \frac{P_o - P_{in}}{P_{dc}} \quad (4)$$

II.5 Factor de utilización del transistor

Esta cantidad es una cifra de mérito que indica cuánta potencia se puede extraer del transistor cuando se utiliza en un amplificador. Se define como una potencia de salida

normalizada por una corriente de pico de un amperio y un potencial pico en el drenador de un voltio.

$$C_p = \frac{P_o}{V_{pk} I_{pk}} \quad (5)$$

II.6 Amplificadores clase A

La forma clásica para definir un amplificador clase A [Cripps S. C., 1999] parte de la base de que el dispositivo funciona linealmente, es decir, nunca trabaja en las regiones de oclusión y/o saturación. Por lo tanto, las variaciones de potencial en la fuente y drenador no deberán estar en las regiones de saturación u oclusión. De esta manera se tiene un amplificador clase A y su topología de circuito se muestra en la figura 4.

Un amplificador clase A en la práctica no es absolutamente lineal pues presenta pequeñas no linealidades cuando el potencial V_{gs} se acerca a la oclusión como se muestra en la figura 3.

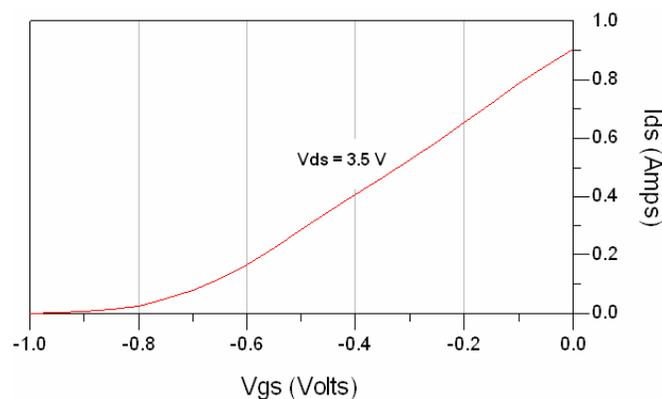


Figura 3. Comportamiento cuasi-lineal de la corriente en un MESFET.

El amplificador clase A conduce corriente durante todo el ciclo de la señal que estimula la compuerta. Las corrientes y potenciales de salida son una réplica de la señal de entrada pero amplificada.

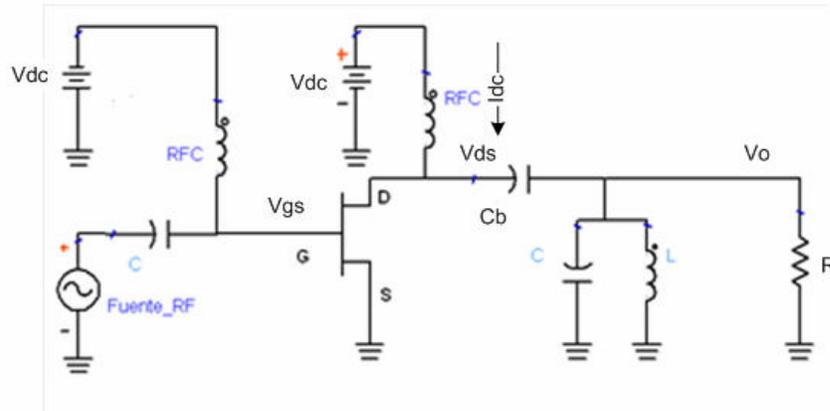


Figura 4. Topología del amplificador clase A.

Si el transistor se mantiene en la región lineal, entonces para una entrada senoidal la corriente y el potencial de salida serán senoidales [Albulet M., 2001]. Por esto la potencia de salida será:

$$P_o = \frac{V_o^2}{2R} \quad (6)$$

y la máxima ocurrirá cuando $V_o = V_{dc}$. La eficiencia de drenador es:

$$\eta = \frac{P_o}{P_{dc}} = \frac{V_o^2}{2V_{dc}^2} \quad \therefore \quad \eta_{\max} = \frac{1}{2} = 50\% \quad (7)$$

Cuando el potencial de salida es menor que el potencial de corriente directa V_{dc} aplicado en el drenador la eficiencia es menor a 50% y la potencia de salida también

disminuye. Una de las mayores desventajas es que cuando no existe una señal en la compuerta la potencia se disipa completamente en el transistor.

El factor de utilización del transistor será:

$$C_p = \frac{P_o}{(V_{\max})(I_{\max})} = \frac{P_o}{(2V_{dc})(2I_{dc})} = \frac{1}{8} \quad (8)$$

Cuando el amplificador clase A trabaja completamente en la región lineal, prácticamente no hay línea divisoria entre el diseño en pequeña señal y el amplificador clase A. Este tipo de amplificadores presentan alta ganancia aún en altas frecuencias [Albulet M., 2001]. El potencial de “rodilla” disminuirá el factor de utilización del transistor y la eficiencia. En la figura 2 se muestra la curva I(V) del transistor y la recta de carga de un clase A que considera el potencial de rodilla V_k .

II.7 Amplificadores clase AB

La topología de circuito de los amplificadores clase AB es la misma que para el amplificador clase A y se muestra en la figura 4. Este tipo de amplificadores normalmente alcanza menores frecuencias y ganancias que el amplificador clase A [Albulet M., 2001]. El punto de polarización del transistor se coloca en la región de corte o un poco antes, lo cual define el ángulo de conducción, θ_c , es decir, el transistor permanecerá ocluido durante: $\theta_o = 360^\circ - \theta_c$. Esto último permite que cuando no exista una señal que excite la compuerta el consumo de potencia sea prácticamente cero. Además, el transistor conducirá cuando el

ángulo de la señal de entrada, θ_c , sea $180 < \theta_c < 360$ y debido a esto se requerirá mayor potencia en la entrada para obtener la máxima potencia de salida [Cripps S. C., 1999].

La eficiencia máxima que se puede alcanzar es de 78.5%. El factor de utilización del transistor es igual que la del amplificador clase A, es decir, $C_p = 1/8$. En la figura 5 se muestra la curva I(V) y sobrepuesta la recta de carga del amplificador clase AB.

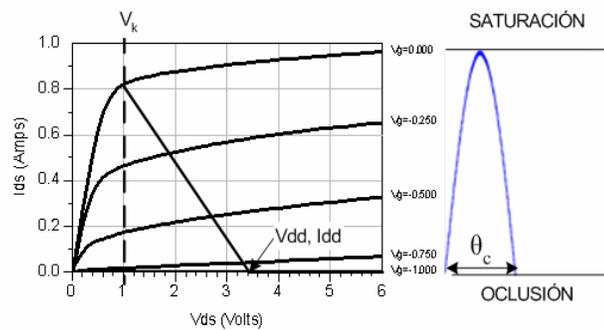


Figura 5. Recta de carga para un clase AB $\theta_c \approx 180$.

Una característica muy importante es que la señal de salida del amplificador contendrá armónicos debido a que el transistor trabaja durante al menos medio ciclo en la región de oclusión [Albulet M., 2001] y [Maas S. A, 1997]. Por lo tanto, la red de salida deberá considerar un filtro resonante en la frecuencia de salida deseada, la cual puede ser parte de la red de adaptación en la salida [Cripps S. C., 1999].

II.8 Amplificadores clase E

Sobre los amplificadores clase E sólo presentaremos las principales características con la finalidad de que se pueda hacer una pequeña comparación con los amplificadores

clásicos mostrados hasta el momento. En los amplificadores clase E el transistor trabaja en modo de conmutación en contraste con los amplificadores clase A y AB donde funciona como fuente de corriente.

El punto de polarización se coloca en oclusión por lo que, como el amplificador clase AB, evita disipación de potencia en el transistor en ausencia de una señal de estimulación. La eficiencia de drenador que se puede alcanzar es de 100%, gracias a la red de salida del amplificador que desfasa el potencial y la corriente de drenador por 180°. Además es un amplificador no lineal que requiere de un filtrado de los armónicos en la salida para evitar el contenido armónico en la señal que se desea en la carga.

La topología del circuito es muy sencilla y se explica con detalle en el capítulo siguiente. El factor de utilización del transistor, C_p , es menor que en los amplificadores clase A y AB y es $C_p = 0.0918$. La razón principal de diseñar amplificadores clase E es su alta eficiencia, la cual es esencial en aplicaciones de sistemas de comunicación modernos como lo son los celulares, estaciones terrenas, satélites, etc. Los beneficios de obtener alta eficiencia permiten que se obtengan equipos más pequeños y portátiles, que la energía de la batería se aproveche mejor y el costo por watt consumido sea mucho menor.

Finalmente y como se verá en el capítulo siguiente se tiene un método de diseño a priori el cual nos permitirá que los resultados de las simulaciones concuerden con los resultados experimentales de una mejor manera. Aún mejor, el amplificador clase E es muy tolerante a variaciones en los componentes de la red de salida.

CAPÍTULO III AMPLIFICADORES CLASE E

III.1 Introducción

En la actualidad el uso adecuado de los recursos naturales se ha vuelto más que una moda, una necesidad. Por esta razón, tenemos un gran compromiso con nosotros mismos de hacer buen uso de la energía que se tiene a nuestra disposición. En este capítulo se presenta el amplificador clase E, en el cual gracias a la topología que interviene en la red de carga se puede obtener una eficiencia teórica del 100%.

Los amplificadores clase E, además de utilizarse en sistemas de comunicaciones, suelen tener aplicaciones como: generadores de arcos, sistemas de calefacción, generación de interferencias o como auxiliares en circuitos para excitar otros amplificadores, convertidores CD-CD, etc. [Kazimierzuk M., 1981 y Sokal N.O., 1981]. Las características no lineales de este tipo de amplificadores también han sido utilizadas como osciladores [Kazimierzuk M, 1981] y como multiplicadores de frecuencia [Zulinski R.E y Steadman J. W., 1986], [Kazimierzuk M, 1986] y [Albulet M. y Zulinski R. E., 1998].

Desde la concepción de estos amplificadores en 1975 por Nathan O. Sokal y Alan D. Sokal se ha demostrado su capacidad para obtener eficiencias de hasta 96% en bajas frecuencias, tales como 3.9 MHz [Sokal N. O. y Sokal A. D., 1975]. Estos hechos han motivado la curiosidad de los investigadores para tratar de implementar esta topología en frecuencias de RF y superiores. Pero se han encontrado con nuevos retos, pues a estas frecuencias existen otros factores que limitan al amplificador para alcanzar una eficiencia

de 100%. Los elementos más importantes que limitan el amplificador clase E para alcanzar el 100 % de eficiencia se tratan a final de este capítulo.

A continuación se presenta la topología de los amplificadores de potencia clase E, su funcionamiento y una forma de calcular los parámetros del mismo para obtener un funcionamiento óptimo.

III.2 Amplificadores de potencia clase E

En la búsqueda de técnicas que mejoren el aprovechamiento de la energía se han encontrado varias opciones entre las cuales los amplificadores de potencia (AP) conmutados han resultado ser una de las mejores opciones para obtener idealmente eficiencias de drenador de hasta 100%. Así pues, en esencia los AP clase E son amplificadores conmutados cuya principal cualidad es la alta eficiencia.

A diferencia de los amplificadores clásicos, donde el transistor trabaja como fuente de corriente controlada, los AP clase E trabajan en régimen conmutado, es decir, el transistor cambia periódicamente entre las regiones de corte y saturación. En los AP conmutados la impedancia del transistor cambia de alta a baja conforme se desactiva (corte) o activa (saturación) respectivamente. En los amplificadores clásicos la impedancia de salida permanece siempre alta [Sokal N. O. y Sokal A. D., 1975].

En el amplificador clase E la tarea más importante consiste en minimizar el traslape de potencial (V_{ds}) y corriente (I_{ds}) de drenador en el mismo instante. De esta manera la disipación de potencia en el transistor se minimizará debido a que el producto

$I_{ds} * V_{ds}$ tiende a cero. Estos amplificadores podrían llamarse convertidores de potencia puesto que la señal de excitación que conmuta el transistor no tiene relación (como en los amplificadores clase A) con la amplitud de la señal de salida [Raab F.H., 1977], es decir, la amplitud de la señal de salida no es proporcional a la amplitud de la señal de entrada.

III.2.1 Topología y funcionamiento del amplificador clase E

La topología básica del amplificador clase E es muy sencilla y se muestra en la figura 6. El amplificador clase E está formado por un transistor que actuará como conmutador, una red de carga y la fuente de alimentación. Este tipo de AP requiere de una señal de excitación, de preferencia, cuadrada. De esta manera el transistor cambiará rápidamente de un estado a otro (corte-saturación y viceversa).

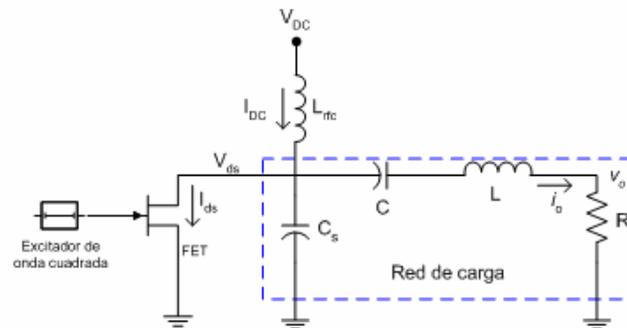


Figura 6. Topología del circuito clase E

La red de carga debe presentar la impedancia y fase necesarias para obtener las formas de onda de corriente y potencial con 180 grados de diferencia para evitar que se disipe potencia en el transistor, y así obtener una eficiencia de drenador de hasta 100%. La red de carga, mostrada en la figura 6, consta de un capacitor en derivación (C_s) con el

transistor, una red sintonizada (LC) en la frecuencia de trabajo y una resistencia de carga (R). Finalmente, es necesaria una inductancia (L_{rfc}) que sirve para aislar la RF de la fuente de alimentación (circuito abierto en f_0) y para alimentar el amplificador con el potencial (V_{DC}) y corriente directas (I_{DC}).

El funcionamiento del circuito de la figura 6 se puede dividir básicamente en dos estados, los cuales dependen del modo de funcionamiento del transistor que actúa como conmutador y son: apagado o encendido [Sokal N. O. y Sokal A. D., 1975]. Durante el estado de apagado (abierto) el transistor está ocluido, por lo tanto, la impedancia que presenta el transistor en su salida es muy alta y el flujo de corriente a través del conmutador es idealmente cero. La figura 7 muestra el circuito equivalente durante el tiempo que el conmutador permanece abierto. En dicho estado, el comportamiento del AP estará gobernado por la respuesta transitoria del circuito formado por la red RLC y la capacidad en derivación, C_s .

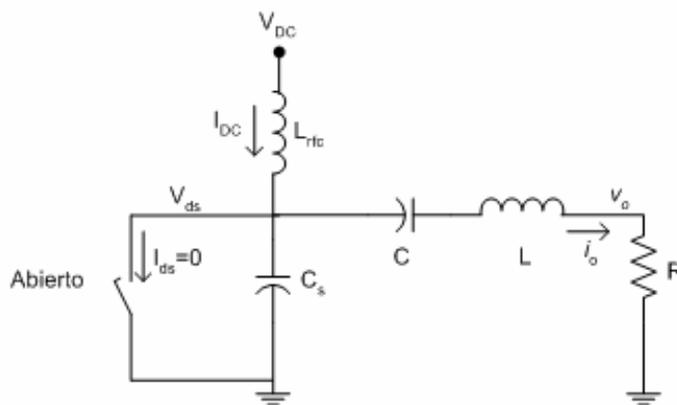


Figura 7. Circuito equivalente cuando el conmutador está abierto

Por otro lado, cuando el conmutador está cerrado el flujo de corriente en el transistor es máximo y el comportamiento del circuito estará regido solamente por el conmutador (transistor) y la red RLC puesto que la capacidad en derivación, C_s , permanecerá cortocircuitada. La figura 8 muestra el circuito equivalente en el estado de encendido. El capacitor deberá estar totalmente descargado en el momento de cerrar el conmutador, de lo contrario la energía almacenada en C_s se disiparía en el transistor en forma de calor.

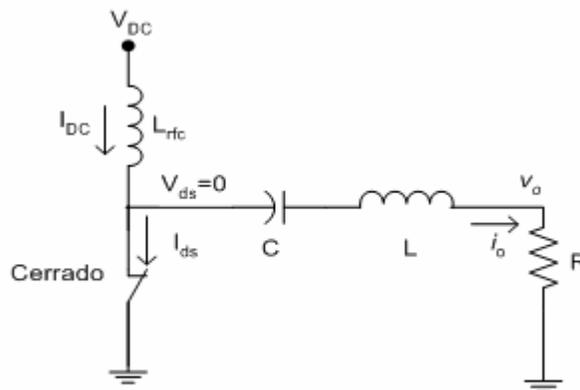


Figura 8. Circuito equivalente cuando el conmutador está cerrado

Si la conmutación se efectúa periódicamente el resultado en las formas de onda de el potencial y de la corriente de drenador serán las óptimas, de esta manera se obtendrá una eficiencia del 100%, lo que nos indica que toda la potencia de la fuente de CD es consumida por la carga. Las formas de onda de el potencial (V_{ds}) y de corriente (I_{ds}) en el drenador para los estados de apagado y encendido se muestran en la figura 9. El significado de las variables y así como el de θ_c se definirá posteriormente en este capítulo.

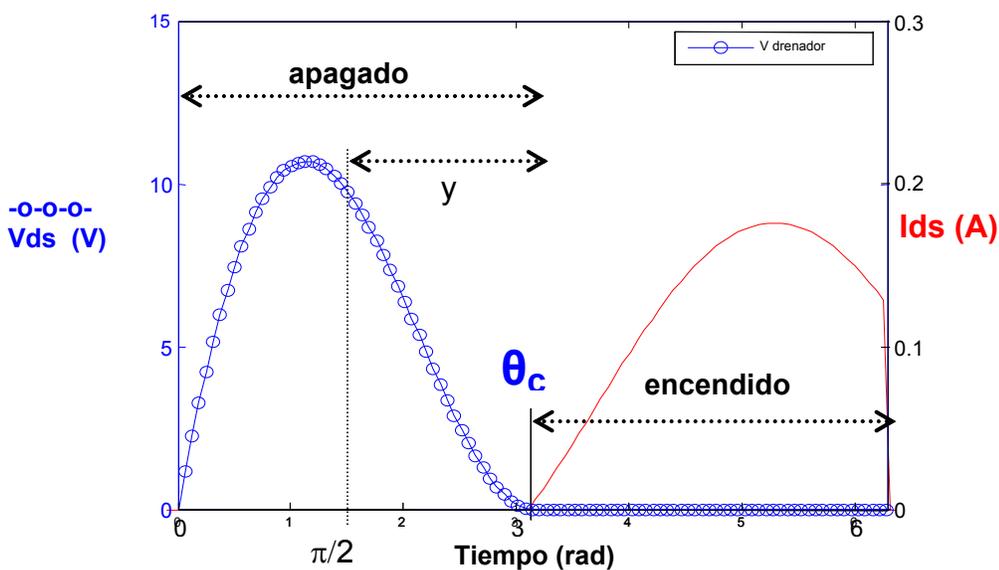


Figura 9. Formas de onda óptimas del potencial y de la corriente de drenador (simulación).

III.2.3 Condiciones óptimas de funcionamiento

Una vez presentadas las generalidades del amplificador clase E, procederemos con un análisis más detallado y las condiciones bajo las cuales será realizado. De esta manera tendremos a nuestra disposición la herramienta matemática que nos permita el diseño a priori de los amplificadores clase E. Esto representa otra de las ventajas del AP clase E respecto a los métodos de diseño utilizados en amplificadores clase A y clase AB; en los cuales, en la mayoría de los casos, la diferencia entre los resultados de la simulación y la implementación dejan mucho que desear [Raab F.H., 1977].

La definición de la operación del amplificador clase E óptimo fue hecha por Nathan O. Sokal en 1975. En ella se detallan los principales objetivos que debe cumplir la red de

carga del amplificador para que éste funcione óptimamente (eficiencia de 100%). Los tres objetivos se enlistan a continuación [Sokal N. O. y Sokal A. D., 1975]:

a) El incremento en el potencial a través del drenador, al momento de apagar el conmutador, debe retardarse hasta que el transistor esté completamente apagado.

b) El potencial de drenador debe ser llevado a cero en el momento que el conmutador se cierra, $V_{ds}(\theta)|_{\theta_c} = 0$.

c) La pendiente del potencial de drenador debe ser cero en el momento de cerrar el conmutador, $\left. \frac{dV_{ds}(\theta)}{d\theta} \right|_{\theta_c} = 0$.

en donde θ_c es el ángulo al cual ocurre el cierre del conmutador.

Con referencia a la figura 9, observamos que el efecto de la red de carga provoca que el potencial de drenador aumente hasta un máximo y después descienda lentamente hasta cero antes de que el conmutador se cierre (θ_c), por lo que se cumple la condición a) [Sokal N. O. y Sokal A. D., 1975]. Las condiciones b) y c) no se cumplirán si el potencial de drenador y su pendiente son diferentes de cero en el momento de cerrar el conmutador (θ_c); dicho potencial se cortocircuitará y la corriente en el drenador aumentará bruscamente; por lo tanto, no existirá la condición de activado suave (condiciones b y c). Lo anterior provocará la disipación de potencia en el transistor y decremento de la eficiencia.

Por otro lado, si la red de carga está mal sintonizada, entonces el potencial y su pendiente diferirán de cero [Sokal N. O. y Sokal A. D., 1975]. Dicha falta de sintonía también se puede manifestar con pendientes del potencial iguales a cero (que se presentan antes, durante o después del cierre del conmutador) pero con potenciales positivos o negativos al momento de cerrar el conmutador. En la figura 10 se muestra la forma de onda en el drenador en la que el potencial en el momento de cerrar el conmutador es mayor a cero y la pendiente, igual a cero, se presenta antes de cerrar el conmutador.

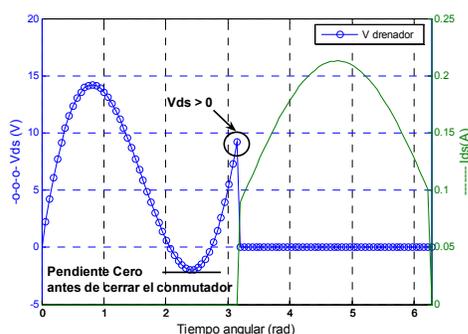


Figura 10. Simulación de las formas de onda con la red de carga mal sintonizada

III.2.4 Análisis del amplificador clase E

En el análisis del amplificador utilizaremos el excelente trabajo realizado por Frederick H. Raab en 1977. Así pues, consideraremos el circuito de la figura 11. A diferencia de la figura 6, se separa el circuito resonante LC en un circuito resonante en la frecuencia de operación ($L_o C_o$ para f_o) y una reactancia en serie llamada jX . La reactancia jX representa la diferencia en las reactancias del inductor y del capacitor del circuito sintonizado $L_o C_o$ serie. [Raab F. H, 1977].

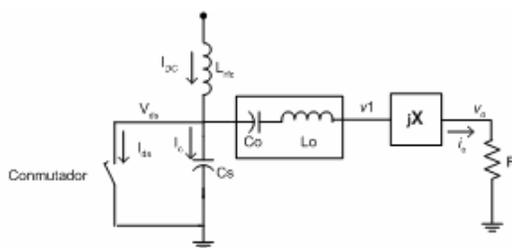


Figura 11. Circuito equivalente utilizado para el análisis de Raab.

En el análisis se supone que la señal de excitación del conmutador es la adecuada para cambiar entre los estados de encendido y apagado (normalmente una onda cuadrada). Además, respecto a la figura 11 se considera que [Raab F. H., 1977]:

1. El reactor de RF (L_{rfc}) permite sólo el paso de DC y no tiene resistencia en serie.
2. El factor de calidad del circuito sintonizado de salida es lo suficientemente alto para que la señal de salida sea esencialmente senoidal.
3. La acción de conmutación es instantánea y sin pérdidas (excepto cuando se descarga el capacitor en derivación). Además, el potencial de saturación del transistor y la resistencia de saturación son cero al activar el transistor y la resistencia es infinita cuando está ocluido.
4. La capacitancia total de salida es independiente del potencial de drenador.
5. El transistor puede soportar corrientes y potenciales negativos.

En el análisis se observa que todos los parámetros del circuito están interrelacionados entre sí, es decir, la forma de onda del potencial de drenador depende de

la corriente en el capacitor en derivación, y esta depende del potencial en la carga que también está en función del potencial de drenador [Rabb F. H., 1977]. El procedimiento para la síntesis de la red y el cálculo de las características del mismo se tratarán a continuación.

III.2.5 Cálculo de los parámetros de la red de carga

De acuerdo con la figura 11 y la suposición 2 se definen el potencial y la corriente de salida como una señal senoidal de tal manera que:

$$v_o(\theta) = c \operatorname{sen}(\theta + \varphi) \quad (9)$$

$$i_o(\theta) = \frac{c}{R} \operatorname{sen}(\theta + \varphi) \quad (10)$$

Donde $\theta = \omega t$, R es la resistencia de carga, c es la amplitud del potencial y finalmente φ es el ángulo del potencial y de la corriente de salida [Raab F. H., 1977].

El potencial hipotética $v_1(\theta)$ es también senoidal pero con diferente fase debido a la reactancia X de tal manera que:

$$\begin{aligned} v_1(\theta) &= v_o(\theta) + v_x(\theta) \\ &= c \operatorname{sen}(\theta + \varphi) + X \frac{c}{R} \cos(\theta + \varphi) \\ &= c_1 \operatorname{sen}(\theta + \varphi_1) \end{aligned} \quad (11)$$

donde:

$$c_1 = c \sqrt{1 + \frac{X^2}{R^2}} = \rho c \quad y \quad \varphi_1 = \varphi + \psi = \varphi + \tan^{-1}\left(\frac{X}{R}\right)$$

La constante c_1 es la amplitud del potencial $v_1(\theta)$ que incluye los efectos de la red de carga, y el ángulo φ_1 es la contribución de los ángulos φ y ψ (fase impuesta por la red de $R + jX$). Cuando el conmutador está apagado, el potencial en el capacitor en derivación, $v(\theta)$, depende de la diferencia entre la corriente de la fuente de DC (I_{DC}) y la corriente de salida del amplificador, definida en la ecuación (10). Entonces, el potencial en el capacitor C_s se calcula como:

$$v(\theta) = \frac{1}{\omega C_s} \int_{\frac{\pi}{2}-y}^{\theta} \left[I_{DC} - \frac{c}{R} \text{sen}(\theta + \varphi) \right] d\theta \quad (12)$$

Donde: “ y ” está definido como la mitad del tiempo en que el conmutador permanece abierto con referencia en $\pi/2$, como se muestra en la figura 9. El límite inferior $\frac{\pi}{2} - y$ indica el tiempo en el que el se abre conmutador, por lo tanto, al integrar (12) se tiene que:

$$v(\theta) = \frac{I_{DC}}{\omega C_s} \left[\left(-\frac{\pi}{2} + y \right) + \frac{c}{R} \text{sen}(\varphi - y) + \theta + \frac{c}{R} \cos(\theta + \varphi) \right] \quad (13)$$

Ya que la red L_oC_o no presenta pérdidas en la frecuencia fundamental y está sintonizada en dicha frecuencia, entonces, $v_1(\theta)$ debe representar la componente fundamental del potencial en el drenador. Para obtener c_1 , la magnitud de la primera componente de potencial en el drenador, se realiza el análisis de Fourier, es decir:

$$c_1 = \frac{1}{\pi} \int_{\theta_o}^{\theta_c} v(\theta) \text{sen}(\theta + \varphi_1) d\theta + \frac{1}{\pi} \int_{\theta_c}^{2\pi} v(\theta) \text{sen}(\theta + \varphi_1) d\theta \quad (14)$$

Donde: $\theta_o = \frac{\pi}{2} - y$ y $\theta_c = \frac{\pi}{2} + y$ indican el momento en que se abre y se cierra el conmutador respectivamente. La primera integral de la ecuación (14) evalúa la componente cuando el conmutador está abierto y la segunda indica el tiempo en el que permanece cerrado. De acuerdo a la consideración de que la resistencia del conmutador es cero durante el ciclo de encendido, el potencial $v(\theta)$ también será cero, por lo que, la segunda integral de la ecuación (14) será cero. Por lo tanto, al integrar la ecuación (14) se tiene que:

$$c_1 = -2 \left[\frac{I_{DC}}{\pi B} \left(\frac{\pi}{2} - y + \varphi_1 \right) + \frac{c}{\pi B R} \text{sen}(y - \varphi) \right] \cos(\varphi_1) \text{sen}(y) + \dots \quad (15)$$

$$+ \frac{I_{DC}}{\pi B} \left[-2 \text{sen}(\varphi_1) \text{sen}(y) + 2 \left(\frac{\pi}{2} + \varphi_1 \right) \cos(\varphi_1) \text{sen}(y) + 2y \text{sen}(\varphi_1) \cos(y) \right]$$

Donde $B = \omega C_s$. En el segundo término (segundo renglón) de la ecuación (15) en el artículo escrito por Raab en 1977 (ecuación 2.13) existe una omisión tipográfica de la constante π en el denominador, la cual se incluye en (15). Después se sustituye ρc (definida en 3) por c_1 en la ecuación (15) y se despeja el valor de c como se muestra en (16).

$$c = IRh(\varphi, \psi, y, B, R, \rho) \quad (16)$$

Donde: $h(\varphi, \psi, y, B, R, \rho)$ está dada como:

$$h(\varphi, \psi, y, B, R, \rho) = \frac{2y \text{sen}(y) \cos(\varphi_1) + (2y \cos(y) - 2 \text{sen}(y)) \text{sen}(\varphi_1)}{\pi B R \rho + \frac{1}{2} \text{sen}(2\varphi + \psi) \text{sen}(2y) - y \text{sen}(\psi) + 2 \text{sen}(y - \varphi) \cos(\varphi_1) \text{sen}(y)}$$

Por otro lado, la componente fundamental del potencial en el drenador se definió como senoidal con fase φ_1 , por lo tanto, la componente de cuadratura con respecto a la fase φ_1 será cero. De acuerdo a lo anterior la componente de cuadratura estará dada por:

$$0 = \frac{1}{\pi} \int_{\theta_0}^{2\pi} v(\theta) \cos(\theta + \varphi_1) d\theta = \left[\frac{I_{DC}}{\pi B} \left(y - \frac{\pi}{2} - \varphi_1 \right) + \frac{c}{\pi BR} \text{sen}(\varphi - y) \right] [-2 \text{sen}(\varphi_1) \text{sen}(y)] + \frac{I_{DC}}{\pi B} \left[-2 \cos(\varphi_1) \text{sen}(y) - 2 \left(\frac{\pi}{2} + \varphi_1 \right) \text{sen}(\varphi_1) \text{sen}(y) + 2y \cos(\varphi_1) \cos(y) \right] - \frac{c}{2\pi BR} \text{sen}(2y) \cos(2\varphi + \psi) + \frac{cy \cos(\psi)}{\pi BR}. \quad (17)$$

Utilizando la ecuación (17) y reordenando los términos se puede obtener la expresión para la variable c como se muestra en (18).

$$c = I_{DC} R g(\phi, \psi, y) \quad (18)$$

Donde: $g(\phi, \psi, y)$ es la función de transferencia de DC a RF y está dada por:

$$g(\phi, \psi, y) = \frac{[2y \text{sen}(\varphi_1) \text{sen}(y) - 2y \cos(\varphi_1) \cos(y) + 2 \cos(\varphi_1) \text{sen}(y)]}{\left[-2 \text{sen}(\varphi - y) \text{sen}(y) \text{sen}(\varphi_1) - \frac{1}{2} \text{sen}(2y) \cos(2\varphi + \psi) + y \cos(\psi) \right]}$$

Al sustituir la ecuación (18) en (13) y al aplicar el análisis de Fourier es posible obtener la componente de directa del potencial de drenador, V_{DS} , como se muestra en (19), donde la función $g(\phi, \psi, y)$ se abrevia como g .

$$V_{DS} = \frac{1}{2\pi} \int_0^{2\pi} v(\theta) d\theta = \frac{I_{DC}}{2\pi B} [2y^2 + 2yg\text{sen}(\phi - y) - 2g\text{sen}(\phi)\text{sen}(y)] = I_{DC} R_{dc} \quad (19)$$

Donde: R_{dc} es la resistencia total vista por la fuente de que alimenta el amplificador.

Para calcular la potencia de salida, P_o , y la de potencia entregada por la fuente de CD, P_{dc} , se utilizan las ecuaciones (20) y (21) respectivamente.

$$P_o = \frac{c^2}{2R} = \frac{I_{DC}^2 g^2 R}{2} = \frac{V_{DS}^2 g^2 R}{2R_{dc}} \quad (20)$$

$$P_{dc} = \frac{V_{DS}^2}{R_{dc}} \quad (21)$$

Una vez calculados estos parámetros es posible determinar la eficiencia de drenador como se muestra en la ecuación (22).

$$\eta = \frac{P_o}{P_{dc}} = \frac{g^2 R}{2R_{dc}} \quad (22)$$

Considerando que $I_{DC} = V_{DS}/R_{dc}$, entonces de (18) se tiene que $c = I_{DC} R g = V_{DS} R g / R_{dc}$. Sustituyendo estas expresiones en la ecuación (13) tendremos que el potencial de drenador está dado por:

$$v(\theta) = \frac{V_{DS}}{R_{dc} B} \left[\left(y - \frac{\pi}{2} \right) + \theta + g \text{sen}(\phi - y) + g \cos(\theta + \phi) \right] \quad (23)$$

Para calcular el potencial de drenador máximo, primeramente se determina el tiempo en el que éste ocurre. Esto se logra derivando la ecuación (23) y después igualándola a cero de tal manera que:

$$0 = \left. \frac{dv(\theta)}{d\theta} \right|_{\theta=\theta_{v\max}} = \frac{V_{DS}}{R_{dc}B} [1 - g \operatorname{sen}(\theta_{v\max} + \varphi)] \quad (24)$$

Despejando $\theta_{v\max}$ de (24) se tiene que:

$$\theta_{v\max} = \sin^{-1}\left(\frac{1}{g}\right) - \varphi \quad (25)$$

Finalmente, se puede obtener el potencial máximo sustituyendo (25) en (23).

El pico de corriente en el drenador ocurre cuando se presenta el pico en la corriente de salida, por lo tanto:

$$i_{s\max} = \frac{c}{R} + I_{DC} = \frac{I_{DC}Rg}{R} + I_{DC} = I_{DC}(1 + g) \quad (26)$$

La ecuación (26) es válida cuando dicho pico de corriente ocurre durante el periodo de encendido del conmutador, de otra manera se presentará al momento de encender o apagar el conmutador.

Una de las condiciones [Sokal N. O. y Sokal A. D., 1975] para obtener el 100% de eficiencia es que el potencial en el capacitor, C_s , sea cero en el momento de cerrar el conmutador, $\theta_c = \frac{\pi}{2} + y$. Al aplicar tal condición en la ecuación (23) entonces se obtiene la expresión:

$$0 = 2y - 2g \cos(\varphi) \sin(y) \quad (27)$$

Otra de las condiciones para lograr la operación óptima es que la pendiente del potencial de drenador sea cero en el momento de cerrar el conmutador. Entonces, derivando la ecuación (23) respecto a θ y evaluando θ como $\theta_c = \frac{\pi}{2} + y$ se obtiene la ecuación (28).

$$\zeta = \frac{1}{V_{DS}} \left. \frac{dv(\theta)}{d\theta} \right|_{\theta = \frac{\pi}{2} + y} = \frac{1}{R_{dc} \omega C_s} [1 - g \cos(y + \varphi)] \quad (28)$$

Donde ζ es el valor de la pendiente del potencial de drenador normalizada a V_{DS} . Despejando los términos $R_{dc} \omega C_s$ de la ecuación (19) para sustituirlos en la ecuación (28) y reordenando la ecuación de tal manera que se separen los términos de $\cos(\varphi)$ y $\sin(\varphi)$ se obtiene una ecuación en función de ζ dada por:

$$[\pi \cos(y) - \zeta y \sin(y)] \cos(\varphi) + [-\pi \sin(y) + \zeta y \cos(y) - \zeta \sin(y)] \sin(\varphi) = \frac{\pi - \zeta y^2}{g} \quad (29)$$

Las ecuaciones (27) y (29) son dos restricciones con las cuales se pueden obtener las variables g y φ . Por lo tanto, igualando estas dos ecuaciones y reordenándolas se puede obtener la ecuación (30) para determinar el valor de φ .

$$\tan(\varphi) = \frac{\frac{\sin y}{y} - \cos(y)}{\frac{\zeta y}{\pi} \cos(y) - \left(1 - \frac{\zeta}{\pi}\right) \sin(y)} \quad (30)$$

El valor de ϕ se sustituye en la ecuación (27) para obtener el valor de la función de transferencia de DC a RF (g), el cual está dado por la ecuación (31).

$$g = \frac{y}{\cos(\phi)\sin(y)} \quad (31)$$

Por otro lado, tomando en cuenta que se pretende obtener una eficiencia del 100%, se puede calcular el valor de R_{dc} despejando de la ecuación (22) de tal manera que:

$$R_{dc} = \frac{g^2 R}{2} \quad (32)$$

Sustituyendo (32) en el lado derecho de la ecuación (19), el valor de la capacitancia en derivación, C_s , se calcula como:

$$B = \omega C_s = \frac{2y^2 + 2yg \operatorname{sen}(\phi - y) - 2g \operatorname{sen} \phi \operatorname{sen} y}{\pi g^2 R} \quad (33)$$

La ecuación (33) corrige un error tipográfico en el artículo de Raab (ecuación 3.11) pues la resistencia, R , debe aparecer en el denominador como lo muestra la ecuación (33) y no en el numerador como se muestra en el trabajo de Raab en 1977 en la ecuación (3.11).

Para calcular el valor del ángulo ψ se recurre a la función de transferencia $g(\phi, \psi, y)$ de la ecuación (18) en la que se expanden los términos que contienen ϕ de tal forma que se puedan separar los términos de $\operatorname{sen}(\psi)$ y $\operatorname{cos}(\psi)$ [Raab F. H., 1977]. Reagrupando como se

indicó anteriormente se puede llegar a la ecuación (34) que sirve para determinar el valor de ψ .

$$\tan(\psi) = \frac{q_1 \text{sen}(\varphi) + q_2 \cos(\varphi) + q_3 \cos(2\varphi) + gy}{q_2 \text{sen}(\varphi) + q_3 \text{sen}(2\varphi) - q_1 \cos(\varphi)} \quad (34)$$

Donde:

$$q_1 = -2g \text{sen}(\varphi - y) \sin(y) - 2y \text{sen}(y)$$

$$q_2 = 2y \cos(y) - 2 \text{sen}(y)$$

$$q_3 = \frac{-g}{2} \sin(2y)$$

Es preciso hacer notar que para hacer la síntesis de la red de carga del amplificador es necesario que el diseñador fije los valores del ciclo de trabajo de la señal de excitación del conmutador y el valor de la resistencia de carga, R. El valor de la reactancia X se calcula a partir del valor del ángulo ψ con la ecuación (35).

$$X = R \tan(\psi) \quad (35)$$

Con un ciclo de trabajo de 50%, una resistencia, R, fija y utilizando las expresiones anteriores se sintetiza la red de carga del amplificador clase E para alcanzar una eficiencia de 100%. Además, podremos conocer las formas de onda de potencial y corriente, las potencias de entrada y de salida los cuales nos darán la pauta para elegir los componentes.

Las expresiones para obtener una eficiencia de 100% utilizando un ciclo de trabajo del 50% se resumen en la Tabla I.

Tabla I Expresiones para el cálculo de los parámetros de los amplificadores clase E.

D = 50%, $\eta=100\%$			
Φ	-32.482°	X	1.1525R
g	1.8621	C	1.074V _{DS}
R_{dc}	1.7337R	V_{pk}	3.56V _{DS}
B	1/5.4466R	I_{pk}	2.84I _{DS}
Ψ	49.052°		

Las expresiones en la síntesis de la red se implementaron en un programa utilizando MatLab[®]. La figura 12 muestra la interfaz y los resultados para un amplificador clase E diseñado en 800 MHz. El valor del ciclo de trabajo, la pendiente normalizada respecto a V_{DC}, la resistencia de carga de la red (R), del potencial de alimentación (V_{DC}), C_o y la frecuencia son parámetros definidos por el diseñador. Con ellos se calculan los valores de C_s, L_o, el potencial y corriente pico, la eficiencia, la potencia de salida y la potencia consumida por la fuente de CD.

SINTESIS

Ciclo Encendido 50 % 180 Deg
 Pendiente Norm 0 Deg
 R carga 21 Ohms
 Vcc 3 Volts
 Frec. 0.800 GHz

QL 10.626
 Angulo FI -32.4816 Grado
 Valor de g 1.8621
 Rdc 36.4077 Ohms
 B 0.00874292 Sim
 Cs 1.73935 pF
 Angulo PSI 49.0524 Grados
 Reactancia X 24.2024 Ohms
 Co 1 p Lo 44.3935 nH
 (R+jX)/Xc 32.0471+23.235i Ohms

V pico 10.686 Volts
 I pico 0.235837 Amps
 Eficiencia 100
 Po 0.2472 Watts
 Pmax 23.9305 dBm
 Pmax 0.0980891 Reten Fig

Figura 12. Síntesis de la red de un A. de P. clase E @ 800 MHz

Las formas de onda en el drenador se muestran en la figura 13. Podemos observar que estas formas de onda cumplen con las tres condiciones impuestas por Sokal mencionadas en la sección 2.3 de este capítulo.

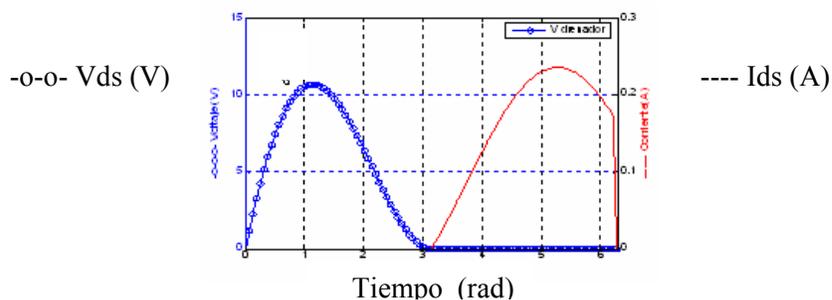


Figura 13. Simulación de las formas de onda del potencial y la corriente de drenador

III.3 Evaluación de la sensibilidad del amplificador

Después de obtener las expresiones necesarias para el cálculo de los elementos de la red de carga y el comportamiento del amplificador clase E es recomendable hacer el análisis de la sensibilidad del amplificador.

Para el análisis de sensibilidad se implementó un programa en MatLab[®] que nos permitirá realizar variaciones de la frecuencia, de R, de C_s , de C, de L, y del ciclo de trabajo. La interfase diseñada para el análisis se muestra en la figura 14.

ANALISIS

Analysis

V_{cc} Volts C_s pF T_{apagado} Deg %

R L Ohm L_o nH

Frec GHz C_o pF Barrido

Figura 14. Interfaz para el análisis de sensibilidad

Con este programa podemos variar uno de los parámetros mientras que los demás permanecen fijos y valorar el efecto en la eficiencia, formas de onda, potenciales y corrientes pico en el drenador del transistor, potencia de DC y de salida. Para realizar el análisis de sensibilidad variaremos los parámetros del diseño presentado en la figura 12.

III.3.1 Sensibilidad a las variaciones de la resistencia de carga

Las variaciones en la resistencia de carga de acuerdo a la Tabla I afectan proporcionalmente el valor de la resistencia total presentada por el amplificador ($R_{dc} = 1.7337R$) y además el potencial de drenador de acuerdo a la ecuación (23) es inversamente proporcional a R_{dc} . Por lo tanto, si el valor de la resistencia de carga disminuye, el potencial en el drenador aumentará.

Así que, si la resistencia de carga es muy pequeña, entonces el potencial y la corriente en el transistor pueden sobrepasar los límites para los que fue diseñado. Si esto sucede, entonces el transistor se degradará y es muy probable que se dañe definitivamente. Por ello, la importancia de verificar que la resistencia de carga sea la adecuada. En la figura 15 se muestra el comportamiento de la corriente y el potencial pico en el drenador del transistor en función de la resistencia de carga. Además, en la figura 16 se presentan la potencia de DC y la potencia de salida en función de la resistencia de carga.

Estas figuras muestran que cuando el valor de R es menor al valor de nominal (21Ω de acuerdo con la figura 12) pueden presentarse grandes valores de corrientes y de potenciales que en un momento dado pueden dañar el transistor. Además, se requerirá

mayor potencia de DC sin que la potencia de salida incremente en la misma proporción lo que provocará una disminución en la eficiencia.

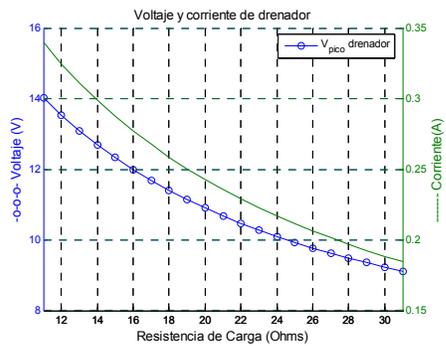


Figura 15. Simulación del potencial y de la corriente picos en el drenador

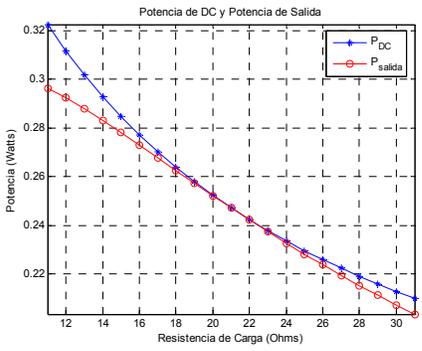


Figura 16. Simulación de la potencia de DC, y de salida en función de R.

La figura 17 muestra la eficiencia con respecto a los cambios en la resistencia de carga. La eficiencia disminuye con mayor rapidez cuando la resistencia de carga disminuye su valor con respecto al valor de la resistencia nominal (21 Ohms).

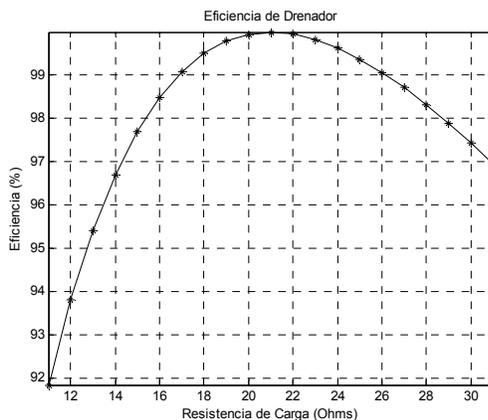


Figura 17. Simulación de la eficiencia en función de la resistencia de carga

Si analizamos las figuras 15, 16 y 17 en conjunto podemos determinar que es posible obtener una eficiencia muy razonable, 95%, cuando R es 13Ω y además obtener una potencia de salida mayor con respecto a la potencia indicada en la figura 12, cuando $R=21\Omega$. Sin embargo, el potencial y la corriente pico que debe manejar el transistor son mayores, por lo que se debe tener la precaución al elegir adecuadamente el transistor. El incremento de la resistencia de carga respecto a la óptima es una opción no del todo atractiva, pues además de disminuir la eficiencia disminuye la potencia de salida del amplificador.

Un factor extra para hacer una elección adecuada del dispositivo activo es la forma de onda en el drenador. Anteriormente se indicó que la resistencia de carga podría disminuirse hasta 13Ω para aumentar la potencia de salida, sacrificando un poco de eficiencia; pero al observar la figura 18 se puede apreciar que el transistor deberá soportar potenciales negativos, lo cual representa una limitante para los transistores bipolares.

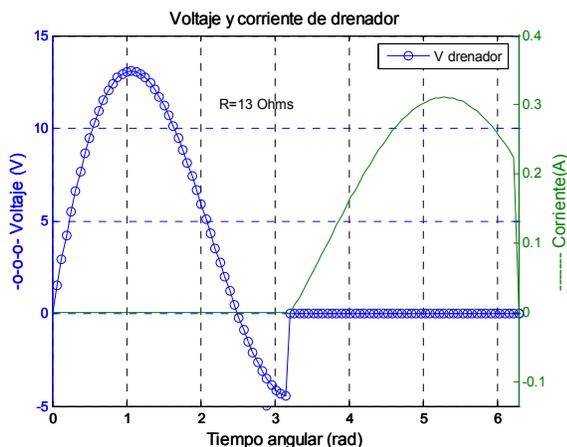


Figura 18. Simulación de las formas de onda para $R = 13 \Omega$

En general, la forma de onda presentará potenciales negativos cuando la resistencia de carga sea menor al valor óptimo. Esto provocará una descarga súbita de la energía almacenada en C_s provocando mayor estrés en el transistor. La magnitud de dicha energía en el momento de cerrar el conmutador podría llegar a destruir el transistor.

Conforme el valor de la resistencia de carga se acerca al valor óptimo las condiciones de encendido suave se recuperan. Sin embargo, cuando la resistencia se incrementa más allá del valor óptimo el potencial que se presenta en el transistor en el momento de cerrar el conmutador será mayor a cero y habrá un pico positivo de corriente. De esta explicación se deriva la disminución de la eficiencia en la figura 17.

III.3.2 Sensibilidad a variaciones en la frecuencia

Cuando se presenta una variación en la frecuencia de la señal que excita el transistor la respuesta dependerá del factor de calidad de la red RLC. En el ejemplo anterior

el factor de calidad (Q) fue de 10.6, lo que provoca que la eficiencia varíe con cierta estrechez como se muestra en la figura 19. Conforme el factor de calidad disminuye se tendrá más tolerancia a los cambios de frecuencia pero se requerirán filtros para los armónicos en la salida del amplificador [Raab F. H., 1977].

La figura 20 muestra el comportamiento de la potencia de DC y la potencia de salida en función de la frecuencia. La potencia de salida del amplificador disminuye rápidamente conforme la frecuencia se aleja de la frecuencia de diseño (800MHz). Este efecto se atribuye a que la impedancia presentada por la red de carga está variando con la frecuencia y esto se traduce en pérdidas de la sintonía. La potencia de DC requerida para mantener funcionando el amplificador varía abruptamente cerca de la frecuencia de diseño como se muestra en la figura 20.

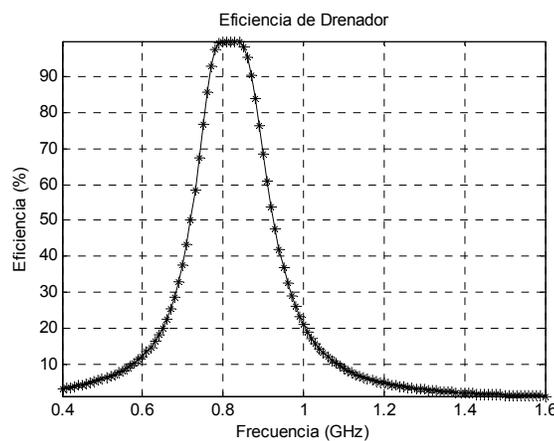


Figura 19. Simulación de la eficiencia vs. frecuencia

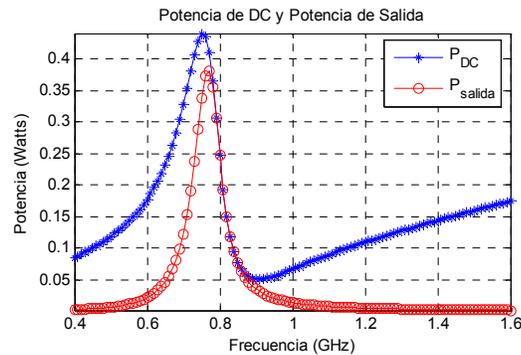


Figura 20. Simulación de P_{dc} y P_o vs. frecuencia.

III.3.3 Sensibilidad a cambios en la capacitancia en derivación

La importancia de C_s radica en que ésta es capaz de retardar el incremento de potencial en el drenador del transistor (al momento de apagarlo) hasta que éste deje de conducir corriente. De esta manera se puede evitar que exista potencial y corriente en el mismo instante.

La figura 21 muestra que la eficiencia respecto a variaciones de C_s es muy baja. Si fijamos como meta una eficiencia del 95%, el valor del capacitor podría variar aproximadamente desde 33% debajo del valor óptimo y hasta un 72% sobre el valor óptimo como se muestra en la figura 21.

Las variaciones en C_s producen efectos similares a las variaciones en la resistencia de carga, es decir, el transistor deberá ser capaz de soportar potenciales y corrientes negativas para ciertos valores de C_s [Raab F. H., 1977]. Por ejemplo, para valores menores al óptimo se presentarán potenciales negativos y picos de corriente grandes en el drenador y cuando los valores son mayores al valor óptimo requerirá corrientes negativas.

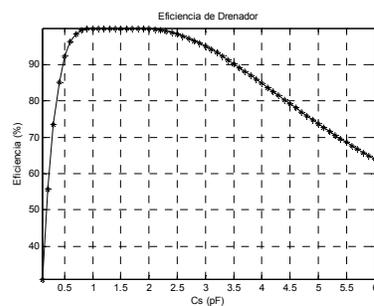


Figura 21. Simulación de la eficiencia vs C_s

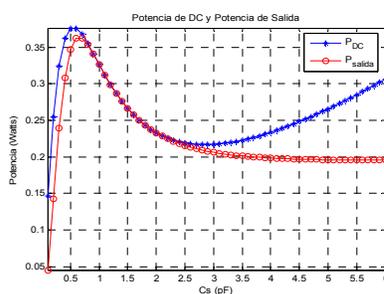


Figura 22. Simulación de P_{dc} y P_o vs C_s

La potencia de salida llega a estabilizarse después de que los valores de C_s son mucho mayores que el valor óptimo como se muestra en la figura 22, pero se mantiene casi a la mitad del valor óptimo.

III.3.4 Sensibilidad a variaciones en el ciclo de trabajo

Las variaciones de la anchura del pulso de la señal que excita el amplificador se manifiestan en variaciones de la eficiencia como se muestra en la figura 23. La eficiencia se mantiene en cerca del 100% cuando el ciclo de trabajo varía de 40% a 60%. Además se observa que el porcentaje de variación podría ser mayor y conservar una eficiencia mayor al 90%. Sin embargo, la magnitud del potencial y corrientes máximos, así como los picos

generados al momento de encender el transistor son muy grandes. Por lo tanto, en aplicaciones con modulación de ancho de pulso (PWM) se deben considerar transistores que soporten estos picos máximos o limitar las variaciones del ancho el pulso.

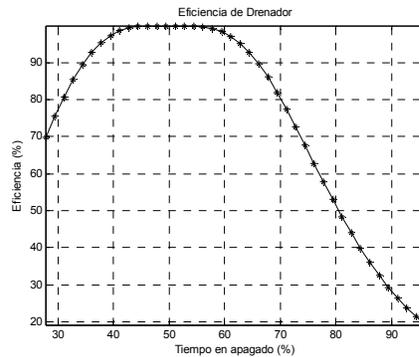


Figura 23. Simulación de la eficiencia en función del ángulo en apagado (2γ).

La variación de los parámetros L y C representarán un cambio en el ángulo ψ de la impedancia. Cuando este ángulo varía entre 40% y 70 % del valor óptimo (49.052° de acuerdo a la tabla I), la eficiencia permanece muy cercana al 100%. En este caso, el máximo de la potencia de DC y de la potencia de salida no ocurren con el mismo valor del ángulo ψ ; por lo tanto, cuando un amplificador requiera de sintonización deberá basarse en la eficiencia y no en la potencia de salida máxima [Raab F.H., 1977] y [Centrell W.H., 2000].

III.4 Limitaciones del análisis propuesto

En el análisis presentado hasta el momento se ha considerado que los elementos que componen al amplificador clase E son prácticamente ideales. Sin embargo, en la práctica, el transistor tiene limitaciones en frecuencia, en la resistencia de encendido que es

diferente de cero, en los tiempos de transición que son diferentes de cero y en que los elementos pasivos que conforman la red tienen pérdidas inherentes a la tecnología con que se fabrican [Raab F. H. Sokal N. O., 1978] y [Löhm K., 1986]. Tales inconvenientes suelen causar problemas muy severos en la eficiencia y potencia de salida cuando se lleva el amplificador de la teoría a la práctica sobre todo en frecuencias de UHF y de ondas milimétricas.

En un transistor MESFET o pHEMT existe una resistencia de encendido (R_{on}) dependiente de las dimensiones geométricas y del material utilizado en la fabricación. Durante el tiempo que el transistor conduce corriente se presenta una potencial en sus terminales. Dicho potencial dependerá de la resistencia de carga (R_L), la función de transferencia de DC a RF y de la resistencia de encendido, de tal manera que el potencial

V_{DC} tomará un valor llamado V_{eff} , esto es:
$$V_{eff} = \frac{R_L}{R_L + \frac{g^2 + 6}{2g^2} R_{on}} .$$
 Esto trae como

consecuencia que la potencia de salida y la eficiencia sean diferentes a las consideradas hasta ahora [Raab F. H. Sokal N. O., 1978].

Por otro lado, debido a que los tiempos de transición entre los estados de encendido-apagado y viceversa del transistor no son inmediatos se producen pérdidas. El tiempo de transición de encendido a apagado es el que más pérdidas presenta ya que la corriente no cesa inmediatamente en el transistor al momento de apagarlo. Las pérdidas dependen del tiempo que tarda la corriente en regresar a cero y la potencia de salida para la que fue diseñado el amplificador. Las inductancias parásitas del transistor deberán tomarse

en cuenta puesto que las pérdidas aumentan con la frecuencia de operación y con la corriente que exista al momento de apagar el transistor [Raab F. H. Sokal N. O., 1978] y [Löhm K., 1986], [Kazimirczuk M., 1983].

Por otro lado, en el análisis realizado se supone que el valor del factor de calidad (Q) es suficientemente alto de tal manera que solamente la frecuencia fundamental llegue a la carga y los armónicos sean rechazados y mantenidos en el drenador.

Con las ecuaciones del trabajo presentado por Raab en 1977 se calculó la red de carga óptima para un amplificador diseñado para una frecuencia de 3GHz y $R = 5 \Omega$. Utilizando el programa P-Spice se realizó un análisis transitorio del amplificador clase E para evaluar los efectos de Q en función del ciclo de trabajo (D); se fija D en los valores de 90%, 50%, 10%. Las figuras 24, 25 y 26 muestran un claro ejemplo de la dependencia del valor de Q respecto ciclo de trabajo.

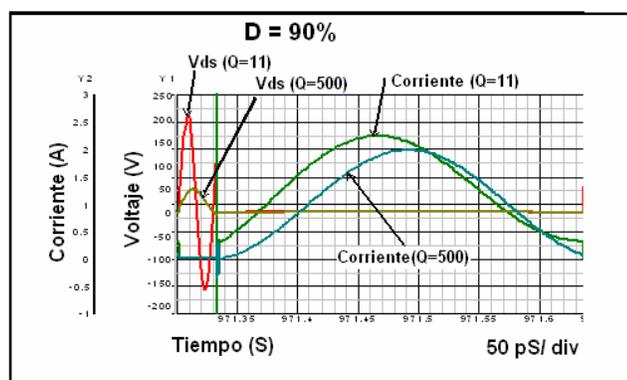


Figura 24. Simulación del potencial y corriente con Q=11 y Q=500 para D=90%

Como se puede observar en las figuras 24, 25 y 26 el valor de Q “suficientemente alto” está en función del ciclo de trabajo. Para valores $D \leq 60\%$ el valor de Q puede ser muy pequeño y ser suficiente para presentar un comportamiento óptimo, pero conforme el ciclo de trabajo aumenta el valor de Q requerido es mayor [Kazimierczuk M. y Puczko K., 1987].

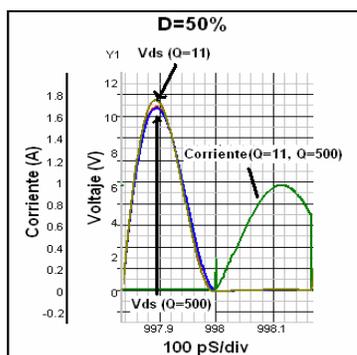


Figura 25 Simulación del potencial y corriente con $Q=11$ y $Q=500$ con $D=50\%$

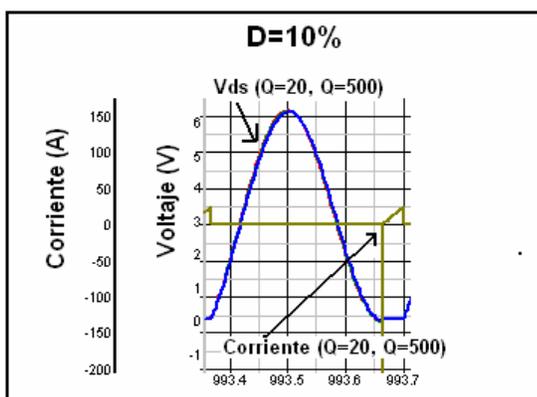


Figura 26. Simulación del potencial y corriente con $Q=20$ y $Q=500$ con $D=10\%$

Para evitar este tipo de problemas, Kazimierczuk [1987] propone una solución numérica para obtener los parámetros del amplificador considerando cualquier valor de Q y

del ciclo de trabajo. También esta solución se implementó en MatLab® y se realizó el análisis transitorio en P-Spice. Los resultados fueron satisfactorios, es decir, el problema que se presenta con la aproximación hecha en el trabajo de Raab en 1977 para altos valores de D queda corregido.

La razón del problema es que cuando el transistor está activado existe un Q_1 dado solamente por la red RLC (C_s está cortocircuitado) y cuando el transistor está desactivado existe un Q_2 que depende de Q_1 y de D [Kazimierczuk M. y Puczek K., 1987]. Esta dependencia no se había tomado en cuenta en los análisis realizados por Raab en 1977. Con la nueva aproximación [Kazimierczuk M. y Puczek K., 1987] se considera esta dependencia y se calculan nuevos valores para los elementos que forman el amplificador; además, se demuestra que las condiciones óptimas se pueden alcanzar para cualquier valor de Q y D . En los trabajos de Avratoglou y Voulgaris [1987] y Sokal [2000] se presentan análisis similares pero sólo consideran variaciones en Q mientras que D se fija en 50% para facilitar los cálculos.

En primera instancia los amplificadores clase E se habían aplicado en muy bajas frecuencias (10 o 20 MHz), pero dadas sus características de alta eficiencia se han buscado aplicaciones en frecuencias de RF y de microondas [Mader et al. 1998]. Debido a esto se han desarrollado nuevos trabajos en los que intervienen elementos parásitos del transistor y esto conlleva a una mejoría en aplicaciones de altas frecuencias, pero aún utilizan el modelo del conmutador ideal.

Estos esfuerzos se enfocan en el capacitor en derivación, C_s , de tal manera que ahora representan el valor de la capacitancia de salida del transistor C_{ds} [Mader et al., 1998]. Esta capacitancia es la principal limitante para que el amplificador clase E opere en altas frecuencias.

Por otro lado, existen dos aproximaciones importantes que analizan la limitante en frecuencia en la que puede trabajar un amplificador clase E. En la aproximación de Mader et al. [1998] se relacionan constantes, la corriente y el potencial de alimentación para obtener la frecuencia máxima de un amplificador clase E con determinado transistor. El enfoque de Mediano y Molina [1999] complementa el análisis realizado por Sokal y Sokal [1975] y Raab [1977] en el que se obtiene una capacitancia máxima, C_{smax} , que es la base para encontrar la frecuencia máxima a la que un transistor en particular funcionará adecuadamente en una topología clase E. Para utilizar esta aproximación se debe conocer también el ciclo de trabajo, la resistencia de carga y el capacitor de salida del transistor.

III.5 Conclusiones

En base al análisis y a las simulaciones que se reportan en este capítulo podemos concluir que el amplificador clase E tiene las ventajas de tener muy alta eficiencia (idealmente hasta 100%), y de que la disipación de potencia en el transistor es muy baja debido a la diferencia de fase (180°) entre las señales de corriente y potencial de drenador.

Además, los costos de mantenimiento de este tipo de amplificadores disminuyen puesto que no disipan grandes cantidades de calor cuando la red de salida se sintoniza

adecuadamente y la sensibilidad del amplificador es razonablemente buena. Por otro lado, se cuenta con un método de diseño a priori que agiliza el procedimiento de diseño. El comportamiento de este tipo de amplificadores es completamente no lineal por lo que será necesario utilizar un filtrado acorde a la aplicación. La anchura de banda de este tipo de amplificadores es angosta y la topología del circuito es muy sencilla.

CAPÍTULO IV KIT DE CALIBRACIÓN Y BASE DE PRUEBAS

IV.1 Introducción

En el capítulo anterior se presentó la topología del amplificador clase E en la que se utiliza un transistor que funciona como conmutador. También se presentaron las desventajas de utilizar el modelo de un conmutador ideal para representar el transistor. Con la finalidad de aminorar los problemas planteados en el capítulo III, utilizaremos un modelo no lineal para simular el transistor.

Para modelar el transistor es necesario realizar varios tipos de mediciones como se indica en la tesis de Rangel Patiño [1994]. Por lo tanto, requeriremos de una base de pruebas para portar el transistor de tal manera que podamos realizar las mediciones pertinentes. Además, serán necesarios un conjunto de estándares que nos permitan calibrar los sistemas de medición (kit de calibración) y que vayan de acuerdo a la base de pruebas en la que se colocará el transistor.

En este capítulo se describe el diseño, construcción y caracterización del kit de calibración y de las bases de pruebas que serán utilizados en la caracterización de transistores. Primeramente se presenta el diseño y construcción del kit de calibración con una línea de referencia, un atenuador y un corto (TAR) así como los problemas que se presentaron en su desempeño. Posteriormente se presenta el diseño y construcción de la base de pruebas, así como los problemas encontrados y sus soluciones. Además, se da especial atención al fenómeno térmico que se presenta en transistores de mediana potencia.

Finalmente se presenta el kit de calibración con varias líneas y un corto (TRLm) como una solución a los problemas encontrados con el kit de calibración TAR (véase IV.2.1).

IV.2 Calibración

La calibración de un sistema de medición consiste en evaluar, con la mayor exactitud posible, las variables en el instrumento de medición de tal manera que se tomen en cuenta los efectos de elementos parásitos no deseados en la caracterización de un sistema o un dispositivo. Así pues, será necesario estimar los errores que se presentan durante las mediciones del dispositivo bajo prueba (DBP), de esta manera el efecto de dichos errores no alterarán las características del DBP, para nuestros fines un transistor.

Las mediciones necesarias para la caracterización del transistor requieren del uso de un analizador de redes vectorial (ARV). Este tipo de equipos sirven para medir los parámetros de dispersión (parámetros S) que consisten en relaciones de potencias de ondas incidentes y reflejadas en los puertos del DBP. En el Apéndice A se presenta la definición de los parámetros S de un dispositivo de dos puertos.

Los errores que se presentan en el analizador de redes vectorial, ARV, se pueden clasificar en dos tipos: errores sistemáticos y errores aleatorios. Los errores sistemáticos son repetitivos y no varían con el tiempo por lo que es factible su estimación. Estos errores se deben a la no idealidad de los elementos con que es construido un ARV, por lo tanto, se tienen errores en la directividad, en el acoplamiento de fuente y de carga así como en el aislamiento, entre otros [Kneppo y Fabian 1994].

Los errores aleatorios no pueden estimarse con la calibración debido a que no son predecibles [Hewlett Packard, 2002]. Estos errores tienen su origen en repetidas conexiones y desconexiones, ruido y efectos de señales espurias [Kneppo y Fabian, 1994]. Una manera de minimizar estos errores es aumentando el factor de promediado en el ARV.

Otro factor importante es la sensibilidad de estos equipos a las variaciones en la temperatura por lo que se deberán consultar las especificaciones del ARV para propiciar un ambiente adecuado durante su funcionamiento. Por ejemplo, si se realiza una calibración en cierta temperatura y se permite que ésta cambie en el momento de medir el DBP se producirán errores en la medición de la fase del DBP.

Los errores sistemáticos pueden ser evaluados completamente por medio de una calibración y de una técnica de calibración adecuadas [Kneppo y Fabian, 1994]. Existen varias técnicas para calibrar el ARV, sin embargo, en este trabajo se utilizaron sólo dos de ellas. Las técnicas de calibración también pueden estimar los errores introducidos por las bases de pruebas cuando se miden dispositivos no insertables en los puertos del ARV como son los transistores que se utilizan en esta tesis. Los resultados del análisis de las dos técnicas de calibración del ARV se expondrán en breve, así como las razones por las cuales se juzgó una de ellas como la más apropiada para nuestros propósitos.

IV.2.1 Técnicas de calibración

Las técnicas de calibración utilizan los modelos matemáticos de los estándares y los modelos de doce términos de error para modelar el AVR; de tal manera que al combinarlos

se obtienen expresiones para estimar los errores sistemáticos y los efectos de la base de pruebas sobre el DBP. Los estándares están definidos sobre la base de las características de su retardo, impedancia, atenuaciones, etc. [Hewlett Packard, 2000].

Las técnicas de calibración usualmente derivan su nombre de las iniciales de estos estándares. Los estándares más comunes son el “Thru” (línea de transmisión no reflectora para conectar dos puertos), el “Short” (línea no reflectora terminada en corto circuito), el “Open” (línea no reflectora terminada en abierto), el “Line” (línea de transmisión para conectar dos puertos de longitud mayor al “Thru”) y finalmente el “Attenuator” (atenuador).

Las técnicas de calibración que analizaremos utilizan un modelo que considera ocho términos de error [Hewlett Packard, 2000]. Además, para las dos técnicas se omiten las mediciones del aislamiento en el ARV pues el DBP es un dispositivo activo.

IV.2.1.1 Técnica de calibración TAR

La técnica TAR utiliza como estándares un “Thru”, un atenuador y un elemento reflector. El análisis de esta técnica se basa en el trabajo realizado por Inzunza González [2001]. Dichos resultados se obtuvieron mediante un programa realizado en MatLab® [Saldivar, 2004] y [Zúñiga Juárez y Reynoso-Hernández, 2005]. El procedimiento para realizar las calibraciones se describe a continuación:

1. Medición de los datos crudos (sin calibrar) del “Thru”, así como las potencias en ambos puertos del ARV HP8510C.

2. Medición de los datos crudos del atenuador.
3. Medición de los datos crudos del elemento reflector (“Short”).
4. Eliminación de los errores de conmutación de las mediciones del “Thru”, del atenuador y del elemento reflector (“Short”).
5. Aplicación del algoritmo de calibración TAR para corregir los parámetros S del DBP.

Los estándares de calibración se diseñaron e implementaron en un substrato de FR4 con tecnología de microcinta. Este substrato es fácil de adquirir y de muy bajo costo comparado con otros substratos para altas frecuencias.

IV.2.1.1.1 Diseño de los estándares de calibración TAR

El procedimiento para diseñar los estándares se describe a continuación:

1. Realizar la síntesis de los estándares en tecnología de microcinta

En la síntesis se utilizó el programa ADS de la compañía Agilent. Las líneas se diseñaron sobre un substrato de FR4 con constante dieléctrica relativa de 4.5 y grosor 1.5mm. El grosor de la película de cobre sobre el substrato es de 35 μm (1 oz.) por ambos lados y las pérdidas debidas al dieléctrico ($\text{Tan } \delta$) son de 0.015. Los estándares se diseñaron con una impedancia de 50 Ω en una frecuencia de 5 GHz. La longitud del “Thru” se definió arbitrariamente como 1000 mils, por lo tanto las líneas de transmisión para colocar el atenuador y el corto fueron de 500 mils. La anchura de las líneas fue de 110.89 mils.

2. Implementación de las líneas en un programa para diseño de tarjetas de circuito impreso (PCB)

Una vez sintetizadas las líneas, se dibujan en computadora utilizando un programa para realizar PCB. En esta etapa se deben agregar las “vías” (orificios metalizados) necesarias para conectar entre sí las capas superior e inferior del sustrato además de otras propiedades que se mencionarán en las secciones posteriores. En nuestro caso se colocan en las tierras de los conectores SMA y del atenuador. La figura 27 se muestra los estándares diseñados utilizando un programa que asiste el diseño por computadora (CAD).

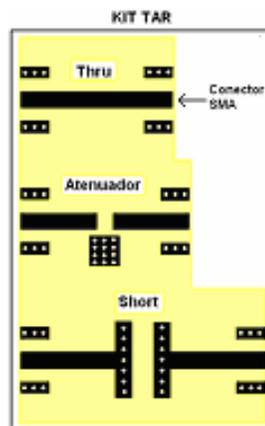


Figura 27. Kit TAR implementado en CAD

3. Simulación electromagnética de los estándares

La simulación electromagnética sirve para verificar que los estándares cumplan con ciertas condiciones, las cuales se enumeran en el trabajo de tesis de Inzunza González [2001]. En la figura 28a y 28b se muestran las pérdidas por regreso del estándar “Thru” en

formato rectangular y en carta de Smith respectivamente. En ellas se observa que el “Thru” se encuentra muy bien adaptado hasta los 10 GHz.

Por otro lado, en la figura 28c se presentan las características del elemento reflector (“Short”) y se puede observar que conforme se incrementa la frecuencia, la fase y la magnitud (las pérdidas aumentan con la frecuencia) cambian ya que elemento reflector está desplazado. Si el corto no estuviese desplazado se vería como un sólo punto en el extremo izquierdo de la carta de Smith.

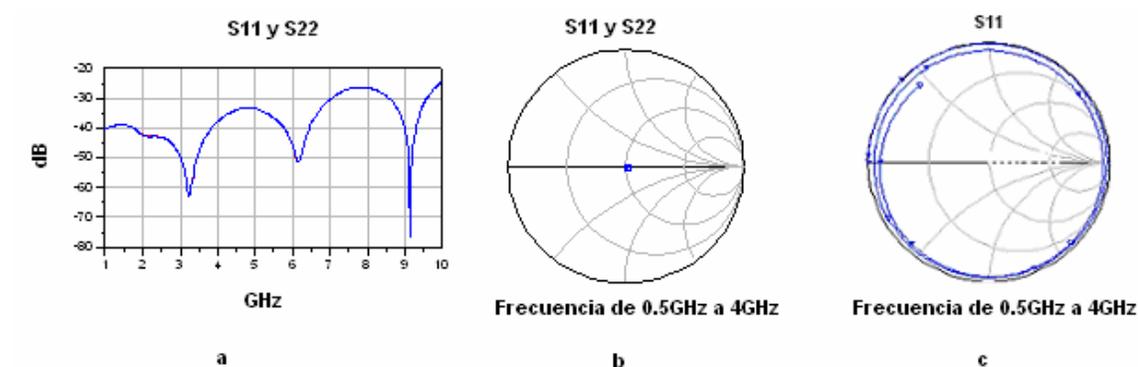


Figura 28. a) y b) Simulación electromagnética en Momentum del “ Thru” y c) del “Short”

4. Generación de los archivos *Gerber* y *NC Drill*

Una vez verificado el diseño se generan archivos *Gerber* y *NC Drill* los cuales contienen la información del tamaño y las coordenadas de cada elemento que conforma el kit de calibración, y además contienen información sobre las características de las

perforaciones. Normalmente ésta es una opción incluida en los programas de CAD para PCB. El formato utilizado para generar el archivo Gerber fue 2:5, se utilizaron las capas superior e inferior (*top, bottom*) y además una capa mecánica (*mechanical*) que sirve para delimitar el tamaño de la tarjeta del circuito impreso; el formato utilizado para las aperturas fue el RS274X.

5. Fabricación del KIT de calibración

Se envían los archivos Gerber y NC Drill a la fábrica de prototipos para su construcción. Los detalles de esta etapa dependen del fabricante por lo que es importante revisar dichos archivos antes de enviarlos.

6. **Ensamble del kit de calibración.** La colocación de los conectores tipo SMA y del atenuador es rápida y sencilla, solamente se debe tener cuidado de que el contacto con el plano de tierra sea el óptimo, es decir, evitar soldaduras “frías” o quebradizas. En la figura 29 se muestra la fotografía del kit de calibración construido y ensamblado.

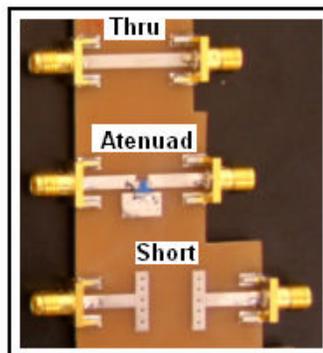


Figura 29. Fotografía del kit TAR construido

De la experiencia adquirida en realizar este tipo de kits de calibración se desprenden las siguientes recomendaciones:

El análisis y diseño de las líneas de transmisión al utilizar programas CAD y el simulador electromagnético es muy conveniente y preciso. Además, acelera la tarea de diseño ya que se toma en cuenta la mayoría de los parámetros físicos del sustrato lo que incluye las pérdidas provocadas por el cobre.

Es recomendable diseñar bibliotecas para implementar el kit de calibración en un programa CAD (paso 2) ya que son esenciales para agilizar el diseño de prototipos posteriores. Dichas bibliotecas deben tomar en cuenta las dimensiones de cada elemento y sus tolerancias, así como la cantidad y tamaño de las “vías” requeridas de acuerdo al tipo de conectores utilizados. El fabricante del PCB tiene limitantes en el tamaño de las “vías” por lo que se debe consultar dicha limitante antes de realizar el diseño.

La implementación de las “vías” es vital para reducir la longitud del lazo entre el plano de tierra y los bornes del conector. Es decir, las “vías” disminuyen las capacitancias parásitas de la discontinuidad que se presenta entre el conector coaxial y la microcinta. La falta de “vías” tiene efectos parásitos muy marcados en el desempeño del kit de calibración conforme aumenta la frecuencia.

La simulación electromagnética arroja valores muy cercanos a las mediciones, por lo tanto es recomendable realizarla después de la síntesis de los estándares y antes de construir el kit de calibración.

Cuando se realiza el ensamble de los conectores SMA con el sustrato es necesario que los extremos de las líneas de transmisión estén tan cerca del límite del sustrato como sea posible. Para esto se puede utilizar una lija muy fina y verificar dichos límites con un microscopio. Si esto no se tomara en cuenta se presentarían capacitancias parásitas en la discontinuidad, lo cual limitaría la anchura de banda útil del kit de calibración. En las pruebas realizadas se pudo observar que dependiendo de la exactitud de este procedimiento se puede incrementar hasta 900 MHz el ancho de banda del kit.

La exactitud en la fabricación de los estándares es muy importante, de lo contrario no se cumplirán las condiciones (líneas no reflectoras, simetría en los elementos reflectores, etc.) que se tomaron en cuenta en el modelo de la calibración [Inzunza González, 2001]. En este caso las tolerancias fluctuaron menos del $\pm 1\%$ respecto al ancho teórico de las líneas.

El VSWR de los estándares toma gran relevancia conforme aumenta la frecuencia de medición. De aquí se desprende la principal razón sobre la limitante del ancho de banda de un kit de calibración hecho en microcinta. La limitante principal que se encontró, en el kit de calibración TAR, hecho en microcinta, fue el VSWR del atenuador que se utilizó. En el Apéndice B se presenta la hoja técnica de dicho atenuador donde se puede observar que el VSWR aumenta con la frecuencia.

IV.3 Base de pruebas

En la caracterización de un transistor, además del kit de calibración es necesario un dispositivo en el cual podamos montar el transistor adecuadamente, y que nos permita hacer las conexiones necesarias con el instrumento de medición. Este recinto es llamado base de pruebas [Kneppo y Fabian, 1994]. La base de pruebas está formada de un substrato con dos líneas de microcinta que tienen una separación adecuada entre sus extremos internos y que depende de las dimensiones del dispositivo bajo prueba (DBP). La figura 30 presenta un ejemplo de una base de pruebas realizada en microcinta para dispositivos que no se pueden medir directamente en un analizador de redes vectorial.



Figura 30. Base de pruebas útil en la caracterización de dispositivos no insertables

Las bases de pruebas son muy útiles en la caracterización de dispositivos no insertables como es el caso del transistor NEC651R479A. Los dispositivos no insertables son aquellos que no se pueden colocar directamente en los puertos del analizador de redes vectorial (ARV) de tal manera que se requiere de la ayuda de otros dispositivos para poderlos caracterizar. En nuestro caso, la base de pruebas nos permitirá caracterizar el transistor, la cual, sin embargo, agrega pérdidas y cambios en la fase al medir el transistor.

Los errores introducidos por la base de pruebas son corregidos con la ayuda de la calibración y un procedimiento llamado desensamble (*deembedding*) en el cual se obtienen los parámetros S del DBP hasta el plano de referencia como se indica en la figura 30.

En el diseño de una base de pruebas con recinto mecánico se resalta la importancia de que los mecanismos del sistema de prueba que se utilicen en la medición, no impongan estrés mecánico al sustrato y que además la fijación del sustrato sea repetible [Kneppo y Fabian, 1994]. Además, es necesario que se coloquen las conexiones a tierra lo más cercanas a las entradas y salidas de las señales de RF que se medirán. Este tipo de base de prueba con recinto es caro y los portadores del DBP dependen del dispositivo que se va a medir.

Una forma de evitar problemas de desgaste y estrés es utilizar un sustrato como se muestra en la figura 30 en lugar de utilizar recintos mecánicos. El estrés puede llegar a eliminarse por completo, la fijación del DBP se realiza una sola vez soldando el componente a la base de pruebas, además, las conexiones a tierra son inherentes a los conectores en los extremos de la base de pruebas, son muy baratos, sencillos y rápidos de realizar.

IV.3.1 Diseño de la base de pruebas

En el diseño de la base de pruebas es necesario basarse en la longitud del “Thru” del kit de calibración, de tal manera que se respeten las consideraciones hechas por [Reynoso-Hernández e Izunza González E, 2001]. La consideración que nos compete es

que el DBP debe estar montado en líneas de transmisión no reflectoras y que tengan una longitud igual a la mitad de la línea de referencia ($L_{thru} / 2$).

La base de pruebas se debe diseñar en un sustrato con las mismas características técnicas del sustrato utilizado para construir el kit de calibración (Sección IV.2.1.1.1), preferentemente de una zona contigua a la zona donde se implementó el kit de calibración. Dicho esto, la base de prueba se diseña en un sustrato FR4 con las mismas características mencionadas en el desarrollo de kits de calibración.

Las líneas se sintetizaron en el programa ADS de la compañía Agilent y después se implementaron en un programa para diseño de PCB. La separación entre los extremos de las líneas de 50Ω a 5 GHz se tomó de la hoja técnica del transistor NEC651R479A (3.7mm) y se presenta en el Apéndice B. En la figura 31 se muestra la base de pruebas implementada en CAD.

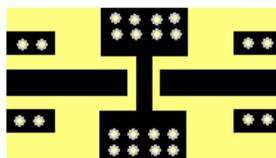


Figura 31. Base de Pruebas implementada en CAD

La figura 32 muestra la fotografía de la base de pruebas construida sobre un sustrato de FR4 como se indicó en el procedimiento de diseño.

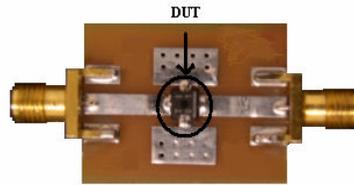


Figura 32. Fotografía de la base de pruebas para medir el NEC651R479A

IV.3.2 Verificación de las bases de prueba

Para probar la utilidad de esta base de pruebas se procedió a la medición de los parámetros S del transistor NEC651R479A en el punto de polarización $V_{DS} = 3.5V$ de tal manera que circule una corriente $I_{DS} = 50 \text{ mA}$ como se indica en la hoja técnica del mismo transistor (Apéndice B).

En la figura 33 se muestran los resultados de la medición y se puede observar claramente que las mediciones de los parámetros S medidos son diferentes a los proporcionados por el fabricante y reportados en la hoja de datos. La única excepción es el parámetro de transmisión S_{21} que sí es similar al S_{21} proporcionado por el fabricante.

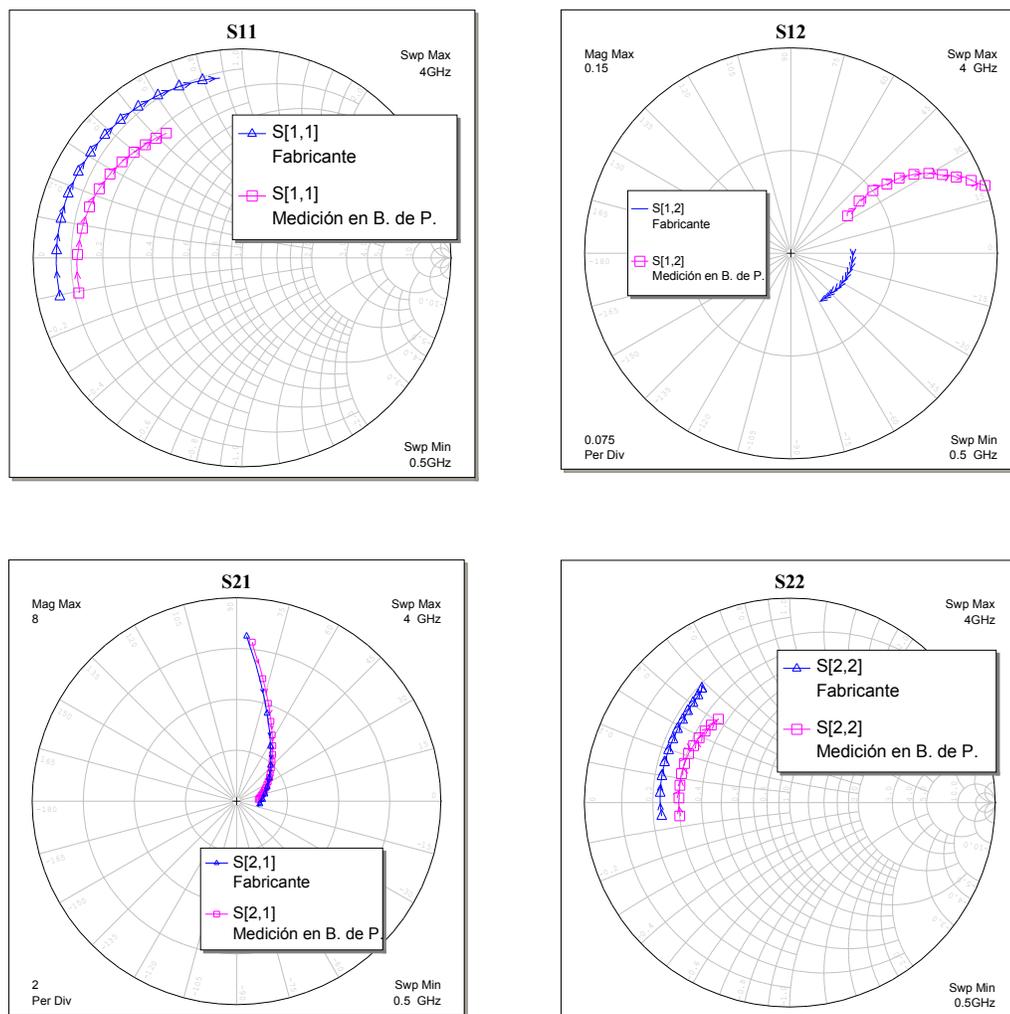


Figura 33. Parámetros S del transistor NEC651R479A medidos en la base de pruebas

Después de estudiar el problema se consideró que los errores en el S_{12} y S_{22} se presentaban por efectos de calentamiento por lo que se procedió a colocar un sistema de enfriamiento utilizando aire en movimiento (ventilador). El montaje de esta prueba se muestra en la figura 34. Los resultados no fueron lo suficientemente buenos, pues se

observó que el calor se concentraba en un área muy pequeña debajo del transistor y el aire no fue suficiente para mantener el transistor a una temperatura menor a 30°C.



Figura 34. Base de pruebas enfriada con ventilador y disipador

En la figura 35 se presenta una base de pruebas con disipadores de calor para tratar de corregir el problema. Sin embargo, esta prueba tampoco fue satisfactoria pues los disipadores no pudieron hacer contacto con el área donde se concentraba el calor con mayor intensidad (justo debajo del transistor).

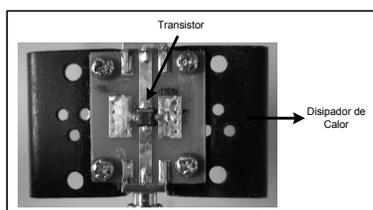


Figura 35. Base de pruebas con disipador

IV.4 Implicaciones térmicas en el diseño de la base de pruebas

Como se vio anteriormente la base de pruebas no está funcionando adecuadamente, pues con referencia a la hoja técnica del transistor sólo el parámetro S_{21} tiene la exactitud adecuada. En esta sección analizamos los problemas debidos a la falta de una correcta disipación del calor generado en el transistor y que afectan la medición correcta de los parámetros de dispersión del transistor.

IV.4.1 Conducción

La transferencia de calor puede tomar lugar por uno o más de tres modos: conducción, convección, y radiación. Cuando existe una diferencia de temperaturas, la experiencia muestra que existe una transferencia de energía de la zona más caliente a la zona con menor temperatura y se dice que energía es transferida por conducción y que la razón de transferencia de calor (q) por unidad de área (A en m^2) es proporcional al gradiente de temperatura normal [Colman J. P., 1976]. Entonces, la ecuación unidimensional de transferencia de calor en estado estable (la temperatura no cambia con el tiempo) es:

$$\frac{q}{A} = -k \frac{\partial T}{\partial x} \quad (36)$$

Donde $\frac{\partial T}{\partial x}$ es el gradiente de temperatura hacia donde fluye el calor y k es la conductividad térmica del material (que es altamente dependiente de la temperatura y se expresa en $W/m^{\circ}C$). El signo menos indica que el calor debe fluir con una pendiente

negativa (cumpliendo con el segundo principio de la termodinámica). La conductividad térmica (k) indica qué tan rápido fluye el calor en el material y para el caso de un volumen la ecuación que representa el flujo de calor es:

$$\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} + \frac{\dot{q}}{k} = \frac{\rho c}{k} \frac{\partial T}{\partial \tau} \quad (37)$$

Donde: \dot{q} es la energía generada por unidad de volumen, c es el calor específico del material, ρ es la densidad del material y τ el tiempo. Observando la ecuación (37) podemos ver que el calor se difundirá más rápido en el material si se tiene una alta conductividad térmica (k). De igual forma, un valor pequeño de la capacidad calorífica (ρc) significa que solamente una pequeña parte de la energía que se mueve a través del material será absorbida por el material [Holman, 1976].

El mecanismo de conducción de calor se lleva a cabo de dos maneras: vibración de la red cristalina (*lattice*) y por medio de electrones libres. La transferencia de calor en gases se lleva a cabo por colisiones directas entre las moléculas y su conductividad térmica es baja comparada con la mayoría de los sólidos. El flujo de calor por conducción ocurre debido a colisiones entre átomos y moléculas en la sustancia y la subsiguiente transferencia de energía cinética.

Por lo tanto, entre mejor conductor sea un material mejor será su capacidad para transferir calor. En el caso de la vibración en la red cristalina la transferencia de calor es muy pequeña comparada con la de los electrones libres [Holman, 1976].

IV.4.2 Convección

En el caso de la convección la transferencia de calor se da también por el proceso de conducción pero sólo en una capa muy delgada que se presenta en los límites de la superficie donde choca el fluido que eliminará el calor (aire, agua, etc.). Por lo tanto, se deberá calcular el valor de q con la ecuación (36) teniendo en cuenta la conductividad térmica del fluido y el gradiente de temperatura del fluido donde está colocado el elemento que se desea enfriar.

La velocidad del fluido debe tomarse en cuenta porque el gradiente de temperatura es dependiente de la razón con la que el fluido remueve el calor, es decir, una mayor velocidad del fluido producirá gradientes de temperatura mayores [Holman, 1976]. Para calcular el efecto de la convección se utiliza la ley de Newton del enfriamiento que se muestra en la ecuación (38).

$$q = hA(T_w - T_\infty) \quad (38)$$

Donde: h es el coeficiente de transferencia de calor (también se le llama conductancia de capa delgada, puesto que es donde se lleva acabo la conducción de calor) y está dada en $W/m^2\text{°C}$, T_w es la temperatura del objeto donde está colocado el elemento que se requiere enfriar y T_∞ es la temperatura del fluido con el que se pretende enfriar.

Cuando se coloca una placa caliente a temperatura ambiente y no existe una fuente que mueva el aire alrededor de la placa, el aire se moverá como resultado de los gradientes de densidad cerca de la placa. A esto se le llama convección natural, y cuando existe una

fuente que provoque un flujo se le llama convección forzada [Holman, 1976]. En la Tabla II se muestran valores aproximados del valor de h .

Tabla II. Valores aproximados del coeficiente de transferencia de calor por convección

Tipo de convección	h (W/m ² °C)
Aire libre	5-25
Aire forzado	10-500
Agua	100-15000

IV.4.3 Resistencia térmica de los materiales

En el caso de tener dos superficies en contacto A y B (como se muestra en la figura 36a, existirá una diferencia de temperatura entre cada una de las superficies (T_1 , T_2 , T_3).

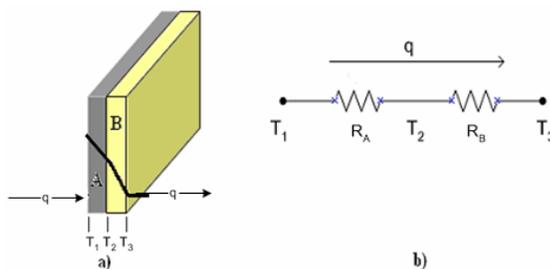


Figura 36. a) Conducción de calor a través placas en contacto; b) Circuito equivalente

Para obtener el comportamiento de todo el sistema se calculan los gradientes de cada material con la ecuación (36) y puesto que el flujo de calor debe ser igual en todas las secciones, entonces el flujo de calor dado por la ecuación (36) para la placa A y B será:

$$q = -k_A A \frac{T_2 - T_1}{\Delta x_A} = -k_B A \frac{T_3 - T_2}{\Delta x_B}$$

Resolviendo simultáneamente estas ecuaciones se tiene que el flujo de calor a través de las dos placas está dado por:

$$q = \frac{T_1 - T_3}{\Delta x_A / (k_A A) + \Delta x_B / (k_B A)} \quad (39)$$

Donde Δx_A y Δx_B son los grosores de la placa A y B respectivamente. Si la tasa de transferencia de calor, q , se considera como flujo y la temperatura como el potencial para que fluya el calor, entonces la ecuación (39) se puede expresar como la relación entre dicho potencial (ΔT) y el flujo (q) como sigue:

$$q = \frac{\Delta T}{R_{th}} \quad (40)$$

Donde R_{th} es la resistencia térmica dada por: $\Delta x_A / (k_A A) + \Delta x_B / (k_B A)$. El circuito equivalente se muestra en la figura 36b.

La aplicación en el diseño de bases de prueba de este tipo de mecanismos de conducción y resistividad es muy importante, y la necesidad de disipar el calor estuvo presente en el diseño de la base de pruebas anterior. Si al diseño anterior agregamos una placa de cobre como disipador de calor en el plano de tierra entonces, tendremos tres superficies en contacto: el transistor, el substrato y la placa de cobre como elemento disipador.

En la base de pruebas el transistor actúa como una fuente de calor (debido al flujo de corriente en el semiconductor) que hace contacto con una pieza de metal colocada en la

parte inferior del dado semiconductor. La figura 37 muestra la vista del inferior del transistor NEC651R479A donde se realiza el contacto con la tierra. Esto sirve para extraer el calor del interior del mismo y transferirlo a otro medio.

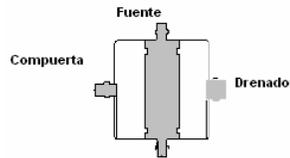


Figura 37. Vista del plano inferior del transistor

Esta pequeña pieza de metal, a su vez, se coloca sobre una tira de cobre de tal manera que el calor entregado por el transistor se transmita hacia la sección donde se encuentran las “vías” que se conectan con el plano de tierra, donde se espera disipar el calor. Las figuras 34 y 35 muestran los detalles de dicha base de pruebas.

En la base de pruebas construida hasta el momento (figura 35) la tira de cobre donde se coloca el transistor no es capaz de drenar la excesiva cantidad de calor que se genera en el transistor, por lo tanto, podemos decir que la resistencia térmica, R_{th} , del sistema es muy grande y no se alcanza a transferir adecuadamente el calor a una superficie de mayor tamaño como lo es el plano de tierra.

IV.4.4 Corrección del efecto de calentamiento

En base a la teoría expuesta en la sección anterior se propone como solución un nuevo diseño de la base de pruebas. La diferencia esencial con la base de pruebas anterior radica en que las “vías” serán colocadas debajo del transistor y además agregaremos mayor

área y “vías” de cobre en la capa superior de las bases de pruebas con diferentes configuraciones. La figura 38 muestra la fotografía de las bases de prueba que se construyeron.

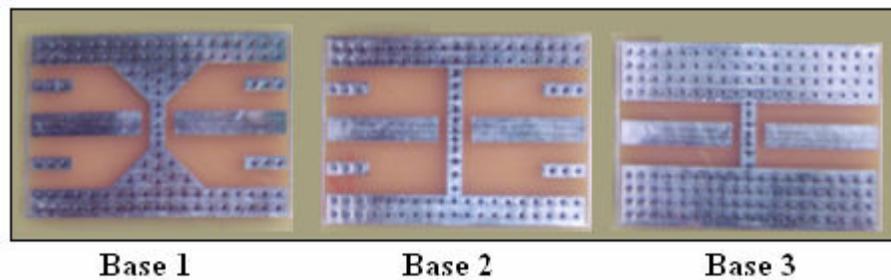


Figura 38. Fotografía de las bases de pruebas para el transistor NEC651R479A

Después de colocar el transistor y los conectores SMA en los extremos de las bases de pruebas se realizaron las pruebas pertinentes. Las pruebas se llevaron a cabo bajo las condiciones de laboratorio a una temperatura ambiente de 21°C y se utilizó la técnica de calibración TAR para corregir los parámetros S del transistor montado en la base de pruebas (polarizándolo con un potencial $V_{\text{DS}} = 3.5\text{V}$ y una corriente $I_{\text{DS}} = 50\text{mA}$). Finalmente, las mediciones se compararon con los datos de la hoja técnica del transistor.

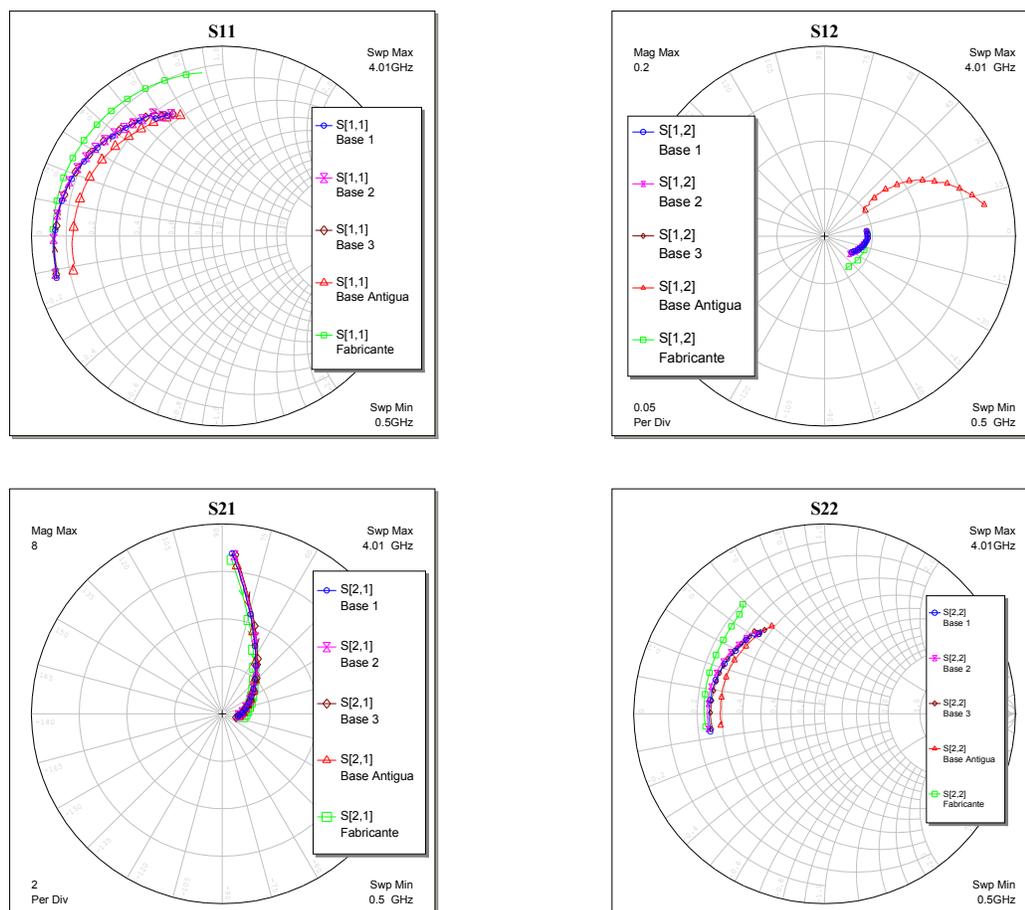


Figura 39. Parámetros S medidos del transistor NEC651R479A sobre diferentes bases de pruebas

En la figura 39 se muestran los parámetros S medidos y los proporcionados por el fabricante donde se observa claramente que los errores en la medición de parámetros S disminuyeron de manera importante, especialmente el S_{12} lo que indica que la colocación de “vías” debajo del transistor mejora el aislamiento entre los puertos. El error prácticamente se elimina para las frecuencias desde 0.5 GHz hasta 1.2 GHz, pero el

problema persiste en altas frecuencias. Para disminuir esta discrepancia se propone utilizar la técnica de calibración TRL multilíneas.

Antes de proceder con el diseño y fabricación del nuevo kit de calibración se presentarán los detalles teóricos que deberán considerarse en el diseño térmico de las bases de prueba.

IV.4.5 Explicación del fenómeno térmico en la base de pruebas

Como se vio anteriormente el concepto de resistencia térmica se basa en el flujo de calor a través de un área transversal que produce una diferencia de temperaturas. Entre las diferentes capas de un transistor encapsulado, montado sobre un substrato y un disipador de calor (mostrado en la figura 40) existen varias trayectorias por donde fluye el calor cuando pasa una corriente a través del transistor.

Los transistores de mediana potencia normalmente tienen una terminal en el encapsulado que tiene mayor área que los demás (la fuente en este caso), esta terminal tiene contacto directo con la juntura del dado del transistor, de tal manera que el calor generado en el semiconductor sea expelido para evitar que el semiconductor sufra daños debido a las altas temperaturas. Los dispositivos hechos con GaAs son más tolerantes a altas temperaturas en la juntura que los de silicio, sin embargo, el GaAs tiene aproximadamente un tercio de la conductividad térmica del silicio [Anadigics, 2003].

En cada capa mostrada en la figura 40 se presentan diferentes temperaturas de acuerdo a la ruta de evacuación de calor y por lo tanto existirán resistencias térmicas

asociadas a cada capa [Sirenza Microdevices, 2002] y [Anadigics, 2003]. La figura 41 muestra un circuito con las resistencias térmicas de las capas mostradas en la figura 40 y las trayectorias que sigue el flujo de calor.

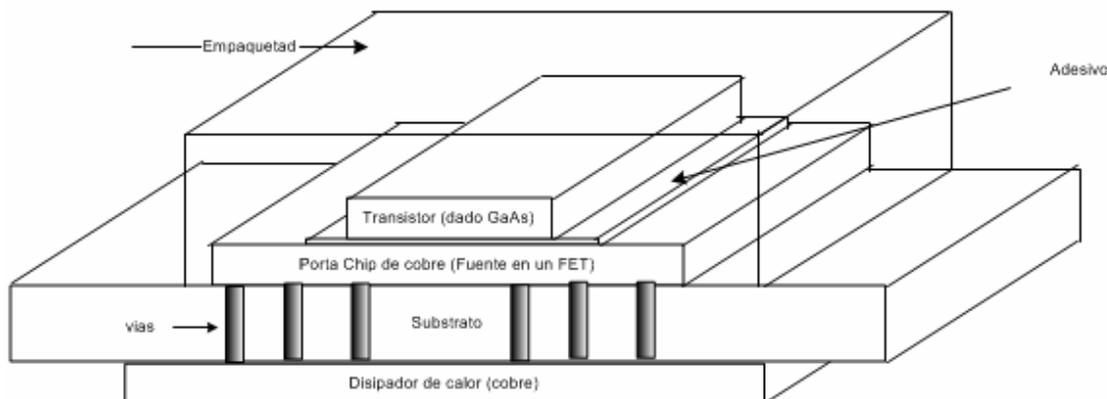


Figura 40. Estructura del montaje de un transistor sobre un sustrato con disipador

IV.4.5.1 Rutas de escape del calor en la base de pruebas

Como se puede observar en la figura 41 existen dos rutas por las cuales se disipa el calor que se genera dentro de transistor. La ruta de la izquierda (ruta de alta resistencia térmica) muestra el camino que toma el calor cuando éste tiende a salir por el empaquetado. Así pues, la energía calorífica se transmite primeramente por conducción entre la junta del dado del semiconductor y el empaquetado; finalmente el calor fluye a través del empaquetado hasta llegar al aire por el mecanismo de convección. Generalmente, en transistores de mediana potencia esta ruta no permite un buen manejo de la transferencia de calor pues su resistencia térmica es grande, por lo tanto no la tomaremos en cuenta en los cálculos para el diseño térmico.

Por otro lado, la ruta predominante por donde fluye el calor generado en el semiconductor debido al flujo de corriente se da hacia la parte baja del transistor. La ruta predominante se muestra en la parte derecha de la figura 41 y está en paralelo con la ruta del empaquetado mencionada anteriormente.

En la ruta predominante el calor fluye desde la junta del transistor a través del trozo de metal conectado a la fuente (S) del transistor, después pasa por el PCB (utilizando “vías” metalizadas) hasta el plano de tierra. La transferencia continúa hacia el dissipador de calor y finalmente por convección se trasmite al aire circundante [Sirenza, 2002].

El contacto entre la terminal de la fuente del transistor y la unión del transistor se muestra en la figura 41 como $R_{th \text{ union-terminal}}$ más la resistencia $R_{th \text{ terminal-pcb}}$. La suma de estas resistencias es parte de la información técnica que brinda el fabricante en la hoja de datos del transistor y se le llama resistencia térmica de canal-empaquetado, para el transistor NEC651R479A $R_{th} = \theta_c = 30^\circ\text{C/W}$.

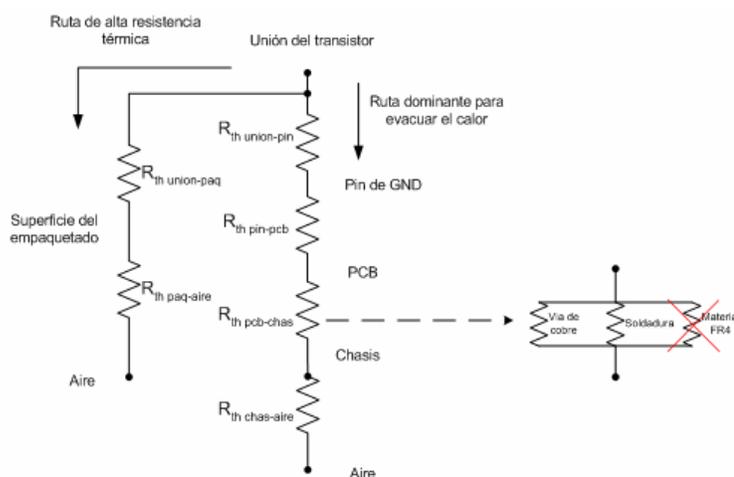


Figura 41. Representación de los efectos térmicos en la base de pruebas

La resistencia entre la terminal del transistor y el plano de tierra de la base de pruebas también presenta una resistencia térmica que le llamaremos $R_{th\text{ pcb-chas}}$. En el caso de un PCB que cuenta con “vías” para transmitir el calor hacia el plano de tierra la resistencia térmica total está formada por 3 rutas resistivas. La primera ruta es a través de las “vías” de cobre, la segunda pasa por la soldadura que rellena los huecos de las “vías” y finalmente la tercera ruta se presenta a través del material del sustrato.

La última ruta se puede ignorar pues tiene muy poca conductividad térmica y su efecto es despreciable. Por lo tanto, la resistencia térmica $R_{th\text{ pcb-chas}}$ estará formada por tres resistencias térmicas en una configuración en paralelo como se muestra en la figura 41 [John Tobias et al. 2003].

IV.4.5.2 Cálculo de la R_{th} del sustrato con “vías”

Para realizar el cálculo de la resistencia $R_{th\text{ pcb-chas}}$ nos basaremos en la figura 42 en la que se muestra un corte transversal de un sustrato de FR4 con grosor Δx . Las “vías” se realizaron con cobre y el hueco se rellenó con soldadura SnPb.

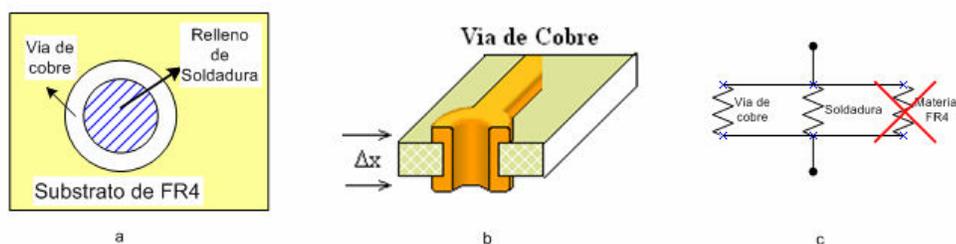


Figura 42. a) Vista superior del sustrato y vía; b) corte transversal del sustrato y vía; c) circuito equivalente

En base a la ecuación (40) sabemos que la resistencia térmica depende directamente de la distancia que recorre el calor transferido (Δx) y es inversamente proporcional a la conductividad térmica (k) y al área transversal (A) por donde pasa la energía calorífica, es decir, $R_{th} = \frac{\Delta T}{q} = \frac{\Delta x}{kA}$. En el caso de una vía hecha con cobre, rellena con soldadura se tiene el circuito equivalente mostrado en la figura 42c donde la resistencia del substrato FR4 se desprecia porque su conductividad es muy baja.

En este caso el valor de Δx es el grosor del substrato FR4, $\Delta x = 1.5\text{mm}$. La conductividad térmica para el cobre y la soldadura es $k_{cu} = 0.390 \text{ W/mm}^\circ\text{C}$ y $k_{sld} = 0.035\text{W/mm}^\circ\text{C}$ respectivamente obtenidos del trabajo presentado por Holman [1976]. En base a la configuración en paralelo de las resistencias térmicas, la resistencia equivalente está dada por [Holman, 1976 y John Tobias, 2003]:

$$R_{th \text{ pcb-chas}} = R_{cu} // R_{sld} = \frac{\Delta x}{k_{cu} A_{cu} + k_{sld} A_{sld}} \quad (41)$$

En donde A_{cu} y A_{sld} son las áreas transversales de la “vía” de cobre y de la soldadura respectivamente. El área transversal depende de la longitud de la vía (1.5mm) y del diámetro de la vía. Las “vías” de cobre que se implementaron en las bases de prueba tienen un diámetro de 0.4318 mm (13 mils) y el grosor de la vía es: $z = 38 \mu\text{m}$. Por lo tanto, tenemos que la resistencia térmica para una sola vía está dada como sigue:

$$k_{cu} = 0.390\text{W/mm}^\circ\text{C}$$

$$A_{cu} = 2 * \pi * r * z = 2\pi \frac{0.4318}{2} * 0.038 = 0.05154 \text{ mm}^2$$

$$k_{cu} * A_{cu} = 0.02010 \text{ W/mm}^\circ\text{C}$$

$$k_{sld} = 0.035 \text{ W/mm}^\circ\text{C}$$

$$A_{sld} = \pi * r^2 = \pi \left(\frac{0.4318}{2} \right)^2 = 0.1464 \text{ mm}^2$$

$$k_{sld} * A_{sld} = 0.005125 \text{ W/mm}^\circ\text{C}$$

$$R_{th \text{ pcb-chas}} = \frac{1.5}{0.02010 + 0.005125} = 59.46^\circ\text{C/W}$$

La resistencia térmica total hasta el momento es la suma de la $R_{th \text{ union-terminal}}$, $R_{th \text{ terminal-pcb}}$ y $R_{th \text{ pcb-chas}}$ y está muy cercana a los 90°C/W . Para disminuir $R_{th \text{ pcb-chas}}$ es necesario colocar debajo del transistor tantas “vías” como sea posible.

Si consideramos que el calor se transmite uniformemente desde el transistor hacia el substrato y se considera que existen 7 “vías” debajo del transistor (como es el caso de nuestro diseño) entonces el valor de la resistencia $R_{th \text{ pcb-chas}}$ disminuirá inversamente proporcional a la cantidad de “vías”, por lo tanto $R_{th \text{ pcb-chas}}$ será de 8.49°C/W . Con estas siete “vías” bajo el transistor la resistencia será de 38.49°C/W . Cabe mencionar que la mayor parte del trabajo para conducir el calor hacia el plano de tierra lo realizan las “vías” de cobre.

Con esta resistencia térmica se pueden calcular los incrementos de temperatura en la juntura del transistor en función del punto de polarización del transistor. Por ejemplo, si se considera el peor de los casos, donde la potencia de salida de RF es cero, entonces toda la potencia se disipará en el transistor.

De esta manera si el transistor está polarizado con $V_{DS} = 6.0V$ y fluye una corriente $I_{DS} = 1 A$, la potencia que tendrá que disipar el transistor es de $6W$. El incremento en temperatura que se producirá debido a la resistencia de las “vías” en el substrato es: $\Delta T_{pcb} = 8.49 * 6 = 50.94^{\circ}C$. Esta temperatura se suma con la temperatura de empaquetado que se expondrá posteriormente.

IV.4.5.3 Cálculo de la resistencia térmica del disipador

En el caso de que la base de pruebas no pueda disipar el calor adecuadamente se puede colocar un disipador en el plano de tierra de la base de pruebas. En nuestro caso se colocó un disipador de cobre con un grosor Δx de $2.04mm$ y un área, A_{dis} , de $18.3 * 20.8 mm^2$. La resistencia térmica del disipador, $R_{th\ dis}$, está dada por $\Delta x / k_{cu} A_{dis} = 0.01374^{\circ}C/W$. Por lo tanto, el disipador de calor de cobre prácticamente no incrementa la resistencia térmica gracias a su alta conductividad térmica, es decir, disipa el calor rápidamente.

IV.4.5.3 Efectos de aplicar convección forzada de aire

Finalmente, si consideramos la convección forzada de aire por un ventilador, entonces (basados en la ecuación (38)) la resistencia de convección está dada por:

$$R_{thconv} = \frac{1}{hA} \quad (42)$$

De acuerdo a la Tabla II el valor de h utilizando la convección forzada con aire varía de 10 a 500 W/m²°C. De acuerdo a las dimensiones de la base de pruebas el área que está expuesta al flujo de aire es de: $A_{conv} = 30.03 \times 21.7 \text{ mm}^2$, por lo tanto, de acuerdo a la ecuación (42) la resistencia térmica de convección fluctuará entre 0.0031 y 0.1534 °C/W. Cualquiera de los valores en este intervalo son muy pequeños y no se reflejan fuertemente en la resistencia térmica total.

De lo anterior se puede concluir que las resistencias térmicas más importantes son la resistencia térmica del transistor y la resistencia térmica del sustrato con “vías” rellenas de soldadura. Finalmente, el diseño térmico dependerá básicamente de la R_{th} del transistor y la colocación de “vías” en el sustrato (debajo del transistor) para disminuir la resistencia térmica total de la base de pruebas. De lo anterior podemos concluir que el transistor podrá disipar el calor de una forma eficiente durante la medición de sus parámetros S evitando sobrecalentamientos que lo dañen.

IV.4.6 Disipación total de potencia y resistencia de empaquetado

En cada transistor la capacidad para disipar potencia es diferente, y es dependiente de la temperatura de empaquetado que abreviaremos como T_c . Dicha temperatura se define como la temperatura que existe en el porta-chip de cobre (terminal en la fuente del transistor) durante el funcionamiento del transistor [Anadigics, 2003 e Infineon, 2002]. La

dependencia de la potencia total respecto a la temperatura del empaquetado se muestra en la figura 43 y fue tomada de la hoja técnica del NEC651R479A.

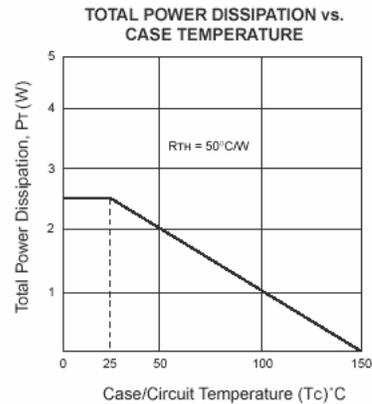


Figura 43. Disipación total de potencia en función de la temperatura T_c

Esta potencia está dada por el fabricante en función de T_c ya que el fabricante no conoce las condiciones de la resistencia térmica de la aplicación final [Infineon, 2000]. La pendiente de la recta en la figura 43 indica la resistencia térmica entre la junta del dado y el empaquetado.

Al observar la gráfica 43 vemos que se puede disipar una potencia máxima en el transistor de 2.5 W cuando la temperatura de empaquetado es menor a 25°C y después disminuye con una pendiente $R_{th} = 50^\circ\text{C}/\text{W}$ hasta que la capacidad para disipar potencia es nula ($T_c = 150^\circ\text{C}$).

Una temperatura de empaquetado típica en los transistores de mediana potencia es de 85°C, y de acuerdo al análisis en la sección IV.4.5.2 se espera un incremento en la temperatura de empaquetado de $\Delta T_{pcb} = 50.94^\circ\text{C}$ (debida al substrato y sus “vías”), por lo

tanto, el transistor trabajará a una temperatura de 135.94°C . Así que es importante tener mucha precaución ya que la capacidad para disipar potencia, de acuerdo a la figura 43, es menor a 0.5 W. Cabe recordar que este cálculo se realizó suponiendo cero potencia de salida (el peor de los casos en un amplificador clase A), así que si el transistor genera potencia de salida se puede esperar una disminución en la temperatura de empaquetado y por lo tanto un incremento en la capacidad para disipar potencia [Anadigics, 2003].

Es importante mencionar que el diseño térmico en las bases de prueba es muy importante para evitar daños permanentes en el transistor debido a las altas temperaturas y además se puede obtener una caracterización precisa del transistor de mediana potencia.

IV.4.7 Técnica de calibración TRLm

Como se observa en la figura 39, los parámetros S del transistor mejoran significativamente (respecto a la figura 33) cuando se toman en cuenta los efectos térmicos que se presentan durante la medición de los parámetros S. Sin embargo, la discrepancia de estos parámetros, respecto a la hoja técnica que proporciona el fabricante, sigue presente. Por ello optamos por la técnica de calibración TRLm para evitar el problema del VSWR del atenuador.

La técnica de calibración TRLm, es una técnica de calibración que consta de una línea de referencia (T), un elemento reflector (R) y finalmente un conjunto de líneas (Lm). Estos estándares se miden en un ARV y los datos medidos se utilizan para estimar los errores sistemáticos. Los algoritmos para realizar esta calibración se basan en el trabajo

realizado por Inzunza González [2001]. Al igual que la técnica TAR dichos algoritmos están realizados en los programas de Saldivar, [2004] y Zúñiga Juárez y Reynoso-Hernández, [2005].

El kit de calibración TRLm diseñado por medio de un programa de CAD para PCB se presenta en la figura 44. Este kit consta de una línea de referencia (no reflectora), cinco líneas no reflectoras adicionales de diferente longitud (L1, L2, L3, L4, L5) y de un elemento reflector en corto circuito y desplazado.

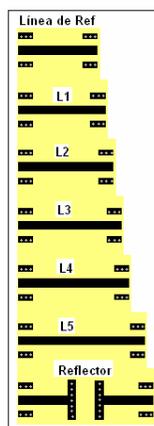


Figura 44. Kit de calibración TRLm diseñado con CAD

El procedimiento de calibración es muy similar al kit de calibración TAR. Primero se realizan las mediciones de datos “crudos” de la línea de referencia (línea más corta), así como las potencias de las ondas incidentes y reflejadas con el ARV y se corrigen los errores de conmutación en el ARV. Después se miden los parámetros S de los estándares L1, L2, L3, L4, L5 y el elemento reflector y se corrigen los errores de conmutación. Finalmente, se calibra con la técnica TRLm introduciendo los datos medidos de los

estándares en el programa computacional. El substrato utilizado para la realización del kit de calibración TRLm fue FR4 y tiene las mismas propiedades que el utilizado en el kit TAR.

Antes de la realización del kit se realizó la simulación electromagnética de los estándares, con la cual se verificó que las líneas no fueran reflectoras. Después de dicha verificación se construyó y ensambló el kit de calibración; una fotografía de este se muestran en la figura 45.

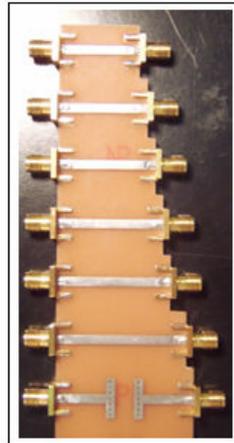


Figura 45. Fotografía del KIT de calibración TRLm construido

En comparación con el kit TAR éste es más sencillo y rápido de implementar en programas CAD para PCB, pero se requiere de mayor tiempo para su implementación por la cantidad de estándares que contiene. Para el diseño e implementación se deberán considerar las precauciones mencionadas en el diseño y construcción del kit TAR como se indicó en la sección IV.2.1.1.1.

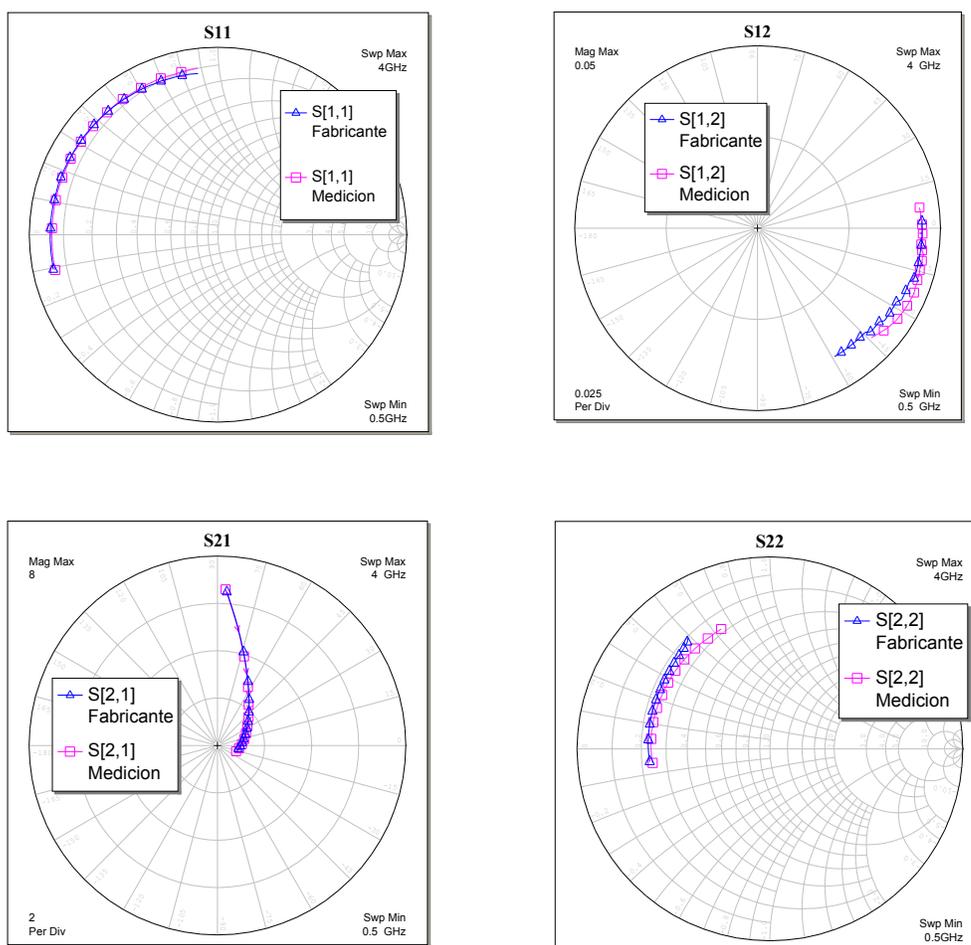


Figura 46. Parámetros S del transistor NEC651R479A calibrados con TRLm $V_{ds} = 3.5V$, $I_{ds} = 50mA$. Utilizando la base 2 de la figura 38.

La validación del kit de calibración se llevó a cabo midiendo los parámetros S del transistor HJFET NEC651R479A montado en su base de pruebas. Los parámetros S corregidos con la técnica de calibración TRLm se comparan con los parámetros S reportados en la hoja técnica que proporciona el fabricante. La figura 46 muestra los resultados de dichas mediciones después de calibrar con la técnica TRLm y realizar el

proceso de desensamblado. Como se puede apreciar en la figura 46 la discrepancia, entre los parámetros S del transistor medidos y los proporcionados por el fabricante, se ha corregido cuando se utiliza la técnica de calibración TRLm.

IV.4.8 Conclusiones

El diseño y fabricación de los kits de calibración en tecnología de microcinta es un procedimiento sencillo y relativamente rápido, además de tener bajo costo. La calidad de los estándares de calibración determina el intervalo de frecuencias para el cual será útil la calibración. La técnica de calibración TRLm resultó ser más apropiada que la técnica de calibración TAR, en el cual el VSWR del atenuador es muy alto.

Las “vías” juegan un papel determinante tanto en los kit de calibración como en las bases de prueba para aumentar la anchura de banda del kit de calibración. Además, las “vías” disminuyen la longitud del lazo a tierra permitiendo tener mejores aislamientos entre los puertos del transistor. Es importante mencionar que las “vías” son esenciales para transmitir rápidamente el calor generado en el transistor hacia el aire ya que permiten disminuir la resistencia térmica del substrato.

El uso de un disipador de calor y flujo de aire en la base de pruebas permite efectuar mediciones precisas ya que el efecto parásito del calor se minimiza. Las consideraciones térmicas son de vital importancia para la caracterización de transistores de mediana potencia.

CAPÍTULO V MODELADO NO LINEAL

V.1 Introducción

En los últimos años los avances logrados en los paquetes de programación utilizados en el diseño por computadora (CAD) han permitido que los paradigmas en el desarrollo de la tecnología tomen nuevos rumbos. La capacidad de procesamiento de las computadoras ha permitido aplicar modelos matemáticos más complejos para describir el comportamiento de algún fenómeno o sistema. El desarrollo de modelos matemáticos en microondas ha permitido que los tiempos para realizar un diseño y sus costos se reduzcan dramáticamente.

El uso de los transistores en el área de la RF y de las microondas se ha incrementado desde la aparición de transistores PHEMTS construidos con Arsenuro de Galio (GaAs) que tiene una frecuencia de operación mayor que otras tecnologías, como por ejemplo la tecnología de Silicio. Con ello, el desarrollo de modelos matemáticos para los transistores de microondas en diferentes condiciones de operación ha permitido la obtención de diseños más exactos.

En este capítulo se describe el procedimiento para modelar los transistores PHEMT de mediana potencia, su utilidad y el procedimiento para obtener todos los elementos del modelo mediante mediciones.

V.1.1 Importancia del modelado

Para modelar el transistor se utiliza un circuito equivalente, el cual es muy importante en el proceso de diseño de circuitos en programas de CAD. La importancia radica en que las corrientes y los potenciales en los nodos y mallas dependen del valor que tienen los elementos del circuito equivalente, por lo tanto, estos afectan los cálculos cuando se realizan simulaciones con el análisis de corriente directa y balance armónico.

Este circuito equivalente es posible aplicarlo a sistemas de mayor complejidad tales como, amplificadores, osciladores, multiplicadores de frecuencia, etc. La exactitud de dicho modelo dependerá de la exactitud de las técnicas de extracción de los elementos que forman el modelo.

La ventaja de utilizar el modelado del tipo circuito equivalente en el diseño de amplificadores conmutados es que permite predecir el comportamiento de la potencia de salida, la PAE, la ganancia, las corrientes y potenciales en cualquier punto del amplificador, el punto de compresión del transistor, además es posible realizar el análisis de balance armónico, load-pull, etc. Todo esto contrasta de gran manera con los métodos que se revisaron en el capítulo III, donde el transistor se modela como un simple conmutador ideal. Esto trae como consecuencia que sólo se puedan predecir valores como el de la potencia de salida y la eficiencia pero con mayor incertidumbre.

Los valores de los elementos del circuito equivalente se extraen en base a mediciones eléctricas del transistor en régimen estático y en régimen dinámico. Por lo

tanto, si las mediciones y los modelos que se utilizan son precisos, entonces los procedimientos de optimización podrían llegar a evitarse.

Por otro lado, una de las ventajas que se obtienen cuando se modela con el circuito equivalente es que el valor de sus elementos es independiente de la frecuencia y esto permite extrapolar (en la simulación) a frecuencias mayores a la que se midió y conservar una muy buena exactitud. Además, los elementos intrínsecos del modelo (que se definen en la sección 2.1 de este capítulo) son dependientes de los potenciales de polarización del transistor, lo que implica que para modelar el transistor en régimen no lineal es necesario efectuar mediciones de parámetros S en diferentes puntos de potenciales de polarización. Sin embargo, con el modelado que utiliza el circuito equivalente, todo este conjunto de mediciones se puede reducir al cálculo de 13 elementos independientes de la frecuencia [Berroth y Bosch, 1990].

V.2 Modelado de transistores

La estructura física de un transistor PHEMT (transistor pseudomórfico de alta movilidad electrónica por sus siglas en inglés) se muestra en la figura 47. Las heterouniones están formadas por uniones de diferentes tipos de materiales y con diferentes anchuras de banda prohibida. Dicha figura muestra que el transistor tiene tres terminales: la compuerta que es una barrera Schottky (G), el drenador (D) y la fuente (S) que son contactos óhmicos. El funcionamiento de un transistor PHEMT, a grandes rasgos, se puede ver como una fuente de corriente controlada por potencial en las terminales de compuerta-fuente (V_{gs}) y drenador-fuente (V_{ds}).

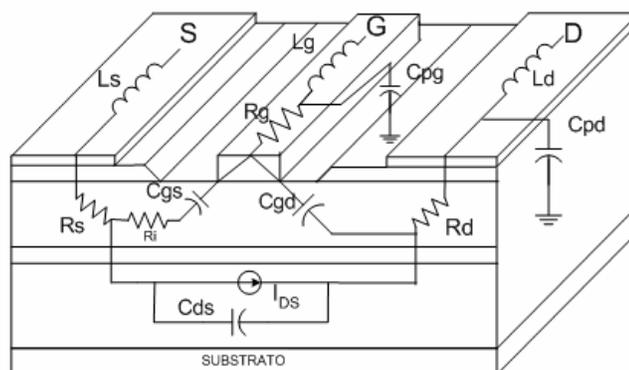


Figura 47. Estructura de un transistor PHEMT

V.2.1 Elementos del modelo

El comportamiento de un transistor PHEMT se puede modelar con la ayuda de la topología de circuito mostrada en la figura 48. El origen de los elementos del circuito se indica en la figura 47 y se muestran sobrepuestos en la zona donde estos se originan.

Los elementos R_g , R_s y R_d , representan las resistencias de las regiones neutras del canal semiconductor y los contactos óhmicos. De igual manera L_g , L_s y L_d representan las inductancias parásitas en dichos componentes.

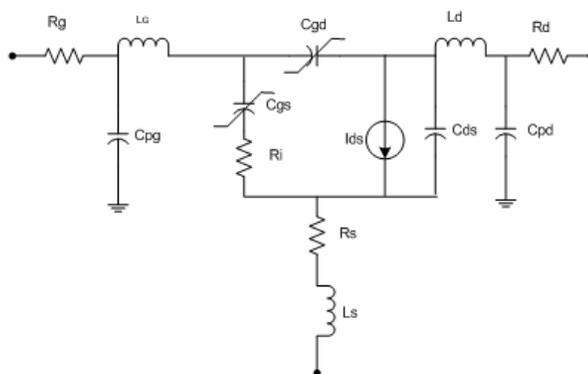


Figura 48. Circuito eléctrico equivalente para modelar el transistor PHEMT

Los elementos C_{pg} , C_{pd} representan las capacitancias que existen entre los contactos óhmicos de compuerta-tierra y drenador-tierra respectivamente. Todos estos elementos se conocen como elementos parásitos extrínsecos y son independientes del potencial de polarización del transistor. [Rangel Patiño, 1994].

Los elementos restantes se conocen como elementos intrínsecos y son dependientes del potencial de alimentación. Los capacitores C_{gs} y C_{gd} representan las capacitancias de la zona de deserción bajo la compuerta y son no lineales, además tienen una dependencia respecto a V_{gs} y V_{ds} . Las no linealidades de estas capacitancias están fuera del alcance de esta tesis y sólo consideraremos la mayor no linealidad, que es la fuente de corriente I_{ds} .

El parámetro R_i es la resistencia que presenta la estructura de canal. C_{ds} es la capacitancia entre las terminales de drenador y fuente. La fuente de corriente I_{ds} representa la corriente total que pasa por el canal y es dependiente de los potenciales V_{gs} y V_{ds} .

V.3 Extracción de los elementos del modelo

En el grupo de microondas del CICESE (Centro de Investigación Científica y de Educación Superior de Ensenada) se han desarrollado trabajos referentes a la extracción de los elementos del modelo mostrado en la figura 48. Por esta razón utilizaremos dichos trabajos como herramientas para la caracterización de transistores. Para obtener mayores detalles al respecto se puede consultar la tesis realizada por Rangel Patiño [1994] y otros artículos que se mencionarán en su debido tiempo.

Por otro lado, se utilizará el programa LMMIFET para realizar la extracción de los elementos del modelo de una forma rápida y efectiva [Zúñiga Juárez y Reynoso-Hernández, 2004]. Sin embargo, los trabajos antes mencionados tratan sobre la caracterización de transistores de pequeña señal por lo que serán necesarias pequeñas adecuaciones en dicho programa que se explicarán posteriormente en este capítulo.

La técnica de extracción de los elementos utiliza mediciones en corriente directa y RF del dispositivo (transistor), bajo configuraciones particulares, con las que se obtienen los datos necesarios para determinar el valor de los elementos del modelo. Estas configuraciones son llamadas: directa, inversa y de polarización normal (V_{gs} y V_{ds} al mismo tiempo) [Rangel Patiño, 1994]. Con las dos primeras configuraciones se extraen datos para obtener los elementos extrínsecos, y con la última, los intrínsecos. Una descripción detallada del análisis para extraer estos elementos se puede encontrar en los trabajos de Dambrine et al [1988], Berrot y Bosch [1990] y Reynoso-Hernández et al [1996].

V.3.1 Extracción de las resistencias e inductancias parásitas

Para la extracción de las resistencias e inductancias extrínsecas (parásitas) se utilizaron mediciones en régimen dinámico [Reynoso-Hernández et al, 1996] las cuales requieren de la medición de los parámetros S del transistor y por lo tanto, se requiere de una calibración previa del ARV. Esta calibración se lleva a cabo como se indicó en la sección 4.7 del capítulo IV. Es preciso hacer notar que al calibrar el ARV se deben incluir los circuitos de polarización (T-Polar) de tal manera que se tengan en cuenta sus

contribuciones al determinar los errores sistemáticos. Las potencias en los puertos 1 y 2 del ARV fueron de 0 dBm, no se utilizaron atenuadores en ninguno de los puertos y las extensiones de tiempo son cero.

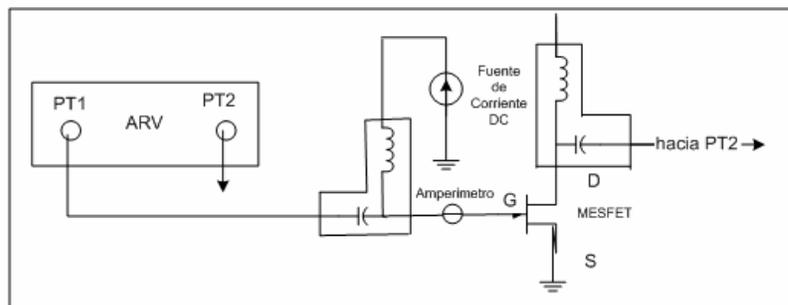


Figura 49. Configuración para medir las resistencias e inductancias extrínsecas

Con las mediciones en régimen dinámico se obtienen los parámetros S mientras se polariza la compuerta-fuente en directa y el drenador se mantiene flotante [Reynoso-Hernández et al, 1996]. La corriente se aumenta hasta que el parámetro S_{11} presente un comportamiento completamente inductivo. De esta manera desaparece el efecto capacitivo del transistor y los parámetros S contienen solo efectos resistivos e inductivos del mismo.

En base a la experiencia con transistores de mediana potencia es recomendable que la corriente que pasa por la compuerta-fuente sea aproximadamente de 80 a 93 % de la corriente máxima que soporta el transistor en el diodo de compuerta-fuente. Dicha corriente normalmente es un dato proporcionado por el fabricante del transistor. Para extraer R_g es necesario tomar al menos diez mediciones con diferentes corrientes en las terminales compuerta y fuente.

Finalmente, después de realizar las mediciones, la calibración y el desensamblado de los efectos de la base de pruebas sobre las mediciones, se extraen las resistencias extrínsecas (R_g , R_d y R_s) utilizando las partes reales de los parámetros Z y de las partes imaginarias se calculan las inductancias extrínsecas (L_g , L_s y L_d) [Reynoso-Hernández et al., 1996]. Los resultados obtenidos utilizando el programa LIMMIFET se muestran en la Tabla III.

Tabla III. Elementos extrínsecos obtenidos con mediciones en régimen dinámico

Resistencias e inductancias extrínsecas del NEC651R479A					
Rg	Rs	Rd	Lg	Ls	Ld
1.894 Ω	0.203 Ω	0.424 Ω	1320.33 pH	63.68 pH	1343.25 pH

V.3.2 Extracción de las capacitancias parásitas

Para obtener el valor de las capacitancias parásitas C_{pg} y C_{pd} es necesario realizar la medición de los parámetros S del transistor con el drenador y la fuente cortocircuitados a tierra y polarizando el transistor de tal manera que $V_{gs} \ll V_p$ (V_{gs} debe ser al menos 2 veces menor que el potencial de oclusión, V_p).

Al igual que en la extracción de las resistencias e inductancias en régimen dinámico se requiere de una calibración. Dicha calibración se realiza de la misma forma que se explicó en la sección 3.1 de este capítulo.

La figura 50 muestra la configuración del banco de medición para medir las capacitancias extrínsecas. Cuando se utiliza el método de Dambrine et al [1988] y White

P. M. y Healy R. M [1993] solamente se requiere la medición en un sólo punto de polarización, pero con el método de Ooi B. L. y Ma J. Y. [2003] se requieren 2 mediciones con diferentes valores de V_{gs} .

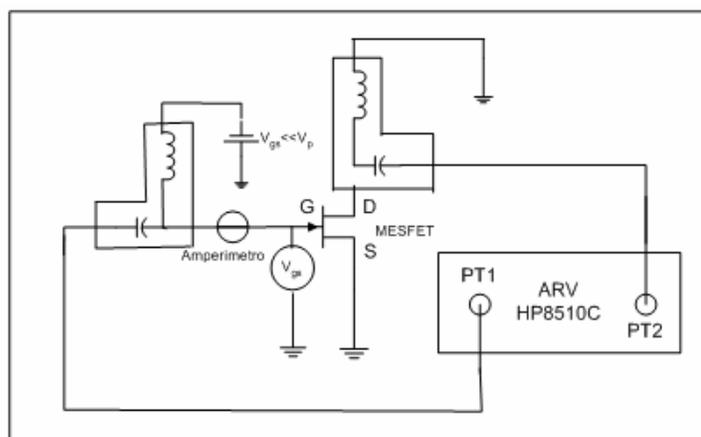


Figura 50. Topología para realizar la extracción de las capacitancias extrínsecas

Una vez realizada la medición de parámetros S del transistor se convierten a parámetros Y para utilizar su parte imaginaria en el cálculo de las capacitancias extrínsecas, C_{pg} y C_{pd} [Dambrine et al, 1988]. La extracción de los valores de las capacitancias se realizó con el programa LMMIFET y los resultados se muestran en la Tabla IV.

Tabla IV. Capacitancias extrínsecas obtenidas con mediciones en inversa

Capacitancias extrínsecas del NEC651R479A	
C_{pg}	C_{pd}
280.7 fF	1009.51 fF

V.3.3 Extracción de los elementos intrínsecos

Una vez conocidos todos los elementos extrínsecos del modelo mostrado en la figura 48 es necesario extraer los elementos dependientes del potencial de polarización (intrínsecos). Bajo la configuración mostrada en la figura 51 se miden los parámetros S aplicando diferentes potenciales en la compuerta y el drenador.

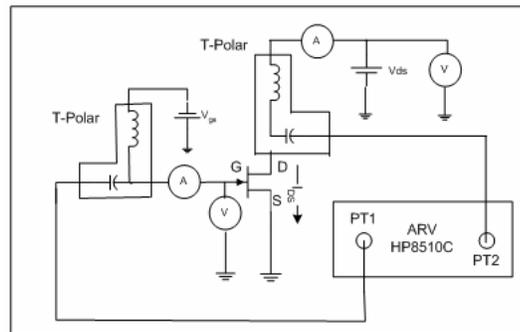


Figura 51. Topología para realizar la extracción de los elementos intrínsecos

Cuando se mide un transistor de mediana potencia la corriente I_{DS} puede ser muy alta (hasta 1 Amp. en el NEC651R479A) comparada con los transistores de poca potencia y se deberá considerar la resistencia de DC del circuito de polarización (T-Polar), que en nuestro caso es $R_{DC} = 0.8 \Omega$, porque esta resistencia provocará (de acuerdo a la cantidad de corriente que fluya en el transistor) una caída de potencial en dicho circuito de polarización.

De acuerdo a la figura 51 la fuente V_{ds} aplica el potencial deseado entre las terminales de drenador y fuente del transistor. Sin embargo, la caída de potencial en el

circuito de polarización provocará que el potencial que realmente llegue en el transistor sea menor al potencial deseado.

Para resolver este problema fue necesario implementar una función adicional en el programa LIMIFET de tal manera que se pueda calcular la caída de potencial y compensarla adecuadamente. Así pues, antes de la medición de los parámetros S del transistor se mide la corriente I_{DS} y el potencial V_{ds} como se muestra en la figura 51. Finalmente, sabiendo que la resistencia del circuito de polarización es 0.8Ω , se podrá calcular la caída de potencial en dicho circuito ($0.8 * I_{DS}$) y compensarlo incrementando el potencial de la fuente de potencial V_{ds} . Este tipo de mediciones requieren la calibración previa del ARV y se lleva a cabo como se indicó en la sección 4.7 del capítulo IV.

Las potencias en los puertos 1 y 2 del ARV fueron de -5 dBm para evitar que la alta ganancia del transistor a bajas frecuencias dañe el ARV. Por la misma razón, en el puerto 2 se colocó un atenuador de 10 dB. Finalmente, se debe realizar la calibración en la PC y el desensamblado de los efectos de la base de pruebas sobre las mediciones de los parámetros S para tener mediciones en el plano de referencia del transistor.

Después de obtener los parámetros S del transistor se realiza otro procedimiento de desensamblado que quita el efecto de los elementos extrínsecos para dejar solamente los parámetros S del transistor intrínseco. La forma de realizar este procedimiento y las expresiones necesarias para la extracción dichos elementos se pueden ver en los trabajos de Rangel Patiño [1994].

La medición de los parámetros S se realizó variando el potencial entre los intervalos $-1.0 \leq V_{gs} \leq 0$ y $0 \leq V_{ds} \leq 6.0$ y la extracción de los elementos intrínsecos se llevó a cabo utilizando el programa LIMMIFET. La Tabla V muestra los resultados de la extracción para $V_{gs} = -1V$ y $V_{ds} = 2.7V$.

Tabla V. Elementos intrínsecos obtenidos para el punto $V_{gs} = -1V$ y $V_{ds} = 2.7V$

Elementos intrínsecos del NEC651R479A			
C_{gs}	R_i	C_{gd}	C_{ds}
3341 fF	3.73 Ω	1057 fF	95.47 fF

V.3.4 Modelado no lineal de la corriente $I_{ds}(V_{gs}, V_{ds})$

Hasta ahora, el único elemento del circuito equivalente, mostrado en la figura 48, que no se ha determinado es la fuente de corriente. Este elemento se caracteriza por presentar el comportamiento no lineal más marcado de todos los elementos del modelo del transistor PHEMT. Existen varios modelos para reproducir el comportamiento de esta corriente y sus expresiones matemáticas están en función de los potencial V_{gs} y V_{ds} .

En trabajos previos en el grupo de altas frecuencias del CICESE se han comparado varios modelos. En la tesis de José Raúl Loo Yau [2000] se resaltan las ventajas y desventajas encontradas entre los modelos de Curtice cuadrático [1980], Angelov et al [1992] y el modelo de Chen [1998].

En base a dicha experiencia se elige el modelo de Angelov para modelar el comportamiento de la fuente de corriente del transistor NEC651R479A. Las mayores

ventajas del modelo, de acuerdo a José Raúl Loo Yau, es que requiere de pocas constantes y además son fáciles de encontrar a partir de mediciones de las curvas $I(V)$; modela y predice la transconductancia y sus derivadas con respecto a V_{gs} con buena exactitud.

El modelo de corriente de Angelov et al [1992] para el PHEMT se puede expresar como:

$$I_{ds}(V_{gs}, V_{ds}) = I_{pk} (1 + \tanh(\psi)) (1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad (43)$$

Donde: I_{pk} es la corriente cuando se presenta la máxima transconductancia, λ es la pendiente de la curva $I(V)$ cuando $V_{gs}=0$, α es el parámetro del potencial de saturación y ψ está dado por:

$$\psi = \sum_{n=1}^i P_n (V_{gs} - V_{pk})^n \quad (44)$$

Donde: V_{pk} es el potencial V_{gs} en el que se presenta la máxima transconductancia y P_n son las constantes de ajuste de la función ψ . Los detalles para determinar todos los parámetros del modelo se muestran en el trabajo de Angelov et al [1992].

Todos los elementos del modelo pueden ser obtenidos a partir de la medición de las curvas $I(V)$. Después de obtener los parámetros del modelo utilizando un programa en MatLab® e implementar y optimizar este modelo en ADS® se pudo verificar que en la región donde convergen la región lineal y la de saturación no se modela con suficiente exactitud. En base a esto se aplicó la modificación a este modelo [J. R. Loo-Yau et al,

2005] en la que se considera la dependencia del parámetro α con respecto a V_{gs} . Al aplicar esta modificación la ecuación (43) queda como:

$$I_{ds}(V_{gs}, V_{ds}) = I_{pk} (1 + \tanh(\psi)) (1 + \lambda V_{ds}) \tanh\left(\sum_{i=0}^j \alpha_j^i V_{gs}^i V_{ds}\right) \quad (45)$$

Las mediciones de la curva $I(V)$ para la extracción de las variables del modelo de corriente mostrado en la ecuación (45) se llevaron a cabo utilizando el sistema de medición DiVA®260. Este sistema de medición permite realizar mediciones en forma pulsada, es decir, se aplican pulsos rápidos variando la amplitud del potencial sincronizadamente en el drenador y la compuerta y se mide la corriente I_{ds} en ese momento [Ladbroke, 2004].

Las razones principales para utilizar mediciones pulsadas es evitar el calentamiento excesivo del dispositivo y el efecto de las trampas del semiconductor. Al realizar mediciones bajo condiciones pulsadas se garantiza una medición isotérmica, contrario a lo que sucede con las mediciones en estática (sin pulsar los potenciales en la compuerta y drenador).

En la figura 52 se muestran las mediciones realizadas en régimen dinámico y en régimen estático cuando el punto de reposo es $V_{gs} = -1V$ y $V_{ds} = 1.5 V$. Se puede apreciar claramente como la característica $I(V)$ del transistor NEC651R479A difiere sobre todo cuando la corriente I_{ds} es alta (V_{gs} cercano a cero). En este ejemplo, la corriente obtenida utilizando mediciones estáticas tiende a disminuir, respecto a la medición pulsada, debido al efecto de calentamiento y las trampas del semiconductor.

Con las mediciones en régimen pulsado y utilizando un programa en MatLab® se calculan los parámetros del modelo de Angelov modificado [J.R. Loo Yau et al, 2005]. El modelo de corriente depende de los potenciales intrínsecos por lo que al implementarlo modelo en un programa CAD se requerirá optimizar los parámetros de éste para que su respuesta se ajuste a las mediciones. La figura 53 muestra la corriente medida y la corriente modelada utilizando el modelo descrito anteriormente

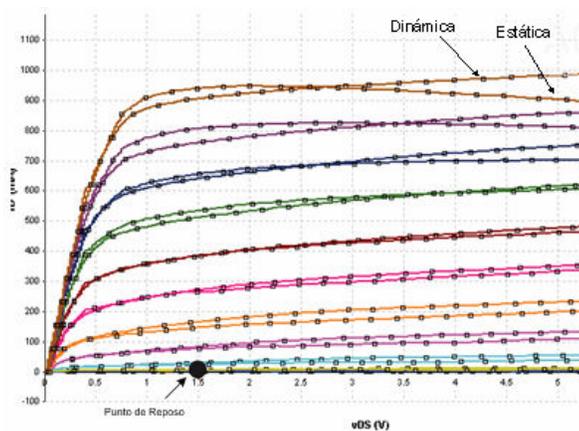


Figura 52. Medición de la característica $I(V)$ en régimen estático y dinámico

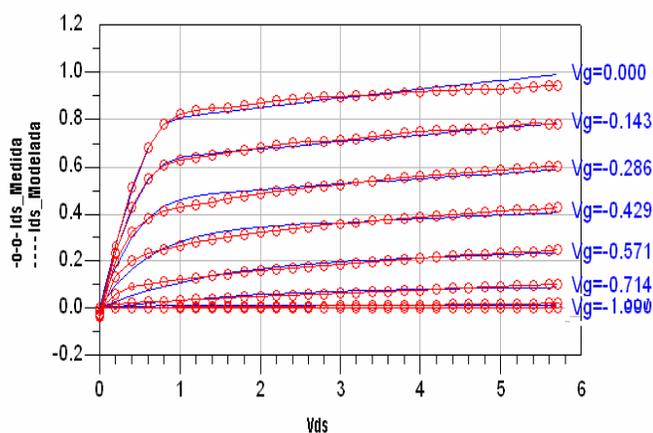


Figura 53. Curvas $I(V)$ del transistor NEC651R479A. (o-o-o) Medidas y (----) Simuladas

Como podemos observar que la exactitud del modelo es muy buena y con esto se completa la extracción de los elementos del modelo mostrado en la figura 48 por lo que se puede proceder a verificar el modelo completo.

V.4 Verificación del modelo

Para verificar el funcionamiento adecuado del modelo es necesario simular los parámetros S y compararlos con las mediciones que se realizaron. En la figura 54 se muestra el esquemático para la simulación de los parámetros S del transistor NEC651R479.

El esquemático incluye las inductancias y capacitancias del empaquetado del transistor (los valores fueron tomados de las hojas técnicas del fabricante y se muestran en el Apéndice B). Al mismo tiempo se “leen” los archivos de mediciones utilizando un componente contenedor de datos (“DAC”) que viene incluido en el simulador ADS.

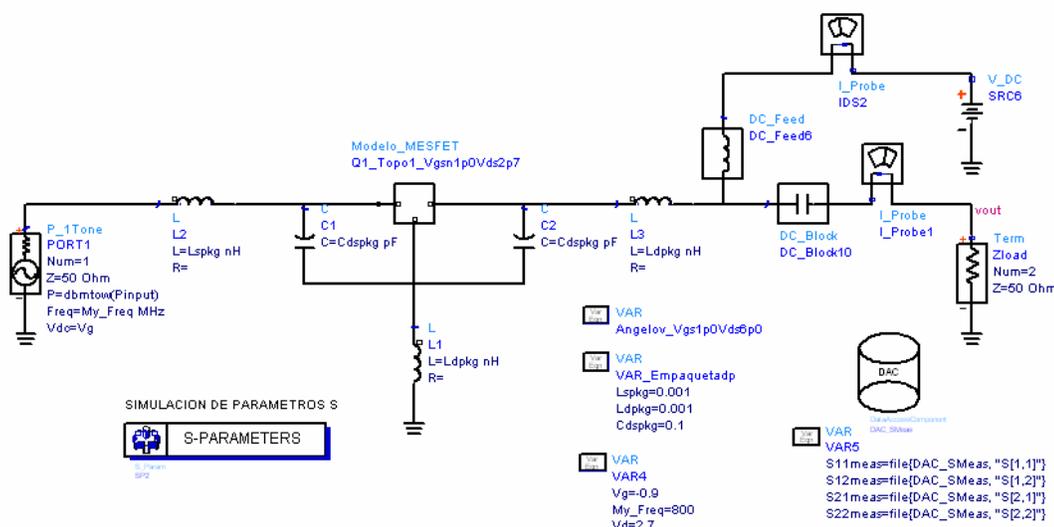


Figura 54. Esquema utilizado en ADS para la simulación de parámetros S

Los resultados de la simulación se muestran en la figura 55 donde se comparan los parámetros S de la simulación con las mediciones correspondientes cuando se polariza el transistor con $V_{gs}=-0.9V$ y $V_{ds}= 2.7V$.

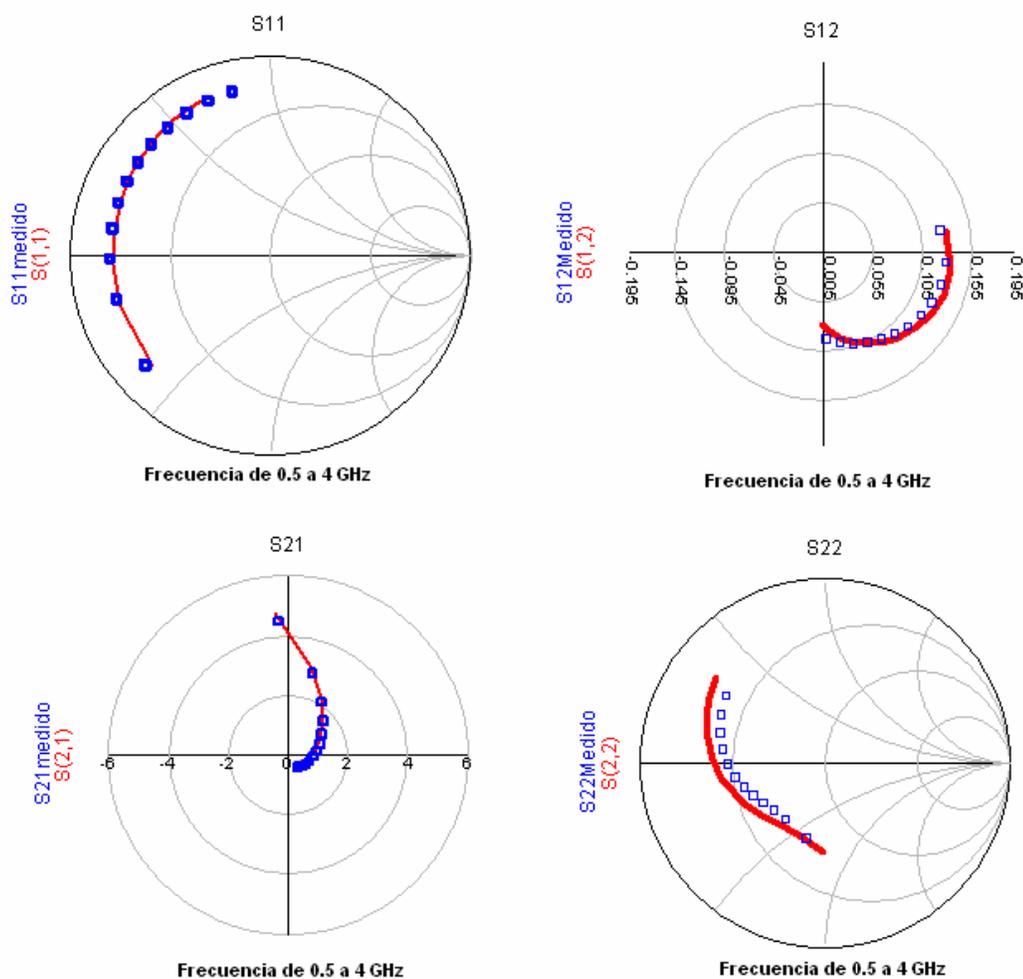


Figura 55. Parámetros S medidos (-□-□-) y simulados (---) $V_{gs}=-0.9V$ y $V_{ds}= 2.7V$ del transistor NEC651R479A

Otra prueba muy importante es la prueba de distorsión AM-AM o de un tono y consiste en realizar la medición de la potencia de salida del transistor en un punto de polarización y una frecuencia fijos mientras se varía la potencia de entrada. De aquí el

nombre de AM-AM pues se mide la distorsión en amplitud de la señal de salida cuando se cambia la amplitud de la señal a la entrada.

Conforme se aumenta la potencia de entrada la potencia de salida del transistor aumenta linealmente, es decir, mantiene una ganancia constante. Sin embargo, esto tiene un límite y habrá un momento en el que la ganancia comienza a disminuir, a este efecto se le llama compresión de ganancia y se mide en decibeles. El más utilizado es el punto de compresión de 1dB y nos indica que la ganancia se ha comprimido un dB respecto a la ganancia en pequeña señal (cuando se aplica una señal de poca potencia en la entrada).

Cuando la señal de salida comienza a distorsionarse indica que la ganancia del transistor comienza a comprimirse (disminuir) y por lo tanto la señal de salida contendrá armónicos. Debido a esto, es una práctica común medir la potencia del segundo y tercer armónico además de la potencia de la frecuencia fundamental.

Para medir el AM-AM se implementó un banco de mediciones automatizado. En la figura 56 se presenta el esquema del banco de mediciones. Para ello se requiere de un sintetizador de señales, dos fuentes de alimentación, un amperímetro, un voltímetro, el analizador de espectros y la PC con el programa de mediciones. La caja de conmutadores permite realizar cambios en la configuración de los medidores.

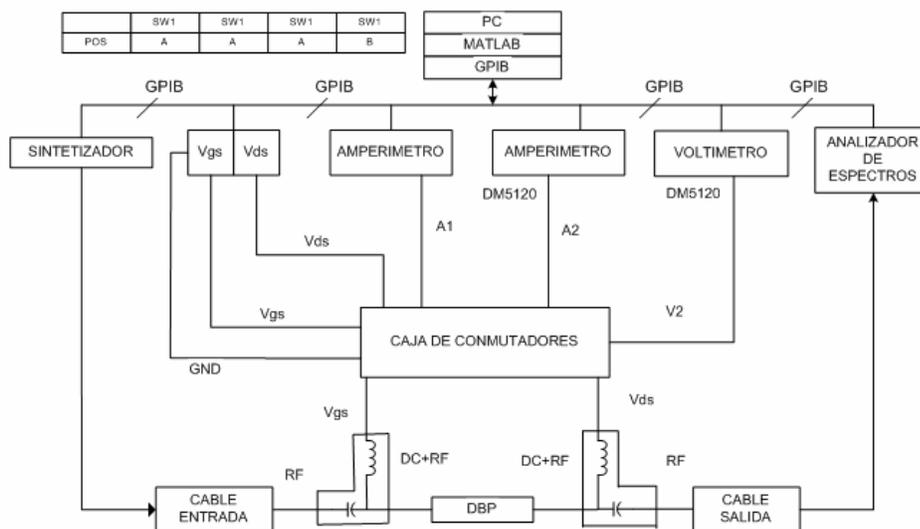


Figura 56. Banco de mediciones de AM-AM.

Comparando los datos obtenidos en la medición con una simulación de balance armónico podemos verificar si el modelo es capaz de predecir la distorsión de AM-AM. El esquema para realizar la simulación se muestra en la figura 57.

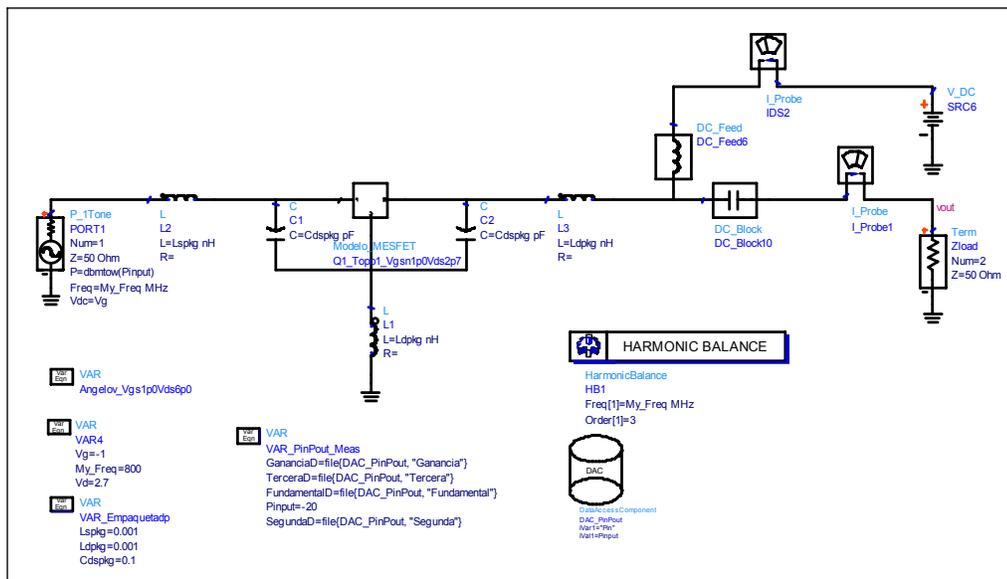


Figura 57. Esquema para la simulación de la distorsión AM-AM.

Con el esquema de la figura 57 es posible obtener el comportamiento del transistor cuando la potencia de la señal de entrada incrementa hasta que se presenta el punto de compresión deseado. El análisis de balance armónico se lleva a cabo para los tres primeros armónicos de la frecuencia fundamental. Por ejemplo, en la figura 58 se presenta la distorsión de AM-AM al aplicar una señal de entrada de 800 MHz y cuya potencia varía desde -10 dBm hasta 16 dBm cuando el punto de polarización del transistor es $V_{gs} = -1V$ y $V_{ds} = 2.7V$. Esta figura muestra que el modelo es capaz de predecir la potencia de salida y la ganancia con buena exactitud.

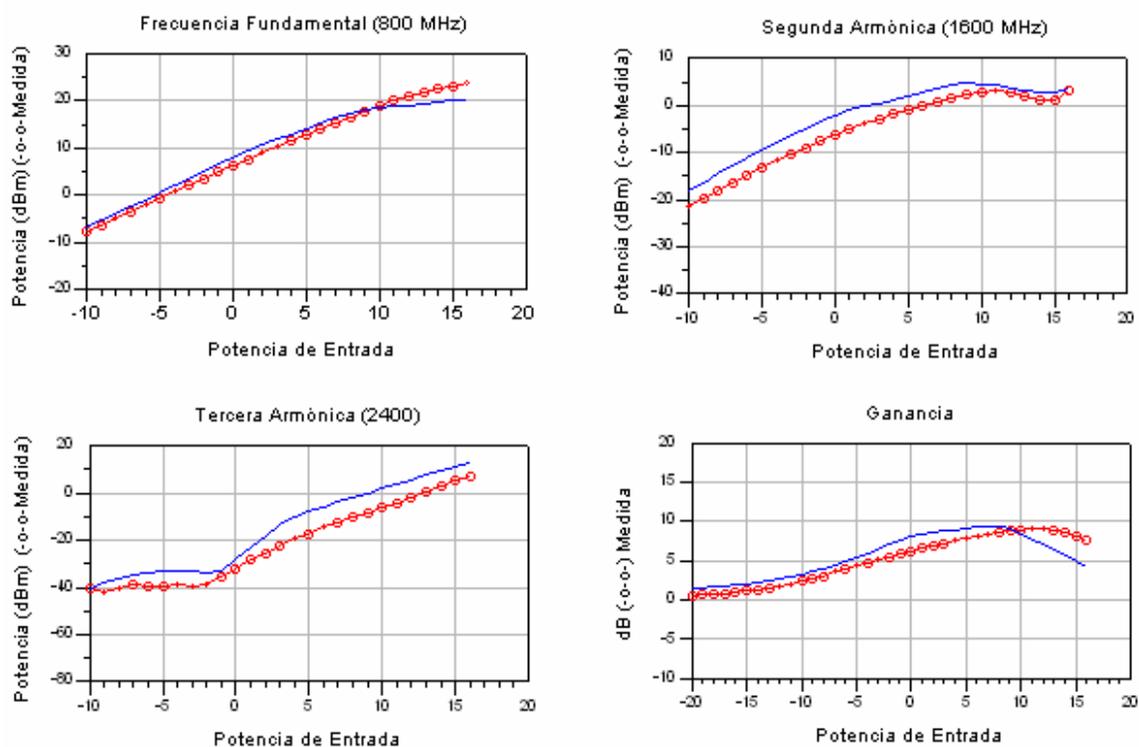


Figura 58. Medición (---) y simulación (-o-o-o-) de la distorsión AM-AM con una frecuencia de 800 MHz, $V_{gs} = -1V$ y $V_{ds} = 2.7V$ (NEC651R479A).

V.5 Conclusiones

El modelado de un transistor es una tarea delicada donde la exactitud de la medición de los parámetros S del transistor es muy importante. Dicha exactitud depende de la calibración que se realice por lo que es necesario verificarla antes de realizar todo el conjunto de mediciones requeridas para hacer la extracción del valor de los elementos del circuito equivalente.

El elemento no lineal más importante del modelo es la corriente por lo que deberá modelarse con mucha exactitud. Debido a la dependencia de potenciales intrínsecos del modelo de corriente se requieren optimizar las variables de este modelo al incluir los efectos de las resistencias parásitas en el simulador. Los errores en el modelado de la corriente se reflejan con mayor fuerza en el parámetro S_{21} .

Después de la extracción del modelo es necesario verificarlo por medio de la comparación de simulaciones y mediciones de los parámetros S así como de la prueba de distorsión de un tono (AM-AM).

Con el modelado se demuestra que es posible reproducir el comportamiento de un transistor por medio de un circuito equivalente que es independiente de la frecuencia, pero dependiente de los potenciales de alimentación V_{gs} y V_{ds} .

CAPÍTULO VI DISEÑO, SIMULACIÓN E IMPLEMENTACIÓN DE AMPLIFICADORES CLASE E EN 800 MHZ

VI.1 Introducción

Una vez validado el modelo no lineal, utilizado para simular el PHEMT en el rango de frecuencias de interés (0.5GHz a 4GHz) el siguiente paso lógico es utilizarlo para analizar el amplificador clase E. Este modelo nos permitirá reproducir y predecir el comportamiento del transistor y por lo tanto el del amplificador clase E.

En este capítulo se presenta una metodología para el diseño y simulación de un amplificador clase E. El amplificador se diseña para 800 MHz utilizando las teorías desarrolladas en el grupo de microondas en el CICESE por José Raúl Loo Yau y se compara con el diseño propuesto por Mader en 1995. A grandes rasgos la teoría del CICESE considera los elementos parásitos del transistor en el cálculo de la red de salida del amplificador, lo cual mejora los resultados significativamente cuando se compara con las teorías presentadas en el capítulo III y la de Mader T. B. y Popovic Z [1995].

El diseño de las redes de entrada y salida del amplificador se hará con tecnología en microcinta. Se escogió esta tecnología por ser simple y fácil de implementar. Con la utilización de esta tecnología evitamos la adquisición de componentes que son caros y difíciles de conseguir, tales como las inductancias y capacitancias con alto Q, etc. Además, los efectos parásitos de estos elementos son más nocivos en altas frecuencias, lo que restringe la búsqueda de componentes con determinada calidad, los cuales algunas veces no

están disponibles en pequeñas cantidades como lo requerimos para nuestro prototipo. Por otro lado, la microcinta sólo requiere de un sustrato con una capa de cobre en ambos lados. Estos materiales y la tecnología para construir los circuitos están al alcance en el laboratorio de microondas, además debido a las dimensiones de los amplificadores a 800 MHz es muy sencilla su implementación.

VI.2 Efectos de los elementos parásitos del transistor en los amplificadores clase E

En el capítulo III se explicó el funcionamiento de los amplificadores clase E modelando el transistor como un conmutador ideal. Con este modelo la eficiencia teórica alcanzable es de 100%. Sin embargo, cuando se agregan los efectos de la resistencia de encendido del transistor la eficiencia disminuye debido a que se disipará potencia en el transistor. Todas las referencias que se utilizaron en el capítulo III utilizan muy bajas frecuencias (3 a 20 MHz) y se alcanzaron eficiencias cercanas al 97%.

Cuando se diseña en bajas frecuencias los efectos parásitos de la resistencia de encendido del transistor no representa mayor problema para que el transistor se comporte como un conmutador cercano al ideal. El problema se presenta en mayores frecuencias puesto que la reactancia de las capacitancias intrínsecas y extrínsecas, así como la reactancia de las inductancias extrínsecas del transistor se hacen notar conforme aumenta la frecuencia.

Para ilustrar lo anterior se diseña la red de carga de un amplificador clase E a 800 MHz utilizando el análisis propuesto por Raab, 1977, como se describió en la sección 2.5

del capítulo III. Para comprobar el comportamiento de la fuente de corriente como un conmutador se simula el amplificador clase E utilizando el análisis de balance armónico y se considera el transistor (NEC651R479A) como una fuente de corriente solamente, es decir, todos los elementos parásitos del transistor se ignoran.

En la figura 59 se muestra el esquema utilizado para la simulación. La señal de entrada es una señal senoidal con una potencia de 6.55 dBm para saturar el transistor (fuente de corriente), el potencial de drenador es de 3V y la red de carga (en el drenador) se obtuvo utilizando el análisis de Raab que considera el transistor como un conmutador ideal.

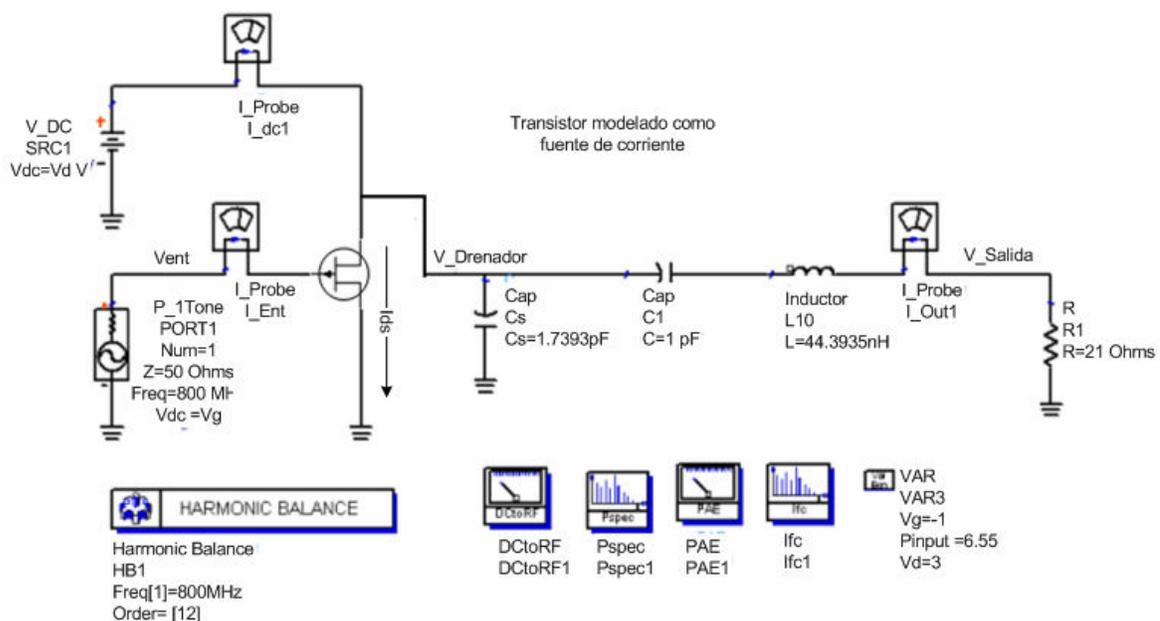


Figura 59. Esquemático para simular el amplificador clase E con una fuente de corriente

La potencia de entrada, la eficiencia de drenador, la potencia de salida y la ganancia son parámetros que se utilizan para medir el desempeño del amplificador y que podemos obtener con la simulación de balance armónico. Los resultados de la simulación se

muestran en la Tabla VI. En la figura 60 podemos observar que la corriente (I_{ds}) y el potencial en el drenador ($V_{Drenador}$) están desfasados adecuadamente y son muy similares a las formas de onda ideales (figura 9).

Tabla VI. Parámetros del amplificador clase E (sin incluir los parásitos del transistor).

Frecuencia	Potencia de entrada	$\eta_{drenador}$	Potencia de salida	Ganancia
800 MHz	6.55 dBm	93.77%	23.34 dBm	17.37 dB

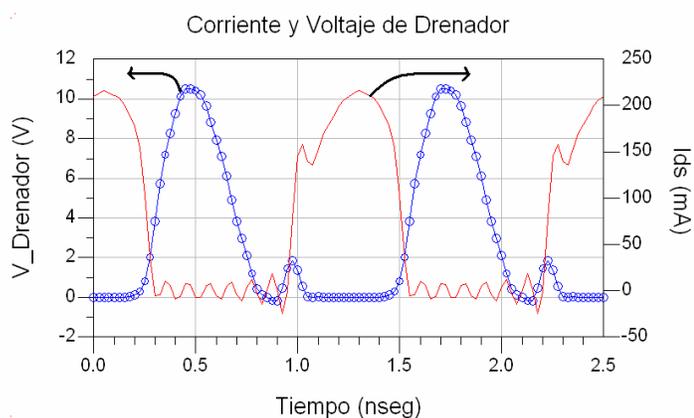


Figura 60. Potencial y corriente de drenador (transistor como una fuente de corriente)

Los picos de potencial después de que el transistor se activa (tiempo = 1nseg) se deben a que la señal de entrada es senoidal (idealmente debería de ser cuadrada [Sokal y Sokal, 1975]) y tarda cierto tiempo en saturar a la fuente de corriente [Loo Yau J.R. et al, 2006]. Lo anterior es una de las causas para no alcanzar el 100% de eficiencia en el drenador puesto que existirá corriente y un pequeño pico de potencial en el drenador en el mismo periodo lo que provocará una disipación de potencia en el transistor.

Cuando se agregan las resistencias parásitas del transistor (R_s y R_d) al modelo de corriente que se está utilizando las formas de onda no cambian drásticamente en su forma, sin embargo, se agrega una componente de corriente directa en el potencial de drenador debido a la caída de potencial en las resistencias de drenador y fuente cuando el transistor está encendido.

Por otro lado, si consideramos que todos los elementos que modelan el transistor NEC651R479A (figura 48) están presentes, entonces las circunstancias cambiarán drásticamente como se muestra en la figura 61.

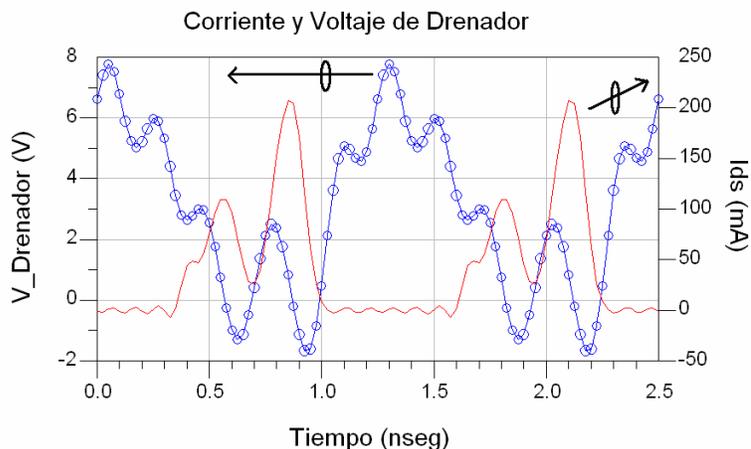


Figura 61. Potencial y corriente de drenador (modelando con un circuito equivalente)

Las formas de onda en la figura 61 cambian con respecto a las ideales debido a la pérdida de sintonía de la red de salida provocada por los elementos parásitos en el puerto de salida del transistor (C_{ds} , C_{pd} , C_{gd} , L_s , L_d , R_s , R_d). Los efectos en el desempeño del amplificador se muestran en la Tabla VII, dichos resultados presentan cierta degradación en todos los parámetros comparados con los resultados de la Tabla VI.

Tabla VII. Parámetros del amplificador (incluyendo los elementos parásitos del transistor)

Frecuencia	Potencia de entrada	η_{drenador}	Potencia de salida	Ganancia
800 MHz	8.68 dBm	85.5%	20.58 dBm	11.89 dB

Como se puede observar se requiere de mayor potencia en la entrada para saturar el transistor, la potencia de salida disminuye aproximadamente 3dB (la mitad de la potencia) y la eficiencia de drenador disminuye aproximadamente 8%. Si extrapolamos estos resultados a frecuencias más altas (donde el efecto de la reactancia de los parásitos aumenta linealmente con la frecuencia) el resultado será cada vez más nocivo. Por ejemplo, en la Tabla VIII se presenta los resultados de las simulaciones para un amplificador a 1.9 GHz.

Tabla VIII. Resultados de la simulación de un amplificador a 1.9 GHz

Simulación	Pot. de entrada	η_{drenador}	Pot. de salida	Ganancia
Sólo fuente de corriente	5.4dBm	93%	24.9dBm	19.48dB
Con parásitos	14dBm	83%	19dBm	4.9dB

Comparando los resultados de la figura 61 podemos observar que la eficiencia disminuye 10% cuando se consideran los parásitos, además la ganancia cae drásticamente. De los resultados anteriores se desprende la necesidad de considerar el efecto de los elementos extrínsecos e intrínsecos del transistor en altas frecuencias donde su efecto es más nocivo.

VI.3 Introducción a los elementos distribuidos con microcinta

En la sección anterior se realizó la simulación de los amplificadores utilizando elementos concentrados en la red de salida. Estos elementos se presentaron como ideales, es decir, las inductancias no tienen pérdidas, las capacitancias no presentan resonancias parásitas en altas frecuencias y el factor de calidad es muy alto. Tales características son difíciles de obtener en el campo de trabajo, por lo que en altas frecuencias se ha venido adoptando la idea de utilizar elementos distribuidos para implementar la red de salida del amplificador clase E [Mader T. B. y Popovic Z., 1995 y Mader T. B. et al, 1998].

Para diseñar tales elementos distribuidos se utilizará la tecnología de microcinta, en la que un material dieléctrico sirve como substrato con una película de material conductor en ambas caras, de tal manera que en una de ellas se imprime el circuito deseado y la otra sirve como plano de tierra. Físicamente, la microcinta se diseña para que tenga una impedancia característica (Z_0) en una frecuencia determinada. Dicha microcinta consiste en una tira de material conductor con ancho (W), longitud (L) y espesor (T). El ancho y el largo están determinados por la frecuencia (f), la constante dieléctrica relativa del substrato (ϵ_r) y el grosor del substrato (h) y la impedancia característica. Un ejemplo de una línea de microcinta se muestra en la figura 62.

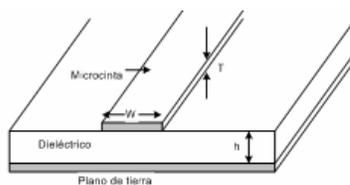


Figura 62. Microcinta sobre un substrato dieléctrico

En la microcinta los campos electromagnéticos no están contenidos completamente en el sustrato, por lo tanto, el modo de propagación no es puramente TEM, sin embargo se utiliza un modo cuasi-TEM el cual es efectivo en el rango bajo de las microondas (hasta 5 GHz aproximadamente), después de estas frecuencias la componente longitudinal de los campos electromagnéticos se vuelve más significativa y ya no es válida dicha aproximación [González, 1997]. Cuando el modo cuasi-TEM ya no es válido se presenta un efecto de dispersión en la constante dieléctrica efectiva (incrementa conforme incrementa la frecuencia) y en la impedancia de la línea.

Las ecuaciones básicas utilizadas en el diseño y construcción de las microcintas se presentan en el Apéndice D.

VI.4 Teoría clásica de amplificadores clase E con microcinta

Desde su origen, los amplificadores clase E, han tenido gran aceptación gracias a su alta eficiencia y simplicidad. Estas son algunas de las razones por las cuales se ha buscado su aplicación en el rango de las altas frecuencias. Con esto han surgido diferentes trabajos donde los amplificadores clase E se implementan en circuitos integrados de microondas monolíticos (MMIC) y fue en la década de los noventa cuando surgió la idea de implementar los amplificadores clase E con resonadores en tecnología de microcinta [Mader T. B. y Popovic Z., 1995].

Los trabajos de Mader y Zoya son los más utilizados para diseñar los amplificadores clase E con líneas de transmisión en microcinta. Comparado con el análisis

que se presentó en el capítulo III estos trabajos no utilizan la capacitancia externa (en derivación con el transistor) como en Raab, 1977, sino que para trabajar a mayores frecuencias utilizan sólo la capacitancia de salida del transistor FET. Además se presenta una nueva forma de calcular una aproximación a la impedancia de carga óptima para obtener alta eficiencia.

En la figura 63 se presenta la topología de los amplificadores clase E con líneas de transmisión. Como se puede observar, el transistor se sigue modelando como un conmutador ideal, pero ahora la capacitancia C_s sólo representa la capacitancia interna de salida del transistor. En los trabajos de Mader T. B. y Popovic Z. [1995 y 1998], de Pajic S. et al [2005], y Peña esta capacitancia está representada por la capacitancia de salida C_{ds} y en algunos casos este dato lo provee el fabricante. La línea de transmisión y del stub en la figura 63 están conectados a la salida del transistor, de tal manera que proporcionen una impedancia, en la frecuencia fundamental de operación Mader et al [1998], dada por:

$$Z_{net_1} \approx \frac{0.28015}{\omega_s C_s} e^{j49.0524^\circ} \quad (46)$$

Donde: $\omega_s = 2\pi f_0$ es la frecuencia angular y C_s es la capacitancia de salida del transistor dada por la capacitancia intrínseca C_{ds} . La red de carga también deberá presentar un abierto a las frecuencias armónicas, lo cual es difícil en la práctica por lo que se ha experimentado con uno [Mader T. B. y Popovic Z., 1995], tres [Peña R. y García J. A] y cuatro stubs [Wilkinson A. J. y Everard K. A, 2001] consiguiendo disminuir el contenido armónico a la salida y obtener alta eficiencia.

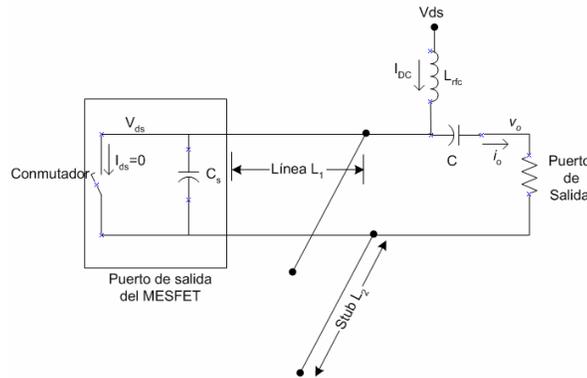


Figura 63. Circuito clase E con líneas de transmisión

El trabajo de Mader también presenta una expresión para calcular una aproximación a la eficiencia de drenador considerando la resistencia del transistor cuando está activado, R_{on} , y la capacitancia del puerto de salida del transistor, C_s , y está dada por:

$$\eta_d = \frac{1 + \left(\frac{\pi}{2} + \omega_s C_s R_{on} \right)^2}{\left(1 + \pi^2 / 4 \right) \left(1 + \pi \omega_s C_s R_{on} \right)^2} \quad (47)$$

En cuanto a la potencia suministrada por la fuente de DC, P_{dc} , y la potencia de salida del amplificador, P_{out} , están dadas por la ecuaciones (48) y (49) respectivamente.

$$P_{dc} = \pi \omega_s C_s V_{ds}^2 \quad (48)$$

$$P_{out} = \eta_d P_{dc} \quad (49)$$

Esta técnica de diseño la consideraremos como la teoría clásica y nos servirá como referencia para comparar las teorías desarrolladas en el CICESE utilizando el modelo del transistor.

VI.4.1 Diseño del amplificador utilizando la teoría de Mader y Popovic [1995]

Como se indicó en el capítulo I el amplificador clase E está compuesto por un elemento activo (transistor), redes de adaptación en la entrada (RAE) y salida, fuentes de alimentación y una fuente de excitación (señal de entrada). Hasta ahora, se tiene el transistor (NEC651R479A) caracterizado y modelado, por lo que sólo hace falta diseñar la RAE y la red de salida (red de carga).

VI.4.1.1 Diseño de la red de adaptación de entrada (RAE)

El diseño de la RAE se basa en una aproximación unilateral, es decir, se considera que el aislamiento entre los puertos del transistor es perfecto ($S_{12}=0$). Por lo tanto, para adaptar la impedancia de la fuente (que provee la señal de entrada) con la impedancia de entrada del transistor (Z_{11} , en un punto de polarización dado) sólo se requiere de un acoplamiento conjugado.

Para obtener la configuración de la RAE en tecnología de microcinta y hacer el acoplamiento de una impedancia imaginaria (transistor) con una real (fuente de RF) se establece la posición de dichas impedancias en la carta de Smith normalizada a 50Ω . Es decir, la impedancia de entrada, Z_s , es de 50Ω , por lo tanto, al normalizarla a 50Ω su valor será $z_s = 1$. La impedancia de entrada del transistor se toma de la medición de los parámetros S en el punto de polarización donde trabajará el amplificador clase E, es decir, con $V_{gs}=-1V$ y $V_{ds}=2.7V$ la impedancia de entrada es $Z_{11} = 8.627 - j25.64\Omega$. Finalmente esta impedancia se conjuga y se normaliza a 50Ω , quedando como $z^*_{11} = 0.1725 + j0.5128$.

Para acoplar las impedancias mencionadas utilizando la carta de Smith es necesario hacer cambios de impedancia, los cuales pueden ser obtenidos utilizando estructuras de microcinta [González G., 1997] que dependiendo de su impedancia característica y longitud nos permitirán “desplazarnos” sobre la carta de Smith y realizar el acoplamiento.

Estas líneas en microcinta pueden utilizarse en serie, como stubs abiertos y/o como stubs en corto. De hecho, una línea de transmisión en serie combinada con un stub abierto o en corto puede transformar una resistencia de 50Ω en cualquier valor de impedancia [González G. 1997]. Esto se debe a que el efecto de una línea de transmisión en serie, con una impedancia característica fija y sin pérdidas, provoca un desplazamiento sobre el círculo de VSWR constante y el efecto de una stub abierto es un desplazamiento por los círculos de admitancia constante.

Para el diseño de la RAE utilizaremos la carta de Smith de admitancias, es decir el extremo derecho tiene admitancia cero (abierto) y el izquierdo tiene admitancia infinita (corto). El primer paso es graficar los valores de las admitancias normalizadas en la carta de Smith como se muestra en la figura 64. El desplazamiento originado por la línea en serie se da a lo largo del círculo de VSWR constante hasta llegar al círculo de resistencia constante ($r=1$, puesto que está normalizada) para alcanzar una susceptancia normalizada de $1-jb$. En base a este desplazamiento (del punto A al punto B) se obtiene la longitud de la línea de transmisión, es decir, se trazan líneas rectas desde el centro de la carta pasando por los puntos A y B y se leen los valores en función de la longitud de onda y se lleva a cabo la resta de dichos valores. Para este acoplamiento en particular la recta que pasa por el punto

A tiene 0.1720λ y la que pasa por el punto B tiene 0.30705λ , entonces, la longitud de la línea será $L_{\text{línea}} = 0.30705\lambda - 0.1720\lambda = 0.1355\lambda$. Los detalles de este procedimiento se muestran en la figura 64.

Una vez posicionados en el punto B, el desplazamiento que resta se hará a lo largo del círculo de admitancia constante hasta llegar al centro de la carta de Smith, donde habremos acoplado exitosamente la impedancia de entrada del transistor con la fuente. Para esto, sabemos que el punto B tiene la admitancia normalizada $1-jb$, por lo tanto, el stub deberá presentar una susceptancia con signo apuesto (punto C) y con ello se concluye el acoplamiento. Puesto que el stub abierto representa una susceptancia abierta ($y=0$), entonces, la distancia para calcular la longitud del stub se toma desde la parte izquierda de la carta ($y=0$, stub abierto) hasta el punto C como se muestra en la figura 64. De acuerdo a esto la longitud del stub, L_{stb} , es 0.184λ .

La línea y el stub, con $Z_0=50\Omega$, en tecnología de microcinta se diseñaron sobre un sustrato Duroid de la compañía Rogers que tiene una constante dieléctrica relativa, ϵ_r , de 2.33, un grosor (h) de 1.5mm, las pérdidas tangenciales ($\text{Tan } \delta$) de 0.0012 y el grosor de las capas de cobre (T) es de $35 \mu\text{m}$ (1 oz.). Por lo tanto, de acuerdo al Apéndice D para una línea de $Z_0=50\Omega$ y un sustrato de Duroid con $\epsilon_r= 2.33$ en una frecuencia de 800 MHz el ancho de la línea es $W= 4.455\text{mm}$, la constante dieléctrica efectiva es 1.9612 y la longitud de onda, λ , en la microcinta es 264.5 mm. Por lo tanto, la longitud de la línea dada por 0.1355λ y del stub dada por 0.184λ son 36.28 mm y 49.27 mm respectivamente.

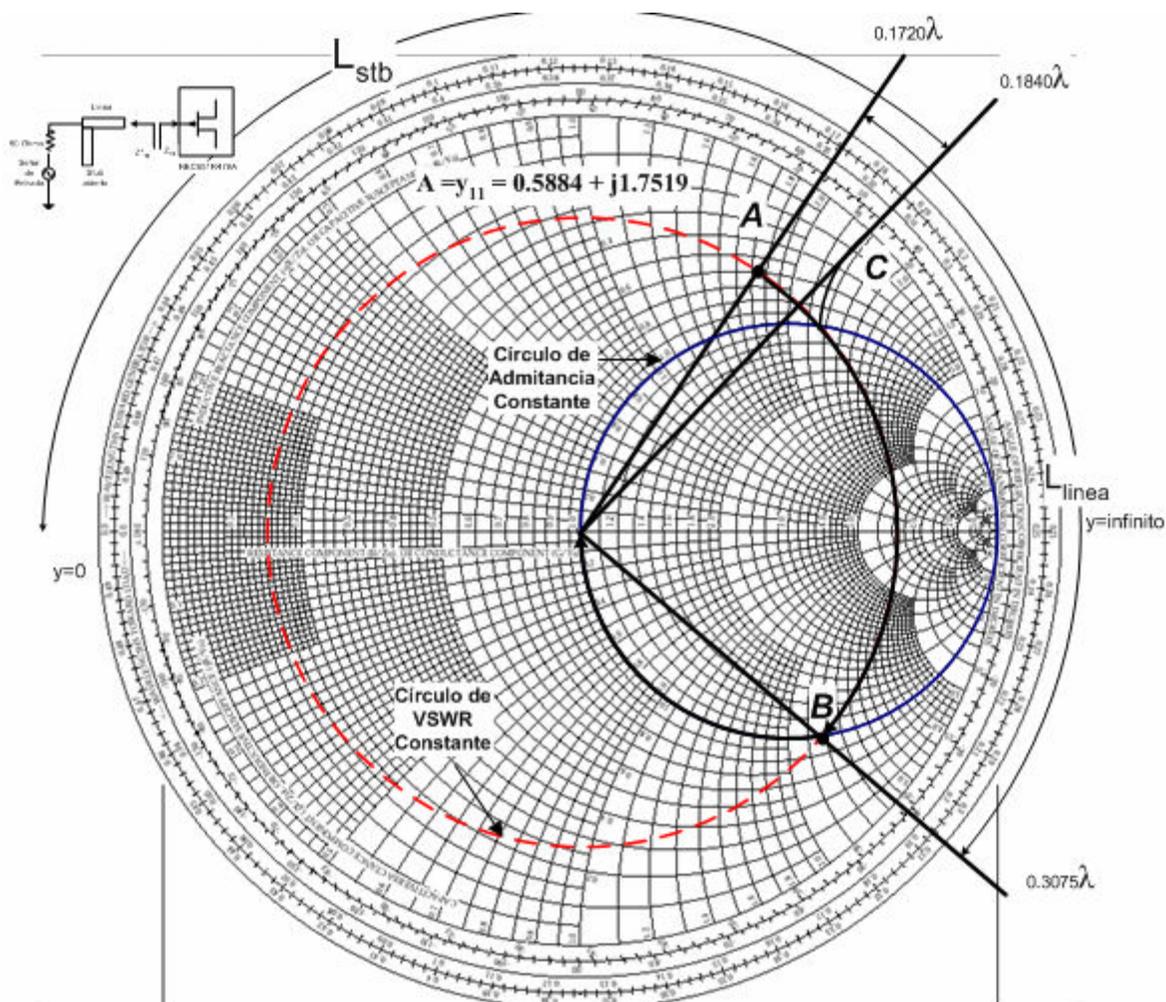


Figura 64. Diseño de la RAE. Acoplado la impedancia de fuente con Z_{11}

La red fue implementada en ADS y el resultado indica que la red resuena a 794 MHz. Además, los modelos del simulador toman en cuenta el efecto de las pérdidas en el dieléctrico dadas por $\tan \delta$, los efectos de la capacitancia de borde y la discontinuidad entre la línea y el stub, razones por las cuales se utiliza esta herramienta para el diseño final.

La figura 65 muestra la RAE diseñada utilizando la herramienta para sintetizar redes de adaptación del programa ADS. Los anchos de las líneas se indican con W y la longitud con L. El capacitor que aparece en la línea TL1 sirve para modelar el efecto del stub abierto (en el dominio de la frecuencia) como una extensión de la longitud del stub debido a la capacitancia de borde.

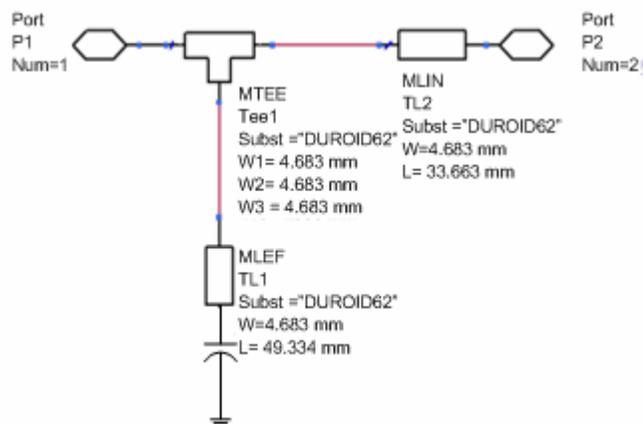


Figura 65. RAE sintetizada utilizando el programa ADS de Agilent

Antes de implementar esta red se agrega una línea de 8mm de longitud con $Z_0=50\Omega$ en 800 MHz en la entrada de la misma (P1 en la figura 65) para alejar el stub de la orilla del substrato al momento de su implementación. Para verificar que el comportamiento de la red de adaptación en la entrada se realizó la simulación de los parámetros S utilizando ADS. En la figura 66 se puede ver que la red resuena a 800 MHz ($S_{11} = -25.5\text{dB}$) y presenta pocas pérdidas ($S_{21} = 0.17\text{ dB}$).

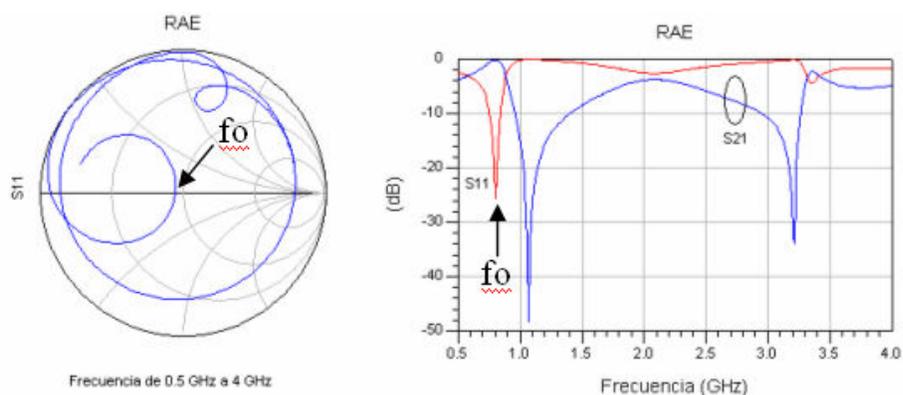


Figura 66. Simulación de los parámetros S de la RAE, $f_0 = 800\text{MHz}$

Finalmente se genera el trazado de las líneas de la RAE utilizando la herramienta “*Generate layout*” del mismo simulador. La topología y las dimensiones de la RAE se muestran en la figura 67.

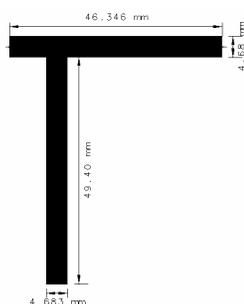


Figura 67. Diseño final de la RAE

VI.4.1.2 Diseño de la red de carga con la teoría de Mader y Popovic [1995]

En los amplificadores clase E la red de carga es muy importante para la obtención de alta eficiencia, puesto que dependiendo de la impedancia que se presente al puerto de salida del transistor dependerá el desfase entre la corriente y el potencial en el drenador.

La teoría de Mader toma en cuenta la resistencia de encendido del transistor, R_{on} . Esta resistencia se puede calcular de la región óhmica en la curva $I(V)$ del transistor NEC651R479A (figura 53) cuando $V_{gs} = 0$ y luego restar el efecto de las resistencias parásitas R_s y R_d . La resistencia total (pendiente de la curva IV con $V_{gs} = 0$) resultó ser 0.805Ω , por lo tanto, al restar el efecto de R_s (0.203Ω) y R_d (0.424Ω) se obtiene que $R_{on} = 0.1778\Omega$.

La capacitancia $C_s = 200$ fF representa la capacitancia C_{ds} y fue tomada de la hoja técnica del transistor presentada en el Apéndice B. El resultado de los cálculos se presenta en la Tabla IX para una frecuencia de 800 MHz y $V_{ds} = 2.7V$.

Tabla IX. Resultados del desempeño del amplificador clase E utilizando la teoría de Mader

Frecuencia	Z_{net1} (Ω)	η_d (%)	P_{out} (dBm)	P_{dc} (dBm)
800 MHz	$182.63 + j210.48$	99.65	13.60	13.62

De la impedancia Z_{net1} se pueden calcular los valores de una red RLC de tal manera que si fijamos el valor del capacitor a $C = 1pF$ el valor de la inductancia será $81.45nH$. Esta red RLC de elementos concentrados servirá como referencia para diseñar la red con elementos distribuidos en tecnología de microcinta.

La figura 68 muestra el comportamiento de la red RLC con elementos concentrados, donde la carta de Smith está normalizada a la impedancia compleja Z_{net1} , de tal manera que se pueda observar la resonancia presentada en la frecuencia fundamental en el centro de la carta de Smith. Dicha red presenta una impedancia al segundo armónico al

menos cuatro veces mayor comparada con la impedancia presentada en la frecuencia fundamental, como se muestra en la figura 69.

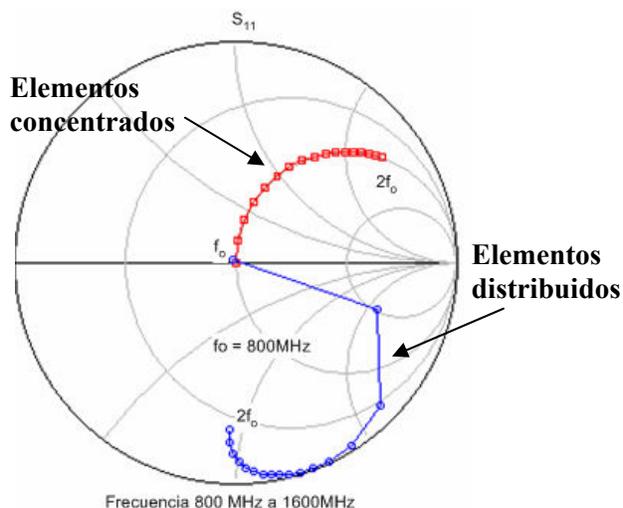


Figura 68. Redes de carga del amplificador a 800 MHz con la teoría de Mader. Con elementos concentrados (cuadros) y con elementos distribuidos (círculos).

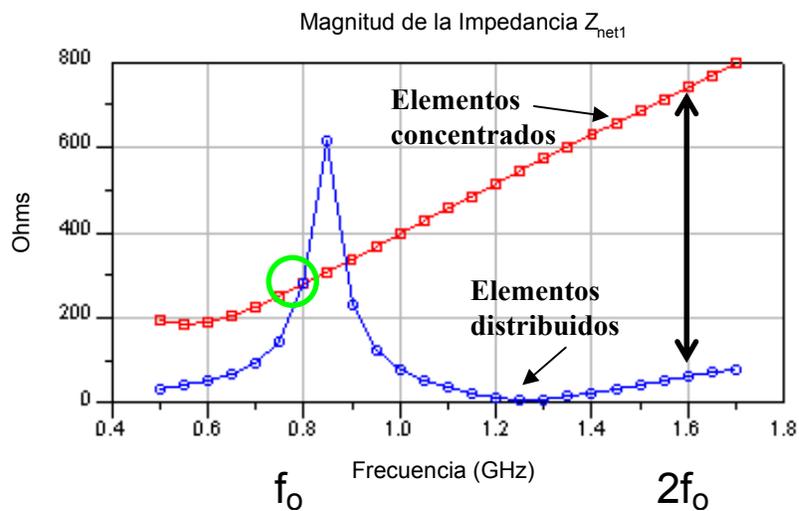


Figura 69. Impedancia de la red de carga del amplificador a 800 MHz (Mader). Con elementos concentrados (cuadros) y con elementos distribuidos (círculos).

Por otro lado, la red de elementos distribuidos se diseñó utilizando una impedancia característica de 50Ω a 800MHz sobre un sustrato de Duroid con una constante

dieléctrica de 2.33. Dicha red está constituida por una línea de transmisión y un stub abierto. Como se puede observar en la figura 68 en la carta de Smith normalizada a la impedancia Z_{net1} , los parámetros S indican que existe un buen acoplamiento en la frecuencia fundamental y por lo tanto la impedancia de entrada de esta red es efectivamente Z_{net1} .

El mayor problema en esta red es la obtención de una alta impedancia al segundo armónico debido a que la impedancia propuesta por Mader en baja frecuencia resulta ser muy grande (utilizando C_{ds} como la capacitancia de salida del transistor). Una forma de aproximarse al valor de Z_{net1} consiste en incrementar la impedancia característica de las líneas, por ejemplo, con $Z_o = 200\Omega$ la respuesta al segundo armónico mejora pero el inconveniente es que la línea tendría un ancho de 0.153 mm; y esto aumentaría las pérdidas. En la figura 69 se puede apreciar que la magnitud de la impedancia de las dos redes es igual para 800MHz, sin embargo, la impedancia presentada al segundo armónico es casi 10 veces menor que en la red de elementos distribuidos.

Dicha red se intentó optimizar variando la impedancia característica de las líneas como se indica en los trabajos de Mader y Popovic [1995], pero nunca se logró que la red presentara la impedancia Z_{net1} y al mismo tiempo una alta impedancia para el segundo armónico.

De lo anterior podemos concluir que cuando solamente se utiliza C_{ds} como la capacitancia total de salida del circuito y la frecuencia de operación es muy pequeña la impedancia que requiere el amplificador, de acuerdo a Mader, es muy grande. Así que

difícilmente se podrá sintetizar una red con microcintas que presente la impedancia Z_{net1} y al mismo tiempo una alta impedancia para el segundo armónico como se pretende alcanzar una alta eficiencia [Mader T. B. y Popovic Z., 1995].

Para evaluar el desempeño del amplificador con esta red de carga se utiliza una simulación con el modelo del conmutador ideal de acuerdo a las consideraciones hechas en los trabajos de Mader en 1995 y 1998 y, además, se utiliza el balance armónico con la topología de circuito de la figura 70.

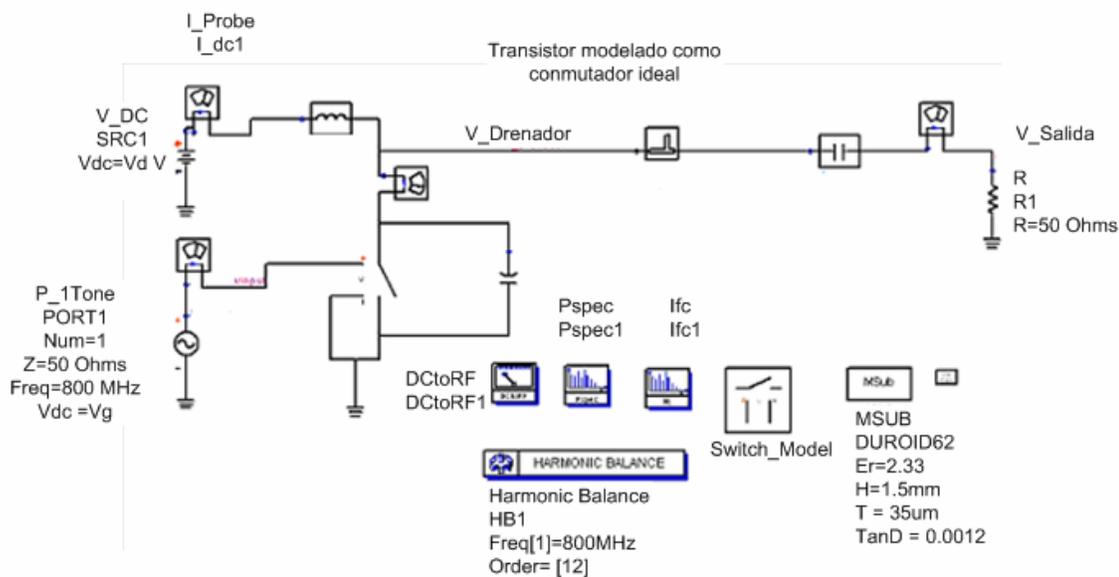


Figura 70. Topología del circuito para simular el amplificador clase E (Mader)

Los resultados de la simulación utilizando cada una de las redes se presenta en la Tabla X. La red que tiene mejor desempeño es la red que presenta una muy alta impedancia al segundo armónico pero fue hecha con elementos concentrados ideales.

Tabla X. Simulación del amplificador clase E utilizando la teoría de Mader

Tipo de red	η_d (%)	P_{out} (dBm)	P_{dc} (dBm)
Elementos concentrados	92.86	14.13	14.45
Elementos distribuidos	38%	12.66	16.86

Como se puede observar en la Tabla X los resultados de la simulación distan mucho de la alta eficiencia, esto se debe a que la condición de presentar un abierto al segundo armónico no se cumple como se muestra en las figuras 68 y 69. Con la finalidad de verificar la exactitud del modelo del conmutador (cuando se utiliza C_{ds} como capacitancia de salida del transistor) se implementará el amplificador en un substrato de Duroid con las mismas características que el que se utilizó para diseñar la RAE en la sección 4.1.1 de este capítulo.

La red puede diseñarse con el procedimiento utilizado en la RAE, la diferencia está en que el acoplamiento se lleva de una carga de 50Ω a la impedancia Z_{net1} . Las dimensiones y el trazado de la red de carga diseñada con la impedancia Z_{net1} en su entrada y 50Ω a la salida se presentan en la figura 71.

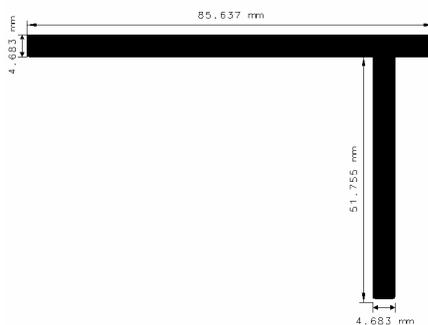


Figura 71. Diseño de la red de carga del amplificador a 800 MHz

VI.4.1.2 Implementación del amplificador

Para implementar el amplificador lo primero será integrar la red de adaptación de entrada, el transistor y la red de salida en un sólo trazado como se muestra en la figura 72.

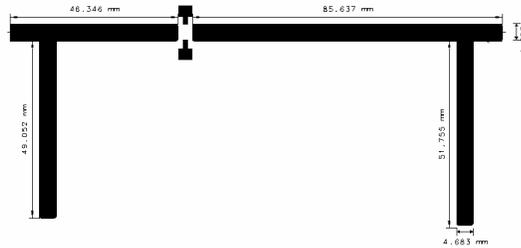


Figura 72. Diagrama completo del amplificador clase E a 800 MHz (Mader)

Con este diagrama se puede obtener una mascarilla que sirva para el grabado de la imagen sobre el substrato y posteriormente decapar el cobre restante. Los detalles de la técnica para la implementación del circuito impreso se presentan en el Apéndice C. La figura 73 muestra una fotografía del amplificador implementado en un substrato de Duroid con constante dieléctrica 2.33.

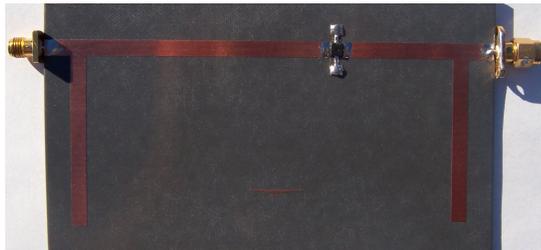


Figura 73. Fotografía del amplificador utilizando la teoría de Mader

VI.4.1.3 Resultados de la simulación y caracterización del amplificador

La simulación del amplificador se lleva a cabo utilizando la topología del circuito de la figura 70 con la que se implementará un barrido de 1.7V a 3.2 V en el potencial de drenador a fuente (variable V_d en el esquema) realizando una simulación de balance armónico para cada valor de V_d .

Una de las limitaciones al simular el amplificador utilizando un conmutador ideal (para modelar el comportamiento del transistor) es que no es posible predecir la ganancia y la eficiencia de potencia agregada (PAE) debido a que no se sabe cual será la potencia de entrada requerida para saturar al transistor. De acuerdo a la figura 74, la eficiencia de drenador simulada será constante (38% aproximadamente) con respecto al potencial en el drenador.

Una forma de caracterizar el amplificador clase E consiste en realizar las mediciones de la corriente y del potencial de DC en el drenador y la potencia de salida cuando se aplica una señal de entrada en una frecuencia y potencia determinadas. Con tales datos es posible calcular la potencia de DC suministrada por la fuente al amplificador, la eficiencia, la PAE y la ganancia.

Para obtener estos datos se utilizó el banco de medición presentado en la sección 4 del capítulo V sin embargo fue necesario agregar una función al programa de control en la PC para realizar la adquisición de las corrientes y potenciales de DC.

Los resultados de la medición de la eficiencia de drenador y de la PAE se muestran en la figura 74 cuando se aplica una señal de 800 MHz a tres diferentes potencias de entrada ($P_{ent}=10.4\text{dBm}$, $P_{ent}=9.4\text{dBm}$, $P_{ent}=8.4\text{dBm}$). A diferencia de la simulación, las mediciones muestran una pequeña dependencia del potencial de alimentación, de tal manera que si aumenta el potencial de alimentación la eficiencia disminuye, sin embargo, la PAE aumenta aunque siempre es negativa, por lo tanto, existen pérdidas.

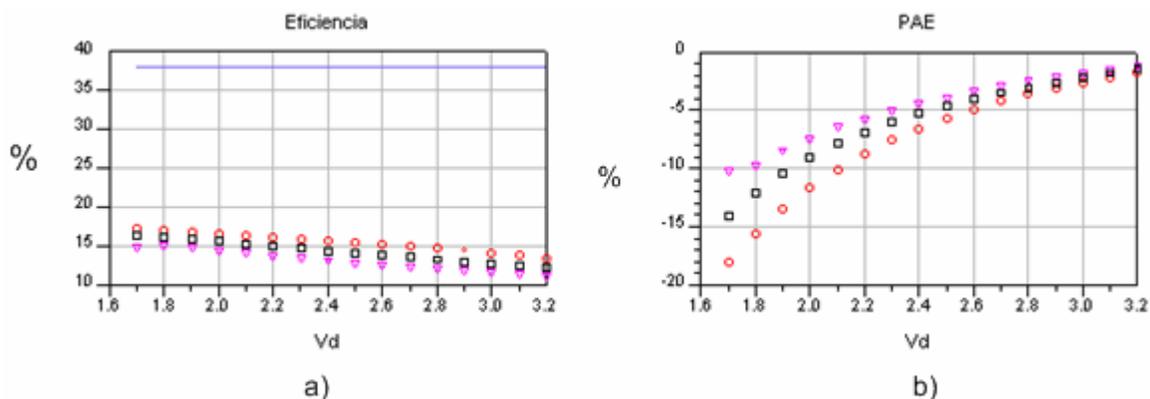


Figura 74. a) Eficiencia de drenador y b) PAE. Medición con $P_{ent}=8.4\text{ dBm}$ (triángulos), $P_{ent}=9.4\text{ dBm}$ (cuadros), $P_{ent}=10.4\text{ dBm}$ (círculos); simulación (línea continua).

La eficiencia aumenta conforme aumenta la potencia de la señal de entrada, pero esto tiene un límite ya que mantener el amplificador trabajando más allá del punto de compresión de 1dB degradará el transistor rápidamente y aunque se obtenga mayor eficiencia se pone en riesgo el transistor.

La potencia de salida y la ganancia se muestran en la figura 75. La desviación máxima de la potencia respecto a las simulaciones es de aproximadamente 5 dBm en promedio pero disminuye hasta 2 dBm cuando el potencial, V_d , disminuye hasta 1.7V. La ganancia incrementa conforme aumenta V_d y disminuye si la potencia de entrada aumenta.

Finalmente, podemos concluir que modelar el transistor como un conmutador ideal no permite predecir adecuadamente la potencia de salida; además no se puede predecir la ganancia y la PAE. En las secciones siguientes se diseñará otro amplificador pero utilizando el modelo del transistor y las teorías desarrolladas en el CICESE por J R. Loo Yau para hacer la comparación.

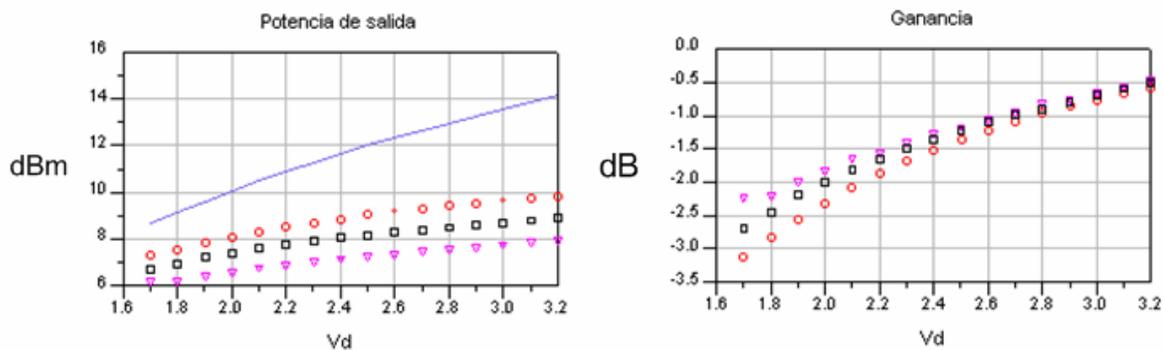


Figura 75. a) Potencia de salida y b) ganancia. Medición con $P_{ent}=8.4$ dBm (triángulos), $P_{ent}=9.4$ dBm (cuadros), $P_{ent}=10.4$ dBm (círculos); simulación (línea continua).

Por otro lado, se realizó un barrido en frecuencia para determinar la frecuencia a la cual el amplificador presenta el mejor desempeño. Dicha frecuencia resultó ser de 750MHz. A pesar de las mejoras en el desempeño, el modelo del conmutador aún sufre de problemas para predecir la eficiencia y la potencia de salida como se muestra en la figura 76. Dicha desviación en frecuencia (respecto a la de diseño: 800 MHz) también ha sido reportada en otro trabajo relacionado con altas frecuencias [Wilkinson y Everard, 2001].

De la figura 76 se observa que la diferencia entre las mediciones y la simulación de la eficiencia es de aproximadamente 18% de eficiencia con respecto a Vd. Por otro lado, en

la potencia de salida las diferencias entre lo medido y lo simulado son de aproximadamente 1.6 dBm cuando V_d se acerca de 3.2V, pero cuando V_d disminuye a 1.7V se predice bien.

En conclusión se puede observar que cuando el amplificador trabaja con una señal de entrada de 750MHz mejora drásticamente el desempeño del mismo, pues la eficiencia incrementa de 15% a 45% y se tiene ganancia positiva, por lo que ya está amplificando. Sin embargo, el modelo del conmutador no es capaz de predecir con la suficiente exactitud el comportamiento de un amplificador clase E implementado.

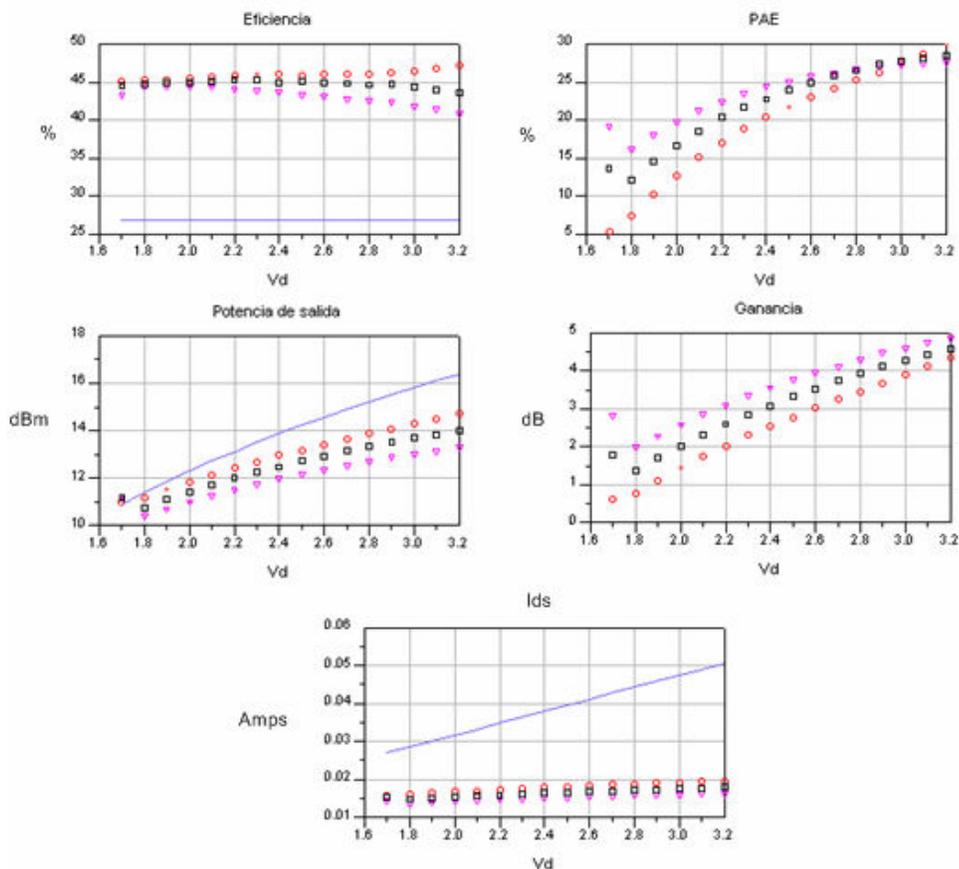


Figura 76. Eficiencia, PAE, potencia de salida, ganancia e I_{dc} en función de V_d con una señal de entrada a 750 MHz. (---) Simulaciones con conmutador. Medición con $P_{ent}=8.4$ dBm (triángulos), $P_{ent}=9.4$ dBm (cuadros), $P_{ent}=10.4$ dBm (círculos).

VI.5 Metodología utilizada por J. R. Loo Yau

En esta sección se utiliza el modelo no lineal de un FET en la simulación de los amplificadores clase E y para el cálculo de la impedancia de carga se utiliza la teoría desarrollada por J. R. Loo Yau. Como se verá posteriormente, esto puede aliviar el problema de inconsistencia entre la simulación y la medición cuando se utiliza el conmutador para modelar el transistor. Para aplicar estas teorías se diseñará, simulará, implementará y caracterizará un amplificador a 800 MHz teniendo como base de comparación el amplificador implementado anteriormente con la teoría de Mader.

Dicha teoría se ha desarrollado en el CICESE en los últimos años, siendo el objetivo principal de esta tesis, la comprobación de la misma aplicando el modelado no lineal para llevarlas a la práctica. Puesto que este trabajo es muy reciente se tienen pocas referencias de publicaciones, sin embargo, en una de ellas [Loo Yau J. R. y Apolinar Reynoso J. A., 2004] se expone una de las limitantes principales para la obtención de alta eficiencia en amplificadores clase E para altas frecuencias.

Estas investigaciones se han extendido de modo que para el diseño de los amplificadores clase E se consideran los elementos parásitos del transistor y el tiempo que tarda la señal de entrada saturarlo, esto último permite el uso de una señal senoidal a la entrada cuando no es posible utilizar una onda cuadrada como se indica en la teoría clásica.

La aportación principal de dicho trabajo es un conjunto de expresiones que son necesarias para realizar el cálculo de la red de carga del amplificador clase E. Tales

expresiones [Loo Yau et al, 2006] toman en cuenta las resistencias parásitas en el drenador (R_d) y la fuente (R_s), las inductancias L_s y L_d . En cuanto a las capacitancias, la extrínseca, C_{pd} , y las intrínsecas, C_{gd} y C_{ds} , se utilizan para determinar la capacitancia total salida del transistor, de tal manera que $C_s = C_{pd} + C_{gd} + C_{ds}$. [Loo Yau et al, 2006].

Para calcular la red de carga es necesario conocer el valor de los elementos mencionados anteriormente en el punto de polarización en el que trabajará el amplificador. Para que el amplificador trabaje en modo conmutado el transistor se polariza en oclusión ($V_{gs}=-1V$ y $V_{ds}=2.7V$). El potencial V_{ds} se elige para que el potencial y corrientes máximos en el drenador (V_{max} e I_{max}) permanezcan dentro de la región donde se modeló la corriente del transistor (figura 53).

De acuerdo a la extracción de los parásitos realizada en el capítulo V se tiene que: $C_{pd}=1009.51fF$, $C_{ds}=95.47fF$, $C_{gd}=1057fF$, $L_s=63.38pF$, $L_d=1320.33pH$, $R_s=0.203\Omega$, $R_d=0.424\Omega$. De acuerdo a J. R. Loo Yau utilizando dichos valores la impedancia de la red de carga es: $Z_{Loo} = 21.8400 + j39.9924$ Ohms.

VI.5.1 Diseño del amplificador con la teoría de J.R. Loo Yau

El procedimiento para diseñar la red de adaptación en la entrada (RAE) es exactamente el mismo que se siguió en la sección 4.1.1 de este capítulo pero se hará sobre un substrato de Duroid que tiene una constante dieléctrica de 2.2, grosor (h) de 31 mils, pérdidas tangenciales ($\tan \delta$) de 0.009 y capas de cobre sobre el substrato de $35\mu m$ de espesor.

La topología y las dimensiones de la RAE diseñada se muestran en la figura 77. La impedancia de entrada del transistor es la misma ya que utilizaremos el transistor (NEC651R479A) y en el mismo punto de polarización ($V_{gs} = -1V$ y $V_{ds} = 2.7V$). En cuanto al transistor, utilizaremos los datos obtenidos de la caracterización y modelado que se obtuvo en el capítulo V para el NEC651R479A.

VI.5.1.1 Diseño de la red de carga

La red de carga se sintetiza de tal manera que presente la impedancia Z_{L00} en su puerto de entrada y que a su vez adapte dicha impedancia con una de 50Ω (carga). Para este propósito se utiliza una red con una línea y un stub, construida en tecnología de microcinta y sobre el mismo sustrato que se utilizó para la RAE. La impedancia de la línea y el stub se diseño para ser 50Ω a 800 MHz. En la figura 77 se presenta el trazado y las dimensiones de la red de carga construida con la impedancia Z_{L00} utilizando el diseño de redes automatizado (“*Desing Guide*”) del programa ADS.

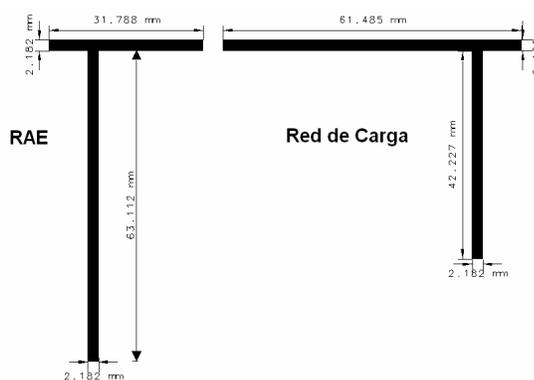


Figura 77. Red de carga y RAE para un amplificador clase E a 800 MHz.

En la implementación del amplificador se utilizan las técnicas presentadas en el Apéndice C. La figura 78 muestra la fotografía del amplificador a 800 MHz sobre un sustrato de Duroid.

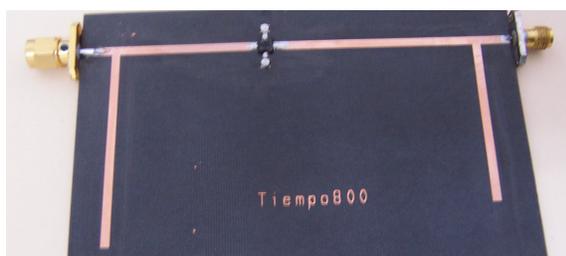


Figura 78. Amplificador clase E a 800 MHz utilizando el método de J. R. Loo Yau

VI.5.2 Resultados de la simulación del amplificador

Para la simulación del amplificador se implementó el modelo del transistor NEC651R479A (figura 48) en el programa ADS, así como la RAE y red de carga. El esquemático para la simulación de balance armónico se muestra en la figura 79.

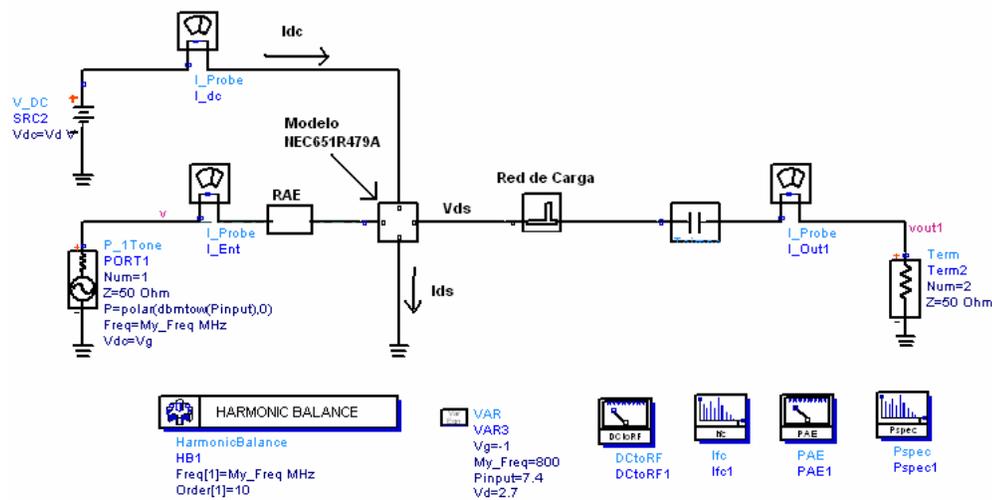


Figura 79. Esquema para simular el amplificador utilizando modelado

La simulación de las formas de onda de potencial (V_{ds}) y corriente en el drenador (I_{ds}) con $V_{gs} = -1V$ y $V_{ds} = 2.7V$ se muestran en la figura 80. La forma de onda de potencial no dista mucho de la ideal (figura 9), sin embargo la corriente presenta deformaciones y valores negativos que indudablemente degradan la eficiencia del amplificador.

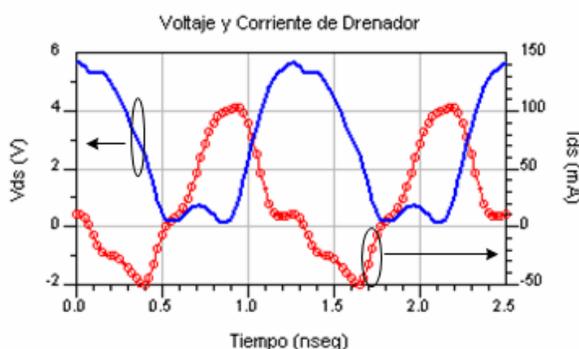


Figura 80. Simulación de las formas de onda de corriente y potencial en el drenador

En la Tabla XI se muestra la simulación de la eficiencia, PAE, ganancia, potencia de salida y corriente de drenador-fuente (I_{ds}) cuando se aplica una señal a la entrada a 800MHz con una potencia (P_{ent}) de 6.4 dBm; que de acuerdo a la simulación es suficiente para saturar el transistor (alcanzar $V_{gs} = 0$).

Tabla XI. Resultados de la simulación del amplificador utilizando modelado.

Amplificador Clase E @ 800 MHz					
$V_{gs} = -1v, V_{ds} = 2.7v$					
Pent	Psal	G	Eficiencia	PAE	Idc
6.4 dBm	16.32dBm	9.88 dB	78.1 %	73.9%	20.3 mA

He aquí algunas de las ventajas de utilizar el modelo del transistor para las simulaciones y el diseño del amplificador. En contraste con las simulaciones que utilizan el conmutador ideal, ahora se puede aproximar el valor de la potencia de entrada necesaria para saturar el transistor, la ganancia y la PAE. Esto es de gran ayuda, dado que podría utilizarse para optimizar algunos de los parámetros del amplificador antes de su construcción disminuyendo el tiempo y el costo de diseño. Además, se podría hacer un análisis de fallas y de sensibilidad con las variables involucradas en los procesos de producción, tal como la exactitud para realizar las líneas de microcinta.

De la Tabla XI se observa que aún existen problemas para alcanzar una eficiencia de 100%. En la figura 81a se presenta un diagrama a bloques de las partes intrínsecas y extrínsecas del transistor, así como dos nodos llamados interno y externo. El nodo interno corresponde al nodo de la fuente de corriente interna y el nodo externo se refiere al contacto óhmico del drenador. En la figura 81b se puede ver que los potenciales en los nodos interno y externo son prácticamente iguales ya que ahora se toman en cuenta las capacitancias del transistor en el diseño de la red de carga del amplificador.

Las corrientes de los nodos interno y externo se presentan en la figura 81c. En esta gráfica se muestra que las distorsiones de la corriente en el nodo externo son significativas con respecto al nodo interno y de aquí las pérdidas de eficiencia en altas frecuencias pues existirá una corriente negativa durante el periodo de apagado. Esta corriente se le puede adjudicar a que la energía almacenada en las inductancias parásitas, L_s y L_d , durante el

tiempo en el que el transistor permanece activado, la cual se libera al momento de desactivarlo y una corriente fluye hacia el nodo externo.

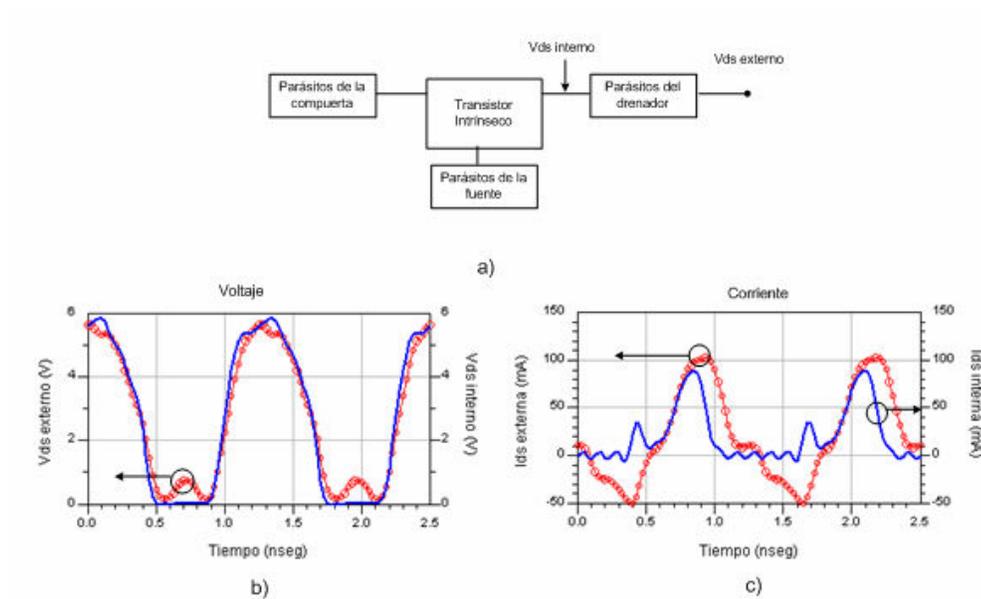


Figura 81. a) Diagrama simplificado del transistor, b) Formas de onda de potencial y c) corriente internas y externas

La recta de carga del amplificador diseñado a 800 MHz se muestra en la figura 82. En ella se puede observar que cuando incrementa el potencial existe poca corriente y viceversa lo que es esencial para obtener alta eficiencia.

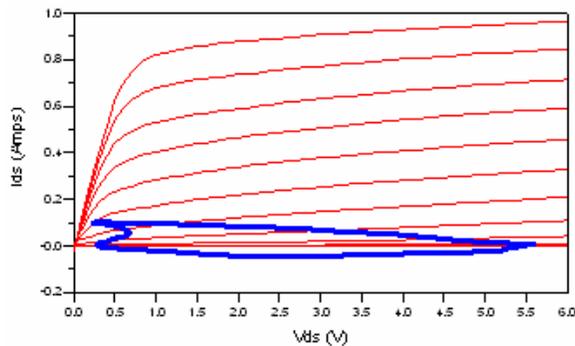


Figura 82. Recta de carga del amplificador clase E

VI.5.3 Caracterización del amplificador

Para caracterizar el amplificador las mediciones se realizan utilizando el mismo banco de medición que se utilizó para el amplificador realizado con la teoría de Mader. Además, dichas mediciones se comparan con una simulación realizada con balance armónico generando un barrido del potencial de alimentación del amplificador (V_d) para observar sus efectos en la eficiencia, PAE, ganancia, potencia de salida y corriente consumida por el mismo (I_{dc}).

La eficiencia de drenador del amplificador diseñado utilizando la teoría de J. R. Loo se muestra en la figura 83. En esta figura se incluyen las simulaciones del amplificador utilizando el modelo del transistor y las mediciones obtenidas. El resultado es muy bueno y para el punto en el que se diseñó el amplificador ($V_d = 2.7V$) la diferencia entre la simulación y la medición es de 7.5% de eficiencia aproximadamente. Esta diferencia aumenta para los potenciales menores que el de diseño, pero disminuye conforme V_d es mayor.

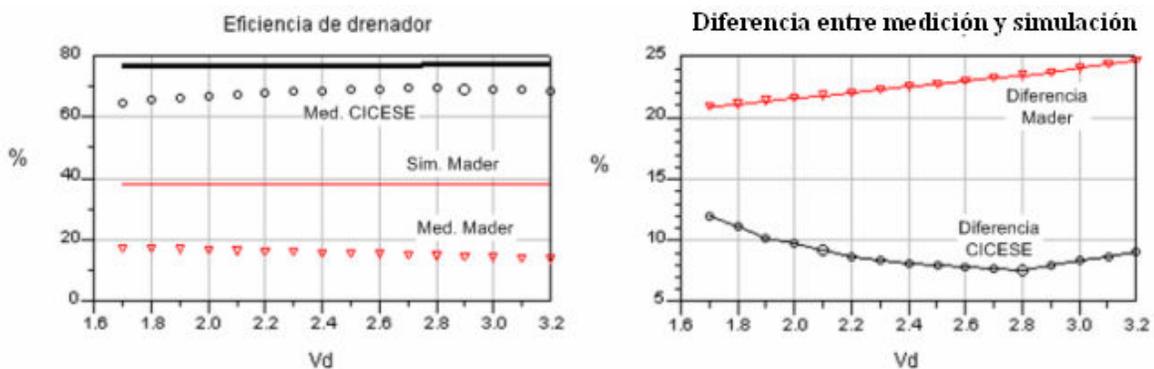


Figura 83. Eficiencia de drenador (800 MHz y $P_{ent} = 10.4dBm$)

En comparación con la simulación que utiliza el conmutador (Mader, figura 70), la exactitud obtenida con el modelo no lineal (CICESE, figura 79) es mucho mejor, puesto que con el conmutador la diferencia es de 22% de eficiencia en promedio.

En la figura 84 se presentan las mediciones de la PAE para los dos amplificadores, sin embargo, solamente se presenta la PAE simulada con el modelo no lineal del transistor pues con el conmutador no es posible obtenerla. Las diferencias entre la simulación y la medición de la PAE utilizando el modelo del transistor tienen en promedio una diferencia de 12% en la PAE. La PAE del amplificador construida con la teoría del CICESE es mucho mayor que la obtenida con la teoría que propone Mader.

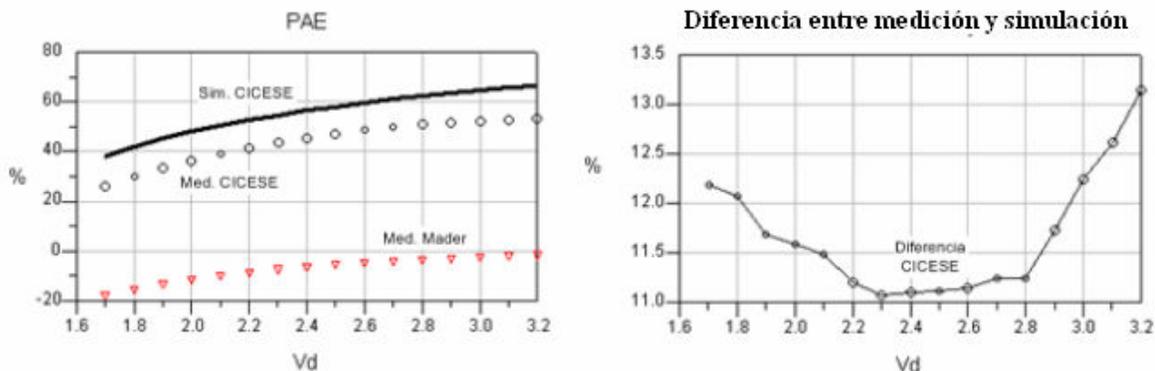


Figura 84. PAE (800 MHz y $P_{ent} = 10.4\text{dBm}$)

En la figura 85 se muestra la simulación y las mediciones de la potencia de salida de los dos amplificadores diseñados. Cuando se utiliza el conmutador para la simulación la potencia predicha llega a ser 4.5dBm mayor que los valores medidos, sin embargo, en el peor de los casos cuando se utiliza el modelo la potencia esperada es 1dBm mayor que la medición.

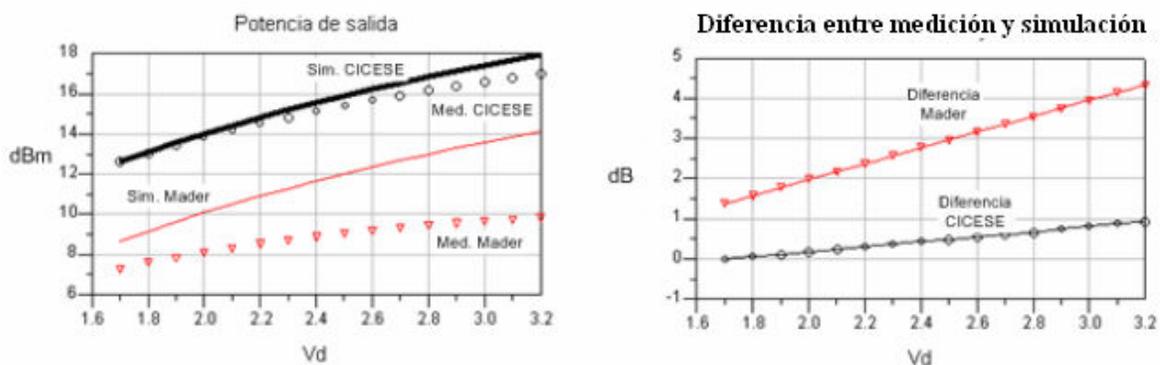


Figura 85. Potencia de salida (800 MHz y $P_{ent} = 10.4\text{dBm}$)

Para la ganancia, presentada en la figura 86, el modelo es capaz de predecir su respuesta en función del potencial de alimentación, V_d , de tal manera que cuando V_d s aumenta respecto al punto de diseño la diferencia entre la simulación y la medición llega a ser de solamente 1dB. El modelo del conmutador no puede predecir este dato y por lo tanto, no es posible detectar de antemano que el amplificador está atenuando prácticamente para todo V_d , donde se realizó la medición.

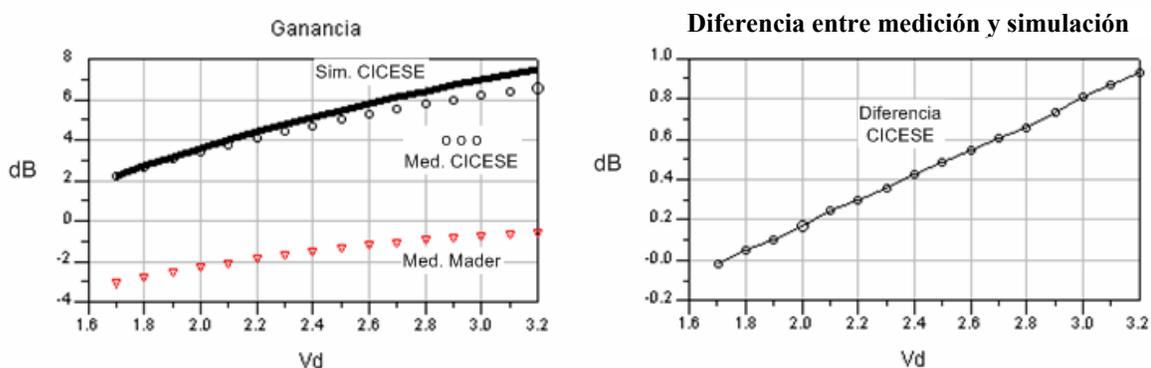


Figura 86. Ganancia (800 MHz y $P_{ent} = 10.4\text{dBm}$)

Para el caso de la corriente de alimentación del amplificador, I_{dc} , la predicción del comportamiento del amplificador, figura 87, es mejor cuando se utilizan las teorías desarrolladas en el CICESE en conjunto con el modelo no lineal del transistor.

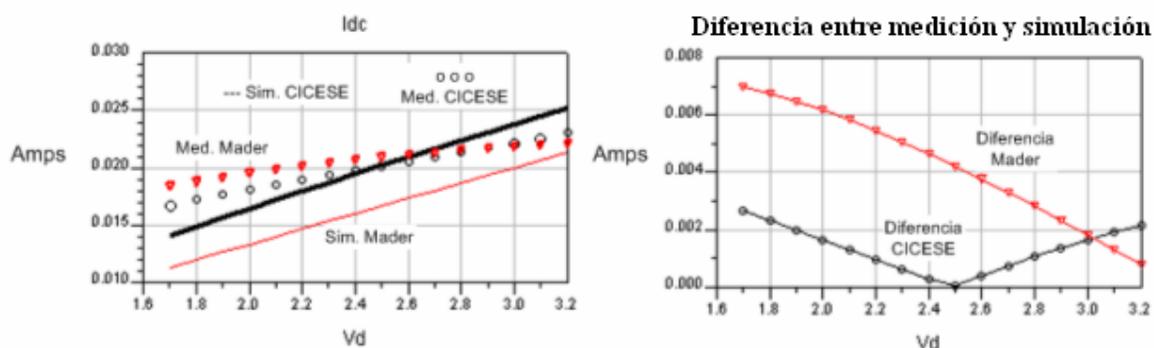


Figura 87. Corriente consumida por el amplificador (800 MHz y $P_{ent} = 10.4\text{dBm}$)

Finalmente, podemos concluir que el amplificador con el modelo del transistor, presentado en la sección 2.1 del capítulo V, y las teorías desarrolladas en el CICESE se predice mejor el comportamiento del amplificador que cuando se utiliza el modelo de conmutador ideal y la teoría de Mader. Este problema se debe a que el amplificador está prácticamente fuera de sintonía durante el funcionamiento. Dicha pérdida de sintonía se debe a la consideración incorrecta de que C_{ds} es la capacitancia total de salida del amplificador. Así pues, con esto se elimina la ambigüedad que existe en algunas publicaciones [Mader T. B. y Popovic Z., 1995 y Mader et al, 1998], [Pajic S. et al., 2005] [Peña R. y García J. A.] respecto a la capacitancia de salida del transistor ya que en ellas se considera que la capacitancia total de salida del transistor está dada por el valor de C_{ds} , sin embargo, y de acuerdo a la teoría desarrollada en el CICESE por J. R. Loo Yau, se comprueba que la capacitancia total de salida es la suma de las capacitancias C_{ds} , C_{gd} y C_{pd} .

El modelo del conmutador ideal para representar el comportamiento del transistor en altas frecuencias no es del todo válido y es más conveniente el uso del modelo no lineal del transistor. Esta herramienta combinada con las expresiones de J. R. Loo para el cálculo de la red de salida permitirá obtener una mejor aproximación del desempeño del amplificador cuando sea implementado. Además, teniendo el modelo del transistor se puede optimizar el amplificador para hacer énfasis en el desempeño de alguno de sus parámetros en particular.

VI.5.3.1 Amplificador a 750 MHz

Al igual que el amplificador realizado con la teoría de Mader se aplicó una señal de entrada con una frecuencia que varió entre 700MHz a 900MHz, de tal manera se pudo detectar que en la frecuencia de 750MHz el amplificador presentó su mejor desempeño. Para verificar su comportamiento se caracterizó en el banco de medición como los amplificadores anteriores, el resultado de la simulación y la medición se muestran en la figura 88.

De la figura 88 se puede observar que las diferencias entre las simulaciones y las mediciones se conservan cerca del 10% de eficiencia. La ganancia, la potencia de salida y la corriente de alimentación, I_{dc} , se predicen con buena exactitud en todo el rango del potencial V_d . Las mediciones del parámetro que más alejado está respecto a las simulaciones es la PAE (para bajos potenciales la diferencia llega a estar cercana al 20% y cercana a 12% cuando el potencial de alimentación está cerca de 3.2V).

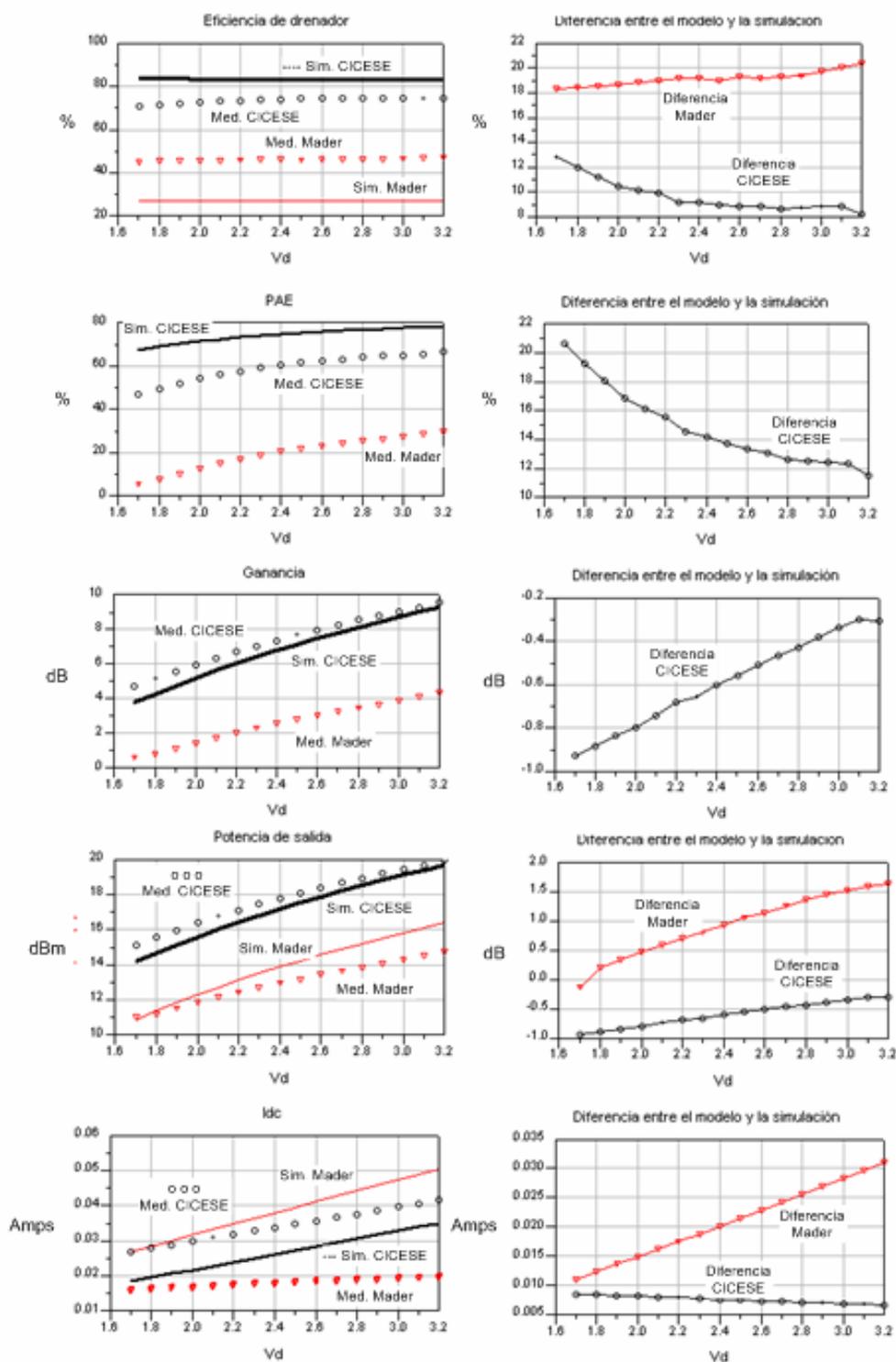


Figura 88. Simulaciones y mediciones de la eficiencia, PAE, potencia de salida, ganancias y corriente de DC con una señal de entrada a 750MHz con 10.4dBm.

Como se puede observar, ambos amplificadores tuvieron un corrimiento en frecuencia, es decir fueron diseñados para funcionar a 800MHz pero su funcionamiento óptimo resultó ser a 750MHz (aprox. 6% de desviación). Dicho problema se puede solucionar al incluir el valor de la inductancia de drenador, L_d , en el cálculo de la impedancia de carga del amplificador como se demuestra en un amplificador diseñado a 6GHz en un trabajo que se está preparando para publicar.

VI.6 Conclusiones

La caracterización y modelado del transistor es muy importante en altas frecuencias cuando estos se aplican en amplificadores clase E, ya que la presencia de los elementos parásitos en el puerto de salida se vuelven muy nocivos para la eficiencia conforme aumenta la frecuencia y es preciso tomar en cuenta su efecto a través el modelado.

El valor de la capacitancia de salida del transistor es la suma de las capacitancias C_{ds} , C_{gd} y C_{pd} del transistor, de esta manera eliminamos las ambigüedades existentes en otros trabajos que hablan de la capacitancia de salida sólo como el valor de C_{ds} .

El uso del modelo del conmutador ideal para representar el comportamiento el transistor en altas frecuencias no es del todo válido y es más conveniente el uso del modelo no lineal. Esta herramienta combinada con las expresiones de J. R. Loo para el cálculo de la red de salida permite obtener una mejor aproximación del desempeño del amplificador cuando se implementa. Además, teniendo el modelo no lineal del transistor se puede optimizar el amplificador para mejorar el desempeño un parámetro determinado.

CAPÍTULO VII

VII.1 Conclusiones

En este trabajo de tesis se desarrolló un amplificador clase E utilizando un modelo no lineal del transistor en lugar de un interruptor ideal. El amplificador polarizado con $V_{gs}=-1V$ y $V_{ds}=2.7V$ obtuvo una eficiencia de drenador de 70%, una eficiencia de potencia agregada de 52%, la potencia de salida fue 16 dBm a una potencia de entrada de 10.4 dBm. Cuando el potencial V_{ds} se incrementa a 3.2 V el desempeño del amplificador mejora de tal manera que la PAE sube a 56% y la potencia de salida es 17dBm. Por otro lado, cuando la frecuencia de entrada es 750 MHz la eficiencia de drenador es de 76%, la PAE es de 63%, la potencia de salida es de 19 dBm. Cuando el potencial de alimentación se incrementa a 3.2V la potencia de salida es 20dBm y la PAE está cerca del 67%. El corrimiento en frecuencia es atribuible a la omisión de la inductancia L_d en los cálculos de la red de carga.

Se realizó un estudio comparativo, entre el modelado no lineal y el interruptor ideal para identificar las ventajas de cada uno de las teorías. De esto se deriva que el modelado no lineal tiene grandes ventajas sobre el modelo del interruptor ya que este puede predecir con mayor exactitud el desempeño del amplificador. Además, se puede simular el comportamiento de la ganancia, la PAE y la potencia de entrada requerida para que el amplificador funcione en régimen conmutado, lo cual contrasta con el conmutador ideal, donde no se puede predecir ninguno de estos parámetros.

Se aplicaron las teorías para el diseño de amplificadores clase E desarrolladas en el CICESE, las cuales toman en cuenta los efectos de una señal de entrada senoidal en lugar de una cuadrada, como se indica en la teoría clásica. Además, para realizar el cálculo de la impedancia de la red de carga del amplificador se utilizan los elementos parásitos del transistor.

Con todas estas consideraciones se pudo comprobar que la teoría desarrollada en el CICESE por J. R. Loo Yau es capaz de predecir mejor el valor de la impedancia de la red de carga porque toma en cuenta la suma de las capacitancias C_{ds} , C_{gd} y C_{pd} como la capacitancia total del salida del transistor, en contraste con la teoría clásica (sólo C_{ds}). Por otro lado se verificó experimentalmente la necesidad de presentar una alta impedancia al segundo armónico para obtener alta eficiencia.

Para utilizar el modelado en los amplificadores de potencia es pertinente que se obtengan las mediciones necesarias para la extracción de los elementos extrínsecos e intrínsecos del modelo. La precisión y exactitud en tales mediciones es de vital importancia para que la extracción de los parámetros sea la correcta. Esta precisión está muy ligada a la calidad y exactitud de los kits de calibración utilizados para estimar los errores sistemáticos del analizador de redes vectorial (ARV) por lo que se debe tener la precaución de diseñarlos e implementarlos con sumo cuidado.

Para la medición de transistores de mediana potencia que utilizan empaquetados que no permiten su caracterización directa en los puertos del ARV, se requiere el uso de una base de pruebas en la que el diseño térmico se convierte en una prioridad, de lo

contrario el calor generado por el mismo transistor (debido al flujo de corriente) no permitirá una correcta caracterización del transistor.

VII.2 Aportaciones

- Se diseñaron, implementaron los kits de calibración para las técnicas TAR y TRLm utilizando técnicas de microcinta.
- Se analizó el efecto térmico en el diseño de las bases de prueba para caracterizar transistores de mediana potencia y el efecto de las vías en la caracterización de los mismos.
- Diseño de un banco de pruebas automatizado para obtener los parámetros que marcan en desempeño de los amplificadores clase E, tales como potencia de salida, eficiencia, PAE, ganancia y corrientes consumidas por el amplificador.
- Se presenta la caracterización de transistores encapsulados de mediana potencia.
- Se diseñó, simuló e implementó un amplificador clase E a 800MHz.
- Se realizó la comparación de la técnica clásica presentada por Mader y la técnica desarrollada en el CICESE para el diseño de amplificadores de potencia.

VII.3 Conferencias

- **Line-attenuator-line: an alternative method for in-fixture calibration**
J A Reynoso-Hernández, J R Loo-Yau, Hugo Ascencio-Ramírez, Juan Alberto Saldivar, J E Zúñiga-Juárez and María del Carmen Maya-Sánchez

Centro de Investigación Científica y de Educación Superior de Ensenada

(CICESE), Ensenada, B C México

65th ARFTG Microwave Measurements Conference

Páginas: 169 – 174

- **Diseño e implementación de un amplificador de potencia clase E de bajo potencial a 1.9GHz.**

Hugo Ascencio Ramírez, J. R. Loo Yau y J. A. Reynoso Hernández

Centro de Investigación Científica y de Educación Superior de Ensenada

(CICESE), Ensenada, B C México

Presentado en el SOMI 2005 (Sociedad Mexicana de Instrumentación), León,

Guanajuato, México, Octubre 24-28

VII.4 Recomendaciones

- Implementar los kits de calibración en sustrato de Duroid para que su ancho de banda sea mayor.
- Diseñar las bases de prueba utilizando la mayor cantidad de vías que sea posibles en el sustrato y debajo del transistor para evitar los problemas que provoca el calentamiento de los transistores de mediana potencia durante su caracterización.
- Implementar la red de carga de los amplificadores clase E utilizando una mayor cantidad de stub a la salida u otras configuraciones (redes diseñadas con técnicas de fractales) para disminuir el contenido armónico a la salida.

- Estudiar la técnica de eliminación y restauración de portadora EER para disminuir los efectos de las no linealidades a la salida del amplificador.
- Aumentar la capacidad del banco para caracterizar amplificadores clase E de tal manera que se pueda variar la frecuencia y potencia de entrada.

Referencias

- Albulet M. 2001. RF Power Amplifiers. Noble Publishing. Atlanta, GA. 366p.
- Albulet M. y Zulinski R. E. 1998. Effects of Switch Duty Ratio on the Performance of Class E Amplifiers and Frequency Multipliers. IEEE Transactions on Circuits and Systems-1: Fundamental Theory and Applications. 45 (4): 325-335p.
- Anadigics 2003. Thermal considerations for PAs. Anadigics Electronics. Nota de aplicación AN-0003. 6p.
- Angelov I. Zirath H. y Rorsman N. 1992. A new Empirical Nonlinear Model for HEMT and MESFET Devices. IEEE Transactions on Microwave Theory and Techniques. 40 (12): 2258-2264p.
- Avratoglou CH. P. y Voulgaris N. C. 1987. A new Method for the Analysis and Design of the class E power amplifier taking into account the QL Factor. IEEE Transactions on circuits and systems. CAS-34 (6): 687-691p.
- Berroth M. y Bosch R. 1990. Broad-Band Determination of the FET Small-Signal Equivalent Circuit. IEEE Transactions on Microwave Theory and Techniques. 38 (7): 891-895p.
- Berroth M. y Bosch R. 1991. High-Frequency Equivalent Circuit of GaAs FET's for Large-Signal Applications. IEEE Transactions on Microwave Theory and Techniques. 39 (2): 224-228p.
- Cantrell W. H. 2000. Tuning Analysis for the high-Q Class-E Power Amplifier. IEEE Transactions Theory and Techniques. 48 (12): 2397-2402p.
- Cripps S. C. 1999. RF Power Amplifiers for Wireless Communications. Artech House. Boston. 336p.
- Dambrine G., Cappy A., Heliodore F. y Playez E. 1988. A New Method for Determining the FET Small-Signal Equivalent Circuit. IEEE Transactions on Microwave Theory and Techniques. 36 (7): 1151-1159p.
- Ebert J. y Kazimierczuk M. 1981. Class E High-Efficiency Tuned Power Oscillator. IEEE Journal of Solid State Circuits. SC-16 (2): 62-65p.
- Engen G. F y Hoer C. 1979. "Thru-Reflect-Line": An Improved Technique for calibrating the dual six-port Automatic network analyzer. IEEE Transactions Microwave Theory and Techniques. MTT-27 (12): 987-992p.

- Gonzalez G. 1997. Microwave Transistor Amplifier Analysis and Design. Prentice Hall. New Jersey. 506p.
- Gupta. K. C. 1996. Microstrip Lines and Slot Lines. Artech House. Boston. 535p.
- Hewlett Packard. 2000. In-Fixture Measurements Using Vector Network Analyzers. Agilent. Nota de aplicación AN-1287-9. 32p.
- Hewlett Packard. 2002. Applying Error Correction to Network Analyzer Measurements. Agilent Nota de aplicación AN 1287-3. 16p.
- Holman J. P. 1976. Heat Transfer. McGraw-Hill. Cuarta Edición. New York. 530p.
- Infineon. 2000. Thermal Resistance Theory and Practice. Special Subject Book 2000. 32p.
- Infineon. 2002. Thermal Resistance calculation. Nota de aplicación No. 77. 6p.
- Inzunza González E. 2001. Desarrollo de un software educativo para calibrar analizadores de redes, utilizando técnicas de calibración LRL(m) multilíneas y LRM Modificada. CICESE. Div. Física Aplicada, Tesis de Maestría. 120p.
- Kazimierczuk M. 1981. Class E Tuned Power Amplifier with Shunt Inductor. IEEE Journal of Solid State Circuits. SC-16 (1): 2-7p.
- Kazimierczuk M. 1983. Exact Analysis of Class E Tuned Power Amplifier with Only One Inductor and One Capacitor in Load Network. IEEE Journal of Solid State Circuits. SC-18 (2): 214-221p.
- Kazimierczuk M. 1986. Generalization of conditions for 100-Percent Efficiency and Nonzero output power in power amplifiers and frequency multipliers. IEEE Transactions on circuits and systems. CAS-33 (8): 805-807p.
- Kazimierczuk M. y Puczko K. 1987. Exact Analysis of Tuned Power Amplifier at any Q and Switch Duty Cycle. IEEE Transactions on circuits and systems. CAS 34 (2): 149-159p.
- Kneppo I y Fabian J. 1994. Microwave Technology Series 8: Microwave Integrated Circuits. Chapman & Hall. London. 329p.
- Ladbrooke P. H. 2003. Pulsed I(V) measurement of semiconductor devices with applications. Accent Optical Technologies Manual. 318p.
- Lohn K. 1986. On the Overall Efficiency of the class E Power Converter. IEEE. 351-358p.

- Loo Yau J. R. 2000. Diseño de un mezclador de baja distorsión. Tesis de Maestría en Ciencias. CICESE. Baja California. 114p.
- Loo Yau J. R. y Apolinar Reynoso J. A. 2004. Theoretical study of the effects of the parasitic resistances, R_d y R_s , on the voltage and current waveform in the transmission line class E PA. 63th ARFTG Conference Digest. 197-203p.
- Loo Yau J.R, Ascencio-Ramírez H. y Reynoso-Hernández J. A. 2006. An improved technique to design high efficiency class E power amplifier at 6 GHz. CICESE artículo en preparación .2006.
- Loo-Yau J. R. Ascencio-Ramírez H. y Reynoso-Hernández J. A. 2006. Improvement to the Angelov Model Suitable for Modeling GaAs and GaN FET Transistor. CICESE. Artículo en preparación. 2006.
- López Gutiérrez R. M. 1996. Calibración TRL en dos etapas; una alternativa para eliminar los errores sistemáticos del analizador de redes 8510C. CICESE. Baja California. 121p.
- Maas S. A. Non Linear Microwave Circuits. IEEE Press. New York. 478p.
- Mader T. B., Bryerton W., Marcovic M., Forman M. y Popovic Z. 1998. Switched-Mode High-Efficiency Microwave Power Amplifiers in a Free-Space Power-Combiner Array. IEEE Transactions on microwave theory and techniques.46 (10): 1391-1398p.
- Mader T. B. y Popovic Z. 1995. The Transmission-Line High-Efficiency Class-E Amplifier. IEEE Microwave and Guided Wave Letters. 5 (9): 290-292p.
- Mediano A. y Molina P. 1999. Frequency Limitations of High-Efficiency Class E Tuned RF Power Amplifier Due to a Shunt Capacitance. IEEE MTT-S Digest. MO4C-4. 363-366p.
- Ooi B. L. y Ma J. Y. 2003. An improved But Reliable Model for MESFET Parasitic Capacitance Extraction. IEEE MTT-S Digest. IFTU-62. A53-A56p.
- Pajic S., Wang N. y Popovic Z. 2005. Comparison of X-band MESFET and HBT Class-E Power Amplifier for EER Transmitters. IEEE MTT 2005.
- Peña R. y García J. A. 2004. Diseño de un Amplificador de Alta Eficiencia Clase E @ 2GHz. Departamento de Ing. Y Com. Univ. de Cantabria. Sesión 7 Aula 3. 4p.
- Raab F. H. 1977. Idealized Operation of the Class E Tuned Power Amplifier. IEEE Trans. Circ. Syst. CAS-24: 725-735p.

- Raab F. H. Sokal N. O. 1978. Transistor Power Losses in Class E Tuned Power Amplifier. IEEE Journal of Solid State Circuits. SC-13 (6): 912-914p.
- Rangel Patiño F. E. 1994. Modelado de transistores TEC GaAs no encapsulados por medio de un circuito eléctrico equivalente. Tesis de Maestría en Ciencias. CICESE. Baja California. 131p.
- Reynoso-Hernández J. A. e Izunza González E. 2001. " A straightforward De-Embedding Method for Devices Embedded in Test Fixtures. 57th ARFTG Conference Digest. 104-108p.
- Reynoso-Hernández J. A. 2002. Reliable Method for Computing The Phase Shift of Multiline LRL Calibration Technique. IEEE Microwave and Wireless Components Letters. 12 (10): 395-397p.
- Reynoso-Hernández J. Apolinar, Rangel F. y Perdomo J. 1996. Full RF Characterization for Extracting the Small-Signal Equivalent Circuit in Microwave FET's. IEEE Transactions on Microwave Theory and Techniques. 44 (12): 2625-2633p.
- Sirenza Microdevices.2002. Calculating Junction Temperature from Thermal Resistance. Desing. Nota de aplicación AN027. 2p.
- Sokal N. O. 1981. Class E High-Efficiency Switching-Mode Tuned Power Amplifier with Only One Inductor and One Capacitor in Load Network -Approximate Analysis. IEEE Journal of Solid State Circuits. SC-16 (4): 380-384p.
- Sokal N. O. 2000. Class-E Switching-Mode High-Efficiency Tuned RF/Microwave Power Amplifier: Improved Design Equations. IEEE MTTTS-Digest WE2C-3.779-782p.
- Sokal N. O. y Raab F. H. 1977. Harmonic Output of Class-E RF Power Amplifiers and Load Coupling Network Design. IEEE Journal of Solid State Circuits. 86-89p.
- Sokal N. O. y Sokal A. D. 1975. Class E- A new Class of High-Efficiency Tuned Single Ended Switching Power Amplifiers. IEEE Journal of Solid State Circuits. SC-10 (3): 168-176p.
- Van de Roer T. 1994. Microwave Technologies Series 10: Microwave Electronic Devices. Chapman and Hall. London. 340p.
- White P. M. y Healy R. M. 1993. Improved Equivalent Circuits for Determination of MESFET and HEMT Parasitic Capacitances from "Coldfet" Measurements. IEEE Microwave and Guided Wave Letters. 3 (12): 453-454p.

- Wilkinson A. J. y Everard K. A. 2001. Transmission-Line Load-Network Topology for Class-E Power Amplifier. IEEE Transactions on Microwave and Techniques. 49 (6): 1201-1210p.
- John Tobias, Jake Ruden y Richard Woodburn. 2003. Mounting Considerations for Medium Power Surface Mount RF Devices. Artículo publicado por WJ Communications. 10p.
- Zulinski R.E y Steadman J. W. 1986. Performance Evaluation of Class E Frequency Multipliers. IEEE Transactions on circuits and systems. CAS-33 (3): 343-346p.
- Zúñiga Juárez J. E. y J. A. Reynoso-Hernández. 2004. LIMIFET: Software para el modelado lineal y no lineal de transistores de efecto de campo PHEMT. Memorias SOMI XIX. Congreso Nacional de Instrumentación. Pachuca Hidalgo. 11p.
- Zúñiga Juárez J. E y J. A. Reynoso-Hernández. 2005. LIMCAL: Software para calibrar el Analizador de Redes Vectorial. Memorias SOMI XX. Congreso Nacional de Instrumentación. León, Guanajuato. 11p.

Apéndice A PARÁMETROS DE DISPERSIÓN

Usualmente se puede caracterizar una red de dos puertos utilizando el análisis de corrientes y potenciales en la redes de circuitos bajo condiciones de cortos circuitos y/o circuitos abierto, este tipo de análisis es el que se hace para la determinación de los parámetros Z y parámetros Y. Sin embargo, existe otro método que utiliza una terminación resistiva en los puertos al realizar el análisis de la red y determina las relaciones entre las ondas incidentes y reflejadas en cada uno de los puertos. De esta forma, en una red de dos puertos, es posible determinar los coeficientes de transmisión (S_{21} y S_{12}) y reflexión (S_{11} y S_{22}). Los parámetros S se definen como:

$$\left[\begin{array}{cc} S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} & S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \\ S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} & S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \end{array} \right]$$

Donde a_1 , a_2 y b_1 , b_2 son las ondas incidentes y reflejadas respectivamente en los puertos de la red como se muestra en la figura A1.



Figura A1. Ondas incidentes y reflejadas en una red de dos puertos

Apéndice B HOJAS TÉCNICAS

CEL

NEC's 1 W, L&S-BAND MEDIUM POWER GaAs HJ-FET

NE651R479A**FEATURES**

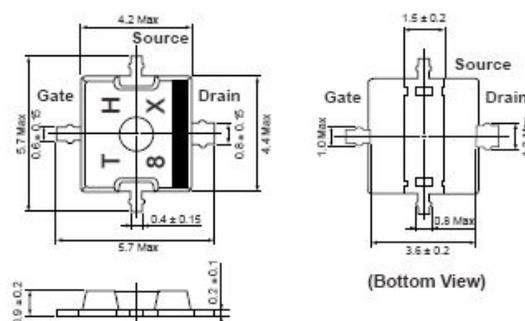
- **LOW COST PLASTIC SURFACE MOUNT PACKAGE**
Available on Tape and Reel
- **USABLE TO 3.7 GHz:**
Fixed Wireless Access, ISM, WLL, MMDS, IMT-2000, PCS
- **HIGH OUTPUT POWER:**
30 dBm TYP with 5.0 V Vdc
27 dBm TYP with 3.5 V Vdc
- **HIGH LINEAR GAIN:**
12 dB TYP at 1.9 GHz
- **LOW THERMAL RESISTANCE:**
30°C/W

DESCRIPTION

NEC's NE651R479A is a GaAs HJ-FET designed for medium power mobile communications, Fixed Wireless Access, ISM, WLL, PCS, IMT-2000, and MMDS transmitter and subscriber applications. It is capable of delivering 0.5 Watts of output power (CW) at 3.5 V, and 1 Watt of output power (CW) at 5 V with high linear gain, high efficiency, and excellent linearity. Reliability and performance uniformity are assured by NEC's stringent quality and control procedures.

OUTLINE DIMENSIONS (Units in mm)

PACKAGE OUTLINE 79A

**TYPICAL 5 V RF PERFORMANCE FOR REFERENCE (NOT SPECIFIED)** ($T_c = 25^\circ\text{C}$)

SYMBOLS	CHARACTERISTICS	UNITS	MIN	TYP	MAX	TEST CONDITIONS
P_{OUT}	Output Power	dBm		29.5		f = 1.9 GHz, $V_{DS} = 5\text{ V}$ $P_{IN} = +15\text{ dBm}$, $R_G = 1\text{ k}\Omega$, $I_{DSQ} = 50\text{ mA}$ (RF OFF) ²
GL	Linear Gain ¹	dB		12.0		
η_{ADD}	Power Added Efficiency	%		58		
I_D	Drain Current	mA		350		

Note:

1. $P_{IN} = 0\text{ dBm}$.**ELECTRICAL CHARACTERISTICS** ($T_c = 25^\circ\text{C}$)

PART NUMBER			NE651R479A			TEST CONDITIONS
PACKAGE OUTLINE			79A			
SYMBOLS	CHARACTERISTICS	UNITS	MIN	TYP	MAX	
P_{OUT}	Output Power	dBm	26.0	27.0		f = 1.9 GHz, $V_{DS} = 3.5\text{ V}$ $P_{IN} = +15\text{ dBm}$, $R_G = 1\text{ k}\Omega$, $I_{DSQ} = 50\text{ mA}$ (RF OFF) ²
GL	Linear Gain ¹	dB		12.0		
η_{ADD}	Power Added Efficiency	%	52	60		
I_D	Drain Current	mA		220		
I_{DSS}	Saturated Drain Current	A		0.7		$V_{DS} = 2.5\text{ V}$, $V_{GS} = 0\text{ V}$
Vp	Pinch-Off Voltage	V	-2.0		-0.4	$V_{DS} = 2.5\text{ V}$, $I_D = 14\text{ mA}$
BV_{GD}	Gate to Drain Break Down Voltage	V	12			$I_{GD} = 14\text{ mA}$
R_{TH}	Thermal Resistance, Channel to Case	°C/W		30	50	

Notes:

1. $P_{IN} = 0\text{ dBm}$.

2. DC performance is 100% tested. Wafers are sample tested for RF performance.
Wafer rejection criteria for standard devices is 1 reject for sample lot.

California Eastern Laboratories

NE651R479A

TYPICAL 3.5 V RF PERFORMANCE FOR REFERENCE (NOT SPECIFIED) ($T_C = 25^\circ\text{C}$)

SYMBOLS	CHARACTERISTICS	UNITS	MIN	TYP	MAX	TEST CONDITIONS
P_{OUT}	Output Power	dBm		27.0		$f = 900\text{ MHz}$, $V_{DS} = 3.5\text{ V}$ $P_{IN} = +13\text{ dBm}$, $R_G = 1\text{ k}\Omega$, $I_{DSQ} = 50\text{ mA}$ (RF OFF)
GL	Linear Gain ¹	dB		14.0		
η_{ADD}	Power Added Efficiency	%		60		
I_D	Drain Current	mA		230		

ABSOLUTE MAXIMUM RATINGS¹ ($T_A = 25^\circ\text{C}$)

SYMBOLS	PARAMETERS	UNITS	RATINGS
V_{DS}	Drain to Source Voltage	V	8
V_{GS}	Gate to Source Voltage	V	-4
I_{DS}	Drain Current	A	1.0
I_{GF}	Gate Forward Current	mA	10
I_{GR}	Gate Reverse Current	mA	10
P_T	Total Power Dissipation ²	W	2.5
T_{CH}	Channel Temperature	$^\circ\text{C}$	150
T_{STG}	Storage Temperature	$^\circ\text{C}$	-65 to +150

Notes:

- Operation in excess of any one of these parameters may result in permanent damage.
- Mounted on a $50 \times 50 \times 1.6\text{ mm}$ double copper clad epoxy glass PWB. $T_A = +85^\circ\text{C}$

RECOMMENDED OPERATING LIMITS

SYMBOL	PARAMETER	UNITS	MIN	TYP	MAX
V_{DS}	Drain to Source Voltage	V		3.5	6.0
G_{COMP}	Gain Compression ¹	dB			3.0
T_{CH}	Channel Temperature	$^\circ\text{C}$			+125

Note:

- Recommended maximum gain compression is 3.0 dB at $V_{DS} = 4.2$ to 5.5 V .

ORDERING INFORMATION

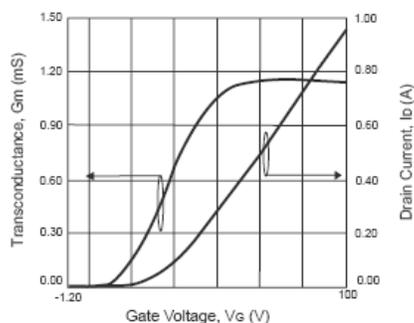
PART NUMBER	QTY
NE651R479A-T1	1 kpcs/Reel
NE651R479A	Bulk, 100 Pcs. Min.

Note:

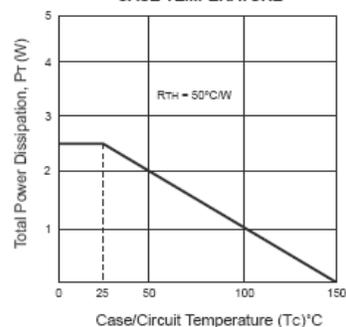
- Embossed Tape, 12 mm wide.

TYPICAL PERFORMANCE CURVES ($T_A = 25^\circ\text{C}$)

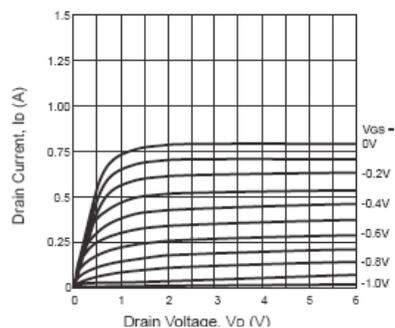
TRANSCONDUCTANCE AND DRAIN CURRENT vs. GATE VOLTAGE



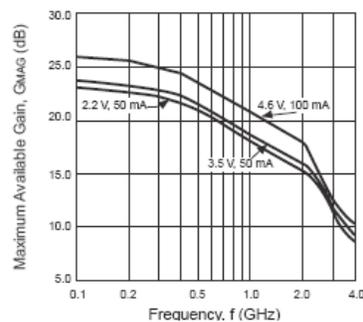
TOTAL POWER DISSIPATION vs. CASE TEMPERATURE



DRAIN CURRENT vs. DRAIN VOLTAGE

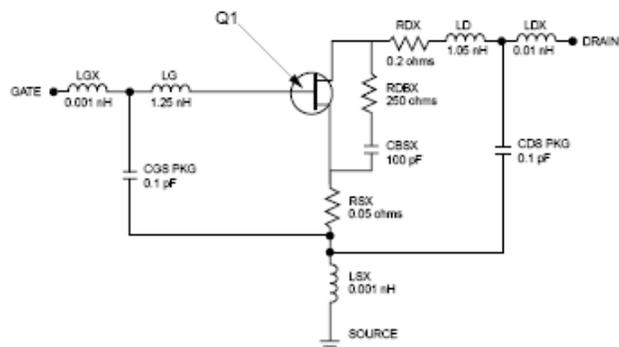


MAXIMUM AVAILABLE GAIN vs. FREQUENCY



NONLINEAR MODEL

SCHEMATIC



FET NONLINEAR MODEL PARAMETERS ⁽¹⁾

Parameters	Q1	Parameters	Q1
VTO	-0.8607	RG	1.0
VTOSC	0	RD	0.001
ALPHA	1.5	RS	0.001
BETA	0.9553	RGMET	0
GAMMA	0	KF	0
GAMMADC ⁽²⁾	0.002	AF	1
Q	1.5	TNOM	27
DELTA	0	XTI	3
VBI	0.6	EG	1.43
IS	1e-16	VTOTC	0
N	1	BETATCE	0
RIS	0	FFE	1
RID	0		
TAU	20e-12		
CDS	0.2e-12		
RDB	0.001		
CBS	0		
CGSO ⁽³⁾	14e-12		
CGDO ⁽⁴⁾	1.35e-12		
DELTA1	0.5		
DELTA2	0.2		
FC	0.5		
VBR	Infinity		

UNITS

Parameter	Units
capacitance	picofarads
inductance	nanohenries
resistance	ohms

MODEL RANGE

Frequency: 0.5 to 4 GHz

Bias: $V_{DS} = 2.2 \text{ V to } 4.6 \text{ V}$, $I_D = 50 \text{ mA to } 350 \text{ mA}$

Date: 5/22/2000

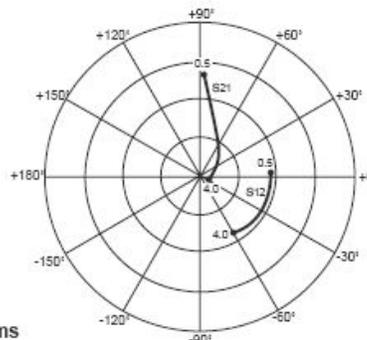
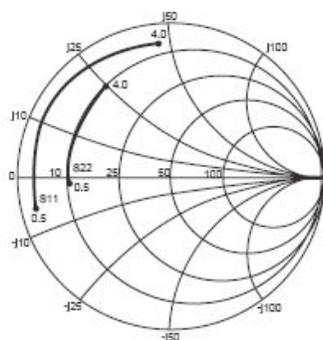
(1) Series IV Libra TOM Model

The parameter in **Libra** corresponds to the parameter in **PSpice**:

(2) GAMMADC	GAMMA
(3) CGSO	CGS
(4) CGDO	CGD

NE651R479A

TYPICAL SCATTERING PARAMETERS (TA = 25°C)



Coordinates in Ohms
Frequency in GHz
V_D = 3.5 V, I_D = 50 mA

V_D = 3.5 V, I_D = 50 mA

FREQUENCY GHz	S ₁₁		S ₂₁		S ₁₂		S ₂₂		K	MAG ¹ (dB)
	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG		
0.50	0.89	-168.01	6.49	86.49	0.04	2.44	0.63	-173.92	0.17	21.59
0.60	0.89	-173.64	5.43	82.00	0.04	-0.91	0.63	-177.95	0.21	20.82
0.70	0.89	-178.28	4.68	78.02	0.04	-3.46	0.63	178.68	0.25	20.17
0.80	0.89	177.73	4.10	74.39	0.04	-5.97	0.63	175.74	0.29	19.59
0.90	0.89	174.20	3.65	70.90	0.04	-8.08	0.63	173.09	0.32	19.09
1.00	0.89	170.95	3.29	67.60	0.04	-10.18	0.63	170.63	0.36	18.64
1.10	0.89	167.90	2.99	64.34	0.04	-12.21	0.64	168.31	0.40	18.23
1.20	0.89	165.11	2.75	61.32	0.04	-14.08	0.64	166.20	0.43	17.86
1.30	0.89	162.38	2.54	58.30	0.04	-15.97	0.64	164.15	0.47	17.51
1.40	0.89	159.77	2.36	55.29	0.04	-17.77	0.64	162.17	0.50	17.19
1.50	0.89	157.25	2.20	52.40	0.04	-19.54	0.64	160.27	0.56	16.99
1.60	0.88	154.75	2.07	49.51	0.04	-21.34	0.64	158.40	0.60	16.72
1.70	0.88	152.33	1.95	46.67	0.04	-22.87	0.64	156.62	0.64	16.46
1.80	0.88	149.91	1.84	43.82	0.04	-24.84	0.64	154.81	0.67	16.21
1.90	0.88	147.55	1.74	41.04	0.04	-26.40	0.65	153.20	0.72	15.98
2.00	0.88	145.21	1.66	38.26	0.04	-28.02	0.65	151.49	0.77	15.86
2.10	0.88	142.87	1.58	35.55	0.04	-29.38	0.65	149.87	0.81	15.65
2.20	0.88	140.51	1.51	32.76	0.04	-31.08	0.65	148.24	0.86	15.45
2.30	0.88	138.25	1.44	30.08	0.04	-32.73	0.65	146.74	0.89	15.26
2.40	0.88	135.98	1.39	27.39	0.04	-34.35	0.66	145.17	0.93	15.08
2.50	0.88	133.71	1.33	24.76	0.04	-36.08	0.66	143.74	0.96	14.91
2.60	0.88	131.45	1.28	22.10	0.04	-37.68	0.66	142.27	1.03	13.82
2.70	0.88	129.14	1.23	19.43	0.04	-39.43	0.66	140.78	1.05	13.24
2.80	0.88	126.84	1.19	16.80	0.04	-40.80	0.66	139.41	1.10	12.64
2.90	0.88	124.54	1.15	14.23	0.04	-42.57	0.67	138.12	1.13	12.17
3.00	0.88	122.13	1.12	11.57	0.04	-44.05	0.67	136.69	1.20	11.61
3.10	0.88	119.76	1.08	9.15	0.04	-45.84	0.68	135.56	1.22	11.38
3.20	0.87	117.42	1.05	6.40	0.04	-46.80	0.68	134.07	1.27	10.94
3.30	0.87	114.95	1.02	3.77	0.04	-48.59	0.68	132.79	1.29	10.71
3.40	0.87	112.59	0.99	1.18	0.04	-49.84	0.68	131.61	1.34	10.34
3.50	0.87	110.20	0.97	-1.40	0.04	-51.37	0.69	130.47	1.36	10.14
3.60	0.87	107.68	0.94	-3.98	0.04	-53.04	0.69	129.41	1.40	9.86
3.70	0.87	105.16	0.92	-6.50	0.04	-54.52	0.70	128.40	1.41	9.67
3.80	0.87	102.57	0.90	-9.02	0.04	-56.08	0.70	127.55	1.44	9.47
3.90	0.87	99.92	0.88	-11.46	0.04	-57.48	0.71	126.90	1.44	9.34
4.00	0.87	97.00	0.86	-13.94	0.04	-59.08	0.72	126.57	1.45	9.20

Note:

1. Gain calculation:

$$MAG = \frac{|S_{21}|}{|S_{12}|} (K \pm \sqrt{K^2 - 1})$$

When $K \leq 1$, MAG is undefined and MSG values are used. $MSG = \frac{|S_{21}|}{|S_{12}|}$, $K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2 |S_{12} S_{21}|}$, $\Delta = S_{11} S_{22} - S_{21} S_{12}$

MAG = Maximum Available Gain

MSG = Maximum Stable Gain

Apéndice C TÉCNICA PARA IMPLEMENTAR PCB

C.1 Técnicas utilizadas en la implementación del amplificador

Para implementar los amplificadores que se diseñaron en este trabajo de tesis es necesario realizar la mascarilla de cada uno de los circuitos. Dicha mascarilla se realizó sobre un acetato en el que se imprimió el trazado del circuito del amplificador diseñado en microcinta. La mascarilla debe presentar una excelente saturación del color negro en la impresión por lo que fue necesario colocar dos mascarillas, una sobre la otra, para aumentar la saturación del color negro.

Para circuitos hechos en tecnología de microcinta que trabajan a 800MHz las mascarillas pueden implementarse utilizando esta técnica y se obtendrá una resolución adecuada de las dimensiones de las líneas. Por lo tanto, se puede proceder al siguiente paso que es el grabado de la mascarilla.

C.2 Grabado de la mascarilla sobre el substrato

Una vez que se tiene la mascarilla de tamaño real (1:1) impresa en el acetato con la suficiente saturación del color se procede a grabar la mascarilla sobre el substrato.

C.2.1 Preparación del substrato

La porción del substrato que se pretende utilizar deberá ser más grande que el área del circuito que se desea construir (mascarilla) y se liman las orillas para quitar las rebabas.

Finalmente se pulen las superficies del sustrato utilizando una grasa para pulir metales hasta que tomen brillo y queden libres de impurezas.

C.2.2 Preparación del área de trabajo

Una vez que se tiene listo el sustrato, se procede a preparar el área de trabajo y el material. Para ello se limpia perfectamente un plato Petri y un gotero. Todos estos utensilios se secan utilizando oxígeno si es posible, para eliminar el polvo o algún residuo sobre los recipientes. Cabe mencionar que también el cuarto y el área donde se va a trabajar deben estar muy limpios.

Después se coloca el sustrato sobre un girador centrífugo y se activa una bomba vacío para fijar el sustrato y evitar que se mueva cuando se encienda la máquina de centrifugado.

C2.3 Colocación del “photo-resist”

El “photo-resist” es una sustancia química que se coloca sobre el sustrato para formar una capa en la superficie donde se pretende imprimir el circuito y que necesita de un proceso de curado como se explicará posteriormente. Así pues, utilizando un gotero se aplica dicha sustancia uniformemente sobre la cara superior del sustrato. Una vez que se ha colocado el “photo-resist” se enciende la máquina de centrifugado (configurando previamente la velocidad de giro y el tiempo que durará encendida). En este proceso se utilizó una velocidad de 60rpm durante 10 segundos para homogenizar la sustancia en el sustrato y quitar los excesos de “photo-resist”. El gotero deberá lavarse inmediatamente

después de colocar el “photo-resist” sobre el substrato utilizando acetona, para evitar queden restos adheridos al gotero.

Una vez aplicado el “photo-resist” de forma uniforme sobre el substrato, se coloca dentro de la caja de Petri y se coloca dentro del horno durante 5 minutos a una temperatura de 120°C aproximadamente. Transcurrido este el tiempo se saca y se deja enfriar dentro del plato Petri, para evitar que le caiga polvo y afecte la calidad de las líneas que se pretenden construir.

Cuando el substrato se enfría (a la temperatura ambiente) se saca del plato Petri y se coloca debajo de una lámpara de luz ultravioleta (UV). Sobre el substrato se coloca la película con la mascarilla (que tiene el trazado del circuito) y sobre ésta se coloca un cristal para hacer que la mascarilla haga contacto perfecto con el substrato. En esta etapa del proceso se debe tener mucho cuidado durante el tiempo en el que la lámpara de luz UV está encendida, puesto que ver directamente esta luz, puede causar problemas de la vista. El tiempo de exposición de la mascarilla utilizado fue de dos minutos.

IMPORTANTE: durante todo el proceso de esta sección es necesario que se trabaje solo con luz amarilla, de lo contrario, con luz “normal”, se velaría el “photo-resist”.

C2.4 Revelador

Después de que el substrato con “photo-resist” fue expuesto a la luz ultravioleta se sigue un proceso de revelado del “photo-resist”. Este proceso eliminará solo la parte que quedo directamente expuesta a la luz ultravioleta, revelando la “marca” dejada por la

mascarilla del circuito. El revelador utilizado es del tipo 315 el cual se diluye con agua destilada utilizando 2 porciones de agua por una de revelador (3:1). Finalmente se sumerge el substrato en la mezcla durante 30 segundos aproximadamente para develar el circuito y una vez revelado se lava con agua destilada. Después de este proceso se puede encender la luz “normal” y apagar la luz amarilla pues ya no será necesaria.

C2.5 Decapado del cobre

El decapado del cobre consiste en remover el cobre que no forma parte del circuito que está definido por la impresión de la imagen que tiene la mascarilla. Para este proceso se cubre completamente la parte inferior del substrato (plano de tierra) con cinta para evitar que el cloruro férrico cause daño en esta capa. El ácido férrico se coloca en un recipiente donde se sumergirá el substrato hasta que solamente quede el circuito esperado. Si el substrato se deja demasiado tiempo en el ácido podría dañar el circuito. Para un decapado más rápido se mantiene el substrato en movimiento y con la cara del circuito hacia abajo. El tiempo que permanece el substrato en el cloruro férrico depende del tamaño del circuito.

Cuando el substrato esté completamente decapado se quita el cloruro férrico del PCB se seca con una toalla de papel, finalmente se lava con agua y las líneas del circuito se limpian con acetona para remover la capa de “photo-resist”.

IMPORTANTE: Utilice lentes durante todo el proceso de decapado para evitar un accidente en sus ojos, y guantes para evitar que el cloruro férrico utilizado quemé su piel.

Apéndice D DISEÑO DE LÍNEAS CON TECNOLOGÍA DE MICROCINTA

D.1 Diseño de las líneas con tecnología de microcinta

Para el diseño de microcinta existen expresiones con las que se pueden calcular los valores del ancho (W), la longitud de onda (λ) y la constante dieléctrica efectiva (ϵ_{eff}) [González, 1997]. Los análisis de la microcinta que se utilizan para obtener tales expresiones se dividen en 2 grupos: la aproximación cuasi-estática y el análisis de onda completa. En este Apéndice se presentan las ecuaciones con la aproximación cuasi-estática donde se considera que la naturaleza del modo de propagación es transversal electromagnético (TEM) y las características de la microcinta se calculan de la capacitancia electrostática de la estructura. Este análisis es adecuado para frecuencias menores a la banda X donde el ancho de la línea y grosor el substrato son menores que la longitud de onda en el material dieléctrico [Gupta. K. C., 1996].

Para calcular el ancho de la línea con una impedancia característica determinada, Z_0 , y constante dieléctrica relativa, ϵ_r , se puede utilizar la siguiente expresión, que considera que el grosor del cobre de la microcinta es despreciable ($t/h \leq 0.005$):

$$\frac{W}{h} = \frac{8e^A}{e^{2A} - 2} \text{ para } W/h \leq 2$$

$$\frac{W}{h} \frac{2}{\pi} \left\{ B - 1 - \ln(2B - 1) + \frac{\epsilon_r - 1}{2\epsilon_r} \left[\ln(B - 1) + 0.39 - \frac{0.61}{\epsilon_r} \right] \right\} \text{ para } W/h \geq 2 \quad (\text{D.1})$$

donde:

$$A = \frac{Z_o}{60} \sqrt{\frac{\epsilon_r + 1}{2}} + \frac{\epsilon_r - 1}{\epsilon_r + 1} \left(0.23 + \frac{0.11}{\epsilon_r} \right)$$

y

$$B = \frac{377\pi}{Z_o \sqrt{\epsilon_r}}$$

La constante dieléctrica efectiva está dada por:

$$e_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[\left(1 + 12 \frac{h}{W} \right)^{-1/2} + 0.04 \left(1 - \frac{W}{h} \right)^2 \right] \text{ para } W/h \leq 1$$

$$e_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + 12 \frac{h}{W} \right)^{-1/2} \text{ para } W/h \geq 1$$
(D.2)

y la longitud de onda está dada por:

$$\lambda = \frac{\lambda_o}{\sqrt{\epsilon_r}} \left[\frac{\epsilon_r}{1 + 0.63(\epsilon_r - 1)(W/h)^{0.1255}} \right]^{1/2} \text{ para } W/h \geq 0.6$$

$$\lambda = \frac{\lambda_o}{\sqrt{\epsilon_r}} \left[\frac{\epsilon_r}{1 + 0.6(\epsilon_r - 1)(W/h)^{0.0297}} \right]^{1/2} \text{ para } W/h \geq 0.6$$
(D.3)