

Tesis defendida por
Armando González Rodríguez

y aprobada por el siguiente comité



Dr. Roberto Conte Galván

Director del Comité



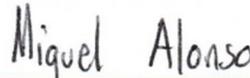
M. en C. Enrique Pacheco Cabrera

Codirector del Comité



Dr. Francisco Javier Mendieta Jiménez

Miembro del Comité



Dr. Miguel Ángel Alonso Arévalo

Miembro del Comité



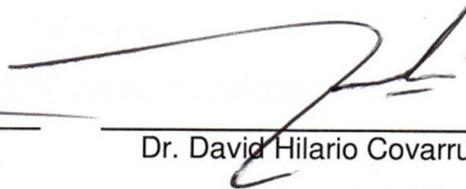
Dr. Pedro Negrete Regagnon

Miembro del Comité



Dr. César Cruz Hernández

*Coordinador del Programa de
Posgrado en Electrónica y
Telecomunicaciones*



Dr. David Hilario Covarrubias Rosales

*Director de la Dirección
de Estudios de Posgrado*

9 de Noviembre de 2012

**CENTRO DE INVESTIGACIÓN CIENTÍFICA Y DE EDUCACIÓN SUPERIOR
DE ENSENADA**



**Programa de Posgrado en Ciencias
en Electrónica Y Telecomunicaciones**

Diseño y desarrollo de un Sistema de Telemetría, Comando y Control,
con velocidad de datos adaptable para un Nano-satélite

Tesis

para cubrir parcialmente los requisitos necesarios para obtener el grado de
Maestro en Ciencias

Presenta:

Armando González Rodríguez

Ensenada, Baja California, México

2012

Resumen de la tesis de Armando González Rodríguez, presentada como requisito parcial para la obtención del grado de Maestro en Ciencias en Electrónica y Telecomunicaciones con orientación en Telecomunicaciones.

Diseño y Desarrollo de un Sistema de Telemetría, Comando y Control
con Velocidad de datos Adaptable para un Nano-Satélite

Resumen aprobado por:



M. en C. Enrique Pacheco Cabrera
Codirector de Tesis



Dr. Roberto Conte Galván
Codirector de Tesis

Los nuevos desafíos en las telecomunicaciones satelitales combinados con los progresos que han alcanzado las tecnologías digitales, indican una tendencia a migrar de plataformas tradicionales con radios limitados en flexibilidad y funcionalidad, que ultimadamente reducen las posibilidades reales de una misión, a pensar en incorporar adaptabilidad y versatilidad especialmente en la difusión de datos telemétricos masivos cada vez más comunes en cargas útiles de proyectos científicos. En el entorno específico con satélites pequeños la problemática del uso eficiente del ancho de banda es determinante en su diseño, además de que cada subsistema está sujeto a extremas restricciones de peso, volumen, y consumo de energía. Con esto se añade un reto mayor en el diseño del sistema de comunicación al maximizar las capacidades cumpliendo con estas dificultades y limitantes.

En este contexto, el objetivo del presente trabajo radica en el estudio, diseño y desarrollo de un sistema de comunicación con adaptabilidad a las diferentes condiciones del canal, basados en concepto de "Radio Definido por Software" (SDR) y arquitecturas desplegadas en dispositivos lógicos programables (FPGA), mostrando la prueba de concepto de una implementación en una solución flexible, eficiente y con capacidades de reprogramabilidad efectivas, proponiendo con esto una nueva concepción en cuanto a la configurabilidad del sistema de Telemetría, Seguimiento y Comando (TT&C).

Esta tesis de maestría además pretende dejar como base una plataforma de desarrollo con fines académicos, industriales y de investigación, donde se considere evaluar los distintos ambientes e implicaciones propias a las de una misión real.

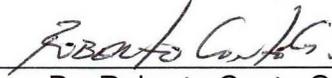
Palabras Clave: **Tecnología Radio Satelital, Nano Satélites, Telemetría Adaptativa, Software Radio, Sistemas Embebidos, FPGA, Co-simulación HIL.**

Design and Development of a Telemetry, Control and Command System
with Adaptive Data Rate for a Nano-Satellite

Abstract approved by:



M. en C. Enrique Pacheco Cabrera
Codirector de Tesis



Dr. Roberto Conte Galván
Codirector de Tesis

New challenges in satellite communications, combined with the great progress achieved in digital technologies, show the tendency to migrate from traditional radio platforms of limited flexibility and functionality reducing real mission capabilities, to the incorporation of adaptability and versatility, targeting the mass broadcasting of telemetry data in increasingly common payloads for science projects. Moreover, in the specific environment of small satellites, efficient use of bandwidth is not only a crucial problem in its design, but each subsystem is subject to extreme restrictions on weight, volume and power consumption, adding a greater challenge to the design of the communication system.

Recently, it has been proposed to tackle these additional challenges with an innovative technological method of Software-Defined Radio (SDR). SDR allows the description of traditional subsystems performed in fixed hardware to processes carried out by digital processing algorithms, proposing a new innovative concept in terms of Telemetry Traking and Control (TT&C).

In this context, the objective of this work lies in the study, design and development of a communication system with particular adaptability to different channel conditions, based on the SDR concept and architectures deployed in programmable logic devices such as the Field Programmable Gate Array (FPGA). This digital adaptable radio segment shows proof of the concept implementation in flexible, efficient, and effective reprogrammable capabilities.

In addition, this master thesis seeks to create the basis of a development platform for academic, industrial, and research programs, where true testing and evaluation of the different environments and implications for a real mission is considered.

Keywords: Satellite Radio Technology, Adaptive Telemetry, Embedded Systems, Software Radio, FPGA, HIL Co-simulation.

***Dedicado a mi Familia
especialmente a mis Papás***

Agradecimientos

A Dios GRACIAS por el regalo de la inteligencia, por inspirarme nobles ideales y por permitirme participar en la investigación científica aplicada.

A mi esposa, a mis padres, mi suegra, mis hermanas, tías y tíos... ¡a mi familia toda!, que en alguna manera han aportado algo sustancial en este logro y esfuerzo.

*Agradecimiento especial a mi comité de tesis conformado por Enrique Pacheco, Roberto Conte, Javier Mendieta, Miguel Arévalo y Pedro Negrete, me siento altamente privilegiado, porque los admiro a cada uno de ustedes no solo por su valía en el ámbito científico, sino también su práctica ordinaria personal, gracias por sus aportaciones, consejos, y sobre todo **calidad humana**.*

Gracias a todos mis compañeros con los que coincidí en estos años donde tuve la fortuna de aprender y nutrirme de tanta diversidad y ¡tanto talento!

Al cuerpo académico que conforma el Departamento de Electrónica y Telecomunicaciones (DET) por su carácter de excelencia.

Al personal administrativo y de mantenimiento, por su trabajo silencioso pero tan importante.

Al Centro de Investigación Científica y de Educación Superior de Ensenada (CICESE) por ser el lugar donde se me aprobó el poder alcanzar esta importante meta.

Agradezco al Consejo Nacional de Ciencia y Tecnología (CONACyT) por el apoyo otorgado con la beca registro No.242923 (CVU #361753).

Tabla de contenido

	Página
Resumen en Español.....	i
Resumen en Inglés.....	ii
Dedicatoria.....	iii
Agradecimientos.....	iv
Lista de figuras.....	vii
Lista de tablas.....	xi
Lista de acrónimos.....	xii
1. Introducción general	1
1.1 Motivación de la investigación.....	3
1.2 Objetivos y alcance de la tesis	5
1.3 Telemetría, Control, y Tele-comando.....	6
2. Tecnología satelital	7
2.1 Tipificación del vehículo satelital	8
2.1.1 Satélites pequeños	8
2.1.2 Nuevo paradigma -COTS-	9
2.1.3 El estándar CubeSat	10
2.2 Ambiente espacial	12
2.3 Perfil teórico orbital	12
2.3.1 Delimitación orbital (LEO)	13
2.3.2 Geometría y dinámica orbital	14
2.3.2.1 Distancia y elevación	14
2.3.2.2 Ventana de tiempo disponible	15
2.3.2.3 Efecto Doppler	16
2.4 Canal de comunicaciones en satélites de órbita baja (LEO)	17
2.4.1 Presupuesto de enlace	18
3. Tecnología en Radio Digital Adaptable	21
3.1 Clasificación de radio según niveles de adaptabilidad	22
3.1.1 Software Defined Radio (SDR); concepto y definición	24
3.1.2 Bondades y retos de SDR	25
3.2 Plataforma de procesamiento -Hardware-	27
3.2.1 Recurso DSP	28
3.2.2 Recurso GPP	29
3.2.3 Recurso FPGA	30
4. Arquitecturas y fundamentos de Radio Adaptativo	35
4.1 Arquitectura SDR factible	37
4.1.1 Elementos analógicos en plataforma SDR	38
4.1.2 Procesamiento digital en banda base	40
4.1.3 Etapa IF digital	42
4.2 Arquitecturas de mezclado en modem digital	44
4.2.1 Mezclado de señal real, con senoide real	45
4.2.2 Mezclado de señal compleja, con senoide real	47
4.2.3 Mezclado de señal real, con senoide compleja	48

4.2.4 Mezclado de señal compleja, con exponencial compleja	50
4.3 Algoritmos fundamentales	52
4.3.1 El Oscilador o Sintetizador de frecuencia	53
4.3.2 Filtrado digital	59
4.3.3 Interpolador y Decimador	60
5. Modelado del sistema de Comunicaciones	63
5.1 Esquema genérico	64
5.1.1 Codificación de canal	64
5.1.2 Mapeo	65
5.1.3 Adaptadores de frecuencia, modulación pasa-banda	66
5.1.4 El canal	66
5.2 La propuesta de solución	67
5.3 Descripción general del diseño de capa física -Simulación-	70
5.3.1 Funcionamiento general del modelo	72
5.3.2 Subsistema de transmisión -Banda Base-	73
5.3.3 Subsistemas de Interpolación	74
5.3.4 Etapa modulación paso banda en Frecuencia Intermedia (IF) ..	75
5.3.5 Modelado del canal	79
5.3.6 Diseño del Receptor	80
5.4 Simulación y análisis	80
5.4.1 Análisis espectral del oscilador digital local	82
5.4.2 Respuesta en frecuencia del Modulador y Demodulador	91
5.4.3 Modelado en orbita integrado con STK	92
6. Implementación del prototipo en el FPGA	101
6.1 Fragmentando la solución del sistema	102
6.2 Plataforma de desarrollo para la evaluación	102
6.3 Co-simulación y verificación en HW (HIL)	104
6.4 Prueba en la plataforma experimental para validación	105
7. Conclusiones generales	113
7.1 Aportaciones	115
7.2 Trabajo futuro	116
Referencias Bibliográficas	118
Apéndice A Reporte de Generación del algoritmo NCO	122
Apéndice B Código del modelo; Mathworks-STK-Altera	124
Apéndice C Plataforma de evaluación Altera; FPGA Cyclone III	126

Lista de figuras

Figura 1	Satélite CubeSat estandarizado con las dimensiones de 10 x 10 x 10 cm y hasta un kilogramo de peso.	11
Figura 2	Ángulos y vectores respectivos para el estudio geométrico	14
Figura 3	Ángulo de elevación -vs- distancia entre una estación en tierra y unos satélites en una órbita circular LEO de 400 km. Resultando un rango variante dependiendo de la inclinación.	15
Figura 4	Recorrido del satélite muestra su ventana de tiempo.	16
Figura 5	Simulación en <i>MATLAB</i> del efecto <i>Doppler</i> para una frecuencia portadora de 400Mhz para 4 distintas orbitas LEO.	17
Figura 6	Curvas de tasa de errores según el esquema de modulación.	20
Figura 7	Diagrama de Venn ilustrando la relación entre tecnologías inalámbricas de vanguardia.	22
Figura 8	Comparativo entre elementos de procesamiento en Banda Base.	28
Figura 9	Arquitectura interna de una FPGA.	32
Figura 10	Sistema de un transceptor SDR ideal	36
Figura 11	Arquitectura genérica realizable de un transceptor digital basada en tecnología de última generación SDR.	38
Figura 12	Constelación para A) BPSK, B) QPSK, C)16-QAM	41
Figura 13	Tipos de modulación digital, límites teóricos y eficiencia de Ancho de Banda	42
Figura 14	Diagramas del convertidor digital de subida (A), y el convertidor digital de bajada (B).	43
Figura 15	El diagrama de mezclador (simple multiplicador).	46
Figura 16	Análisis espectral del mezclador simple.	46

Figura 17	Implementación del mezclador, señal compleja con senoide real.	47
Figura 18	Espectro resultante del mezclador, señal compleja con senoide real. A) Modulación; B) Demodulación.	48
Figura 19	Espectro resultante del mezclador, señal real con senoide compleja. A) Modulación; B) Demodulación.	48
Figura 20	Implementación del mezclador, señal real con senoide compleja.	50
Figura 21	Espectro resultante del mezclador, señal compleja con senoide compleja. A) Modulación; B) Demodulación.	51
Figura 22	Implementación de topología descrita por el Modulador / Demodulador digital en cuadratura de una señal compleja.	51
Figura 23	Componentes algorítmicos básicos de la etapa IF.	53
Figura 24	Esquema básico de un NCO.	53
Figura 25	Representación en el círculo fasorial de la senoide digital.	54
Figura 26	Estructura básica de un filtro FIR.	59
Figura 27	Proceso de interpolación; Principio y espectro asociado	61
Figura 28	Diagrama del diezmado y su espectro asociado.	62
Figura 29	Esquema general de Sistema de Comunicaciones	64
Figura 30	Diagrama de flujo del diseño al prototipo	69
Figura 31	Diagrama general de la implementación en Simulink	71
Figura 32	Generación de datos, procesamiento en Banda-Base según el modo de operación.	73
Figura 33	Esquema y parámetros de la etapa de Interpolado y filtrado digital.	74
Figura 34	Esquema de modulación digital punto flotante.	75
Figura 35	Parámetros de configuración y método de generación para el Oscilador local.	76
Figura 36	Etapas de mezclado con librería de HDL proporcionada por Altera.	77

Figura 37	Parámetros del algoritmo para el NCO versión v11.1.	78
Figura 38	Modelo del canal, con 4 opciones en la simulación.	79
Figura 39	Esquema de recepción y detección.	80
Figura 40	Opciones de canal.	81
Figura 41	Opción de trayectoria de la señal.	81
Figura 42	Configuración del valor de la palabra de sintonía.	81
Figura 43	Arquitecturas de generación de la Señal en Cuadratura.	83
Figura 44	Respuesta en el tiempo de las arquitecturas de generación.	84
Figura 45	Espectro MSS en comparación de ambos algoritmos.	84
Figura 46	Ventana rectangular hecha con wvtool (wrect).	85
Figura 47	Ventana Hann (Figura derecha (frecuencia)).	86
Figura 48	Contenido espectral de los osciladores digitales utilizando la ventana Hann.	86
Figura 49	Contenido espectral del oscilador digital de referencia.	87
Figura 50	Contenido espectral del oscilador con SFDR de 131.9dB.	87
Figura 51	Contenido espectral del oscilador con SFDR de 11.2dB.	88
Figura 52	Contenido espectral del oscilador con SFDR de 132.2dB.	88
Figura 53	Contenido espectral del oscilador con SFDR de 118.21dB.	89
Figura 54	Contenido espectral del oscilador con SFDR de 118.26dB.	89
Figura 55	Contenido espectral del oscilador con SFDR de 118.41dB.	90
Figura 56	Espectro del Mezclado a 2Mhz.	91
Figura 57	Espectro del Mezclado a 4Mhz.	91
Figura 58	Espectro del Mezclado a 8Mhz.	91
Figura 59	Modelado vinculado con STK enlace a nivel de SNR 0dB.	94
Figura 60	Modelado vinculado con STK enlace a nivel de SNR 8dB.	95

Figura 61	Modelado vinculado con STK enlace a nivel de SNR 11dB.	96
Figura 62	Modelado vinculado con STK enlace a nivel de SNR 20dB.	97
Figura 63	Modelado vinculado con STK enlace a nivel de SNR 21dB.	98
Figura 64	Modelado vinculado con STK enlace a nivel de SNR 28dB.	99
Figura 65	Modelado vinculado con STK sin enlace.	100
Figura 66	Esquema de co-simulación HIL usado en este proyecto.	101
Figura 67	Diagrama funcional de la tarjeta de implementación EP3C25 utilizada para el Cyclone III FPGA.	103
Figura 68	Flujo a nivel sistema usado la herramienta <i>DSP Builder</i> .	104
Figura 69	Modulador complejo en cuadratura, componente que será evaluado en el FPGA Cyclone III.	106
Figura 70	Bloque SC en la librería <i>AltLab</i> .	107
Figura 71	Bloque <i>HIL</i> en la librería <i>AltLab</i> , permite la funcionalidad y representa la lógica implementada en el FPGA.	107
Figura 72	Parámetros de configuración y compilación para <i>HIL</i> .	108
Figura 73	Trayectorias de valoración del sistema.	112
Figura 74	Imagen utilizada para validar el algoritmo en hardware.	112
Figura 75	Resultado final en términos del BER.	112

Lista de tablas

Tabla 1	Clasificación de satélites según su masa desplegada.	8
Tabla 2	Clasificación de satélites artificiales dispuestos en orbitas terrestres.	13
Tabla 3	Nivel de confiabilidad especificado para clasificar un radio en el concepto SDR (SDRForum, 2012).	23
Tabla 4	Tipos de modulación digital, limites teóricos de eficiencia de Ancho de Banda	42
Tabla 5	Teoremas de Fourier aplicados en este trabajo.	44
Tabla 6	Pares de Fourier para Modulación y Demodulación.	45
Tabla 7	Dimensiones del registro de acumulador de fase y su correspondiente resolución en frecuencia.	55
Tabla 8	Resumen comparativo de las distintos algoritmos de implementación para el cálculo del valor de la senoide.	56
Tabla 9	Código de colores donde se catalogan los diferentes bloques en el nivel más alto del diseño.	70
Tabla 10	Posibles esquemas de modulación y RS-CC respecto al modo de tasa variable.	72
Tabla 11	Resultados comparativos y certificación del algoritmo a excursión completa.	109
Tabla 12	Resumen final de recursos de hardware desplegados para el segmento implementado.	110
Tabla 13	Descripción de la información de carga útil científica.	111

Lista de Acrónimos

- ADC:** (Analog-to-Digital Converter).- Convertidor analógico a digital.
- BER:** (Bit Error Rate).- Tasa de errores.
- BPSK:** (Binary Phase Shift Keying) .- Esquema de modulación en fase binario.
- COTS:** (Comercial of the Shelf).- Dispositivos de uso comercial.
- DAC:** (Digital-to-Analog Converter).- Convertidor digital/analógico.
- DDC:** (Digital Down Converter).- Convertidor digital de bajada.
- DUC:** (Digital Up Converter).- Convertidor digital de subida.
- DUT:** (Device Under Test).- Dispositivo bajo evaluación.
- DSP:** (Digital Signal Processing/Processor).- Procesador/Procesamiento digital de señales.
- FEC:** (Forward Error Correction).- Método de corrección de errores.
- FPGA:** (Field Programmable Gate Array).- Dispositivo lógico de compuertas programable en campo.
- HDL:** (Hardware Description Language).- Lenguaje para descripción de hardware.
- HIL:** (Hardware In the Loop).- Co-simulación en Hardware.
- LEO:** (Low Earth Orbit).- Orbita baja terrestre.
- NCO:** (Numerically Controlled Oscillator).- Oscilador controlado numéricamente.
- QPSK:** (Quadrature Phase Shift Keying).- Esquema de modulación en fase en cuadratura.
- RF:** (Radio Frequency).- Radio Frecuencia.
- STK:** (System Tool Kit).- Software de modelado y análisis de sistemas terrestres, marítimos, aéreos y satelitales.
- SNR:** (Signal-to-Noise Ratio).- Parámetro de merito de la señal en un sistema.
- SPDF:** (Spurious-Free Dynamic Range) .- Rango dinámico de libre de señales espurias.
- TT&C:** (Telemetry, Tracking and Command).- Telemetría, Seguimiento y Comando.

Capítulo 1

Introducción general

La nueva economía del quehacer científico confirma que en la actualidad los avances tecnológicos importantes no solo dependen del estado de la técnica o de los progresos propuestos por algún sector reducido de ciertos centros de desarrollo tecnológico, ahora también habrá que incorporar un colectivo masivo de participaciones formando propiedad intelectual calificada. Esto revoluciona los métodos, rompe paradigmas, y logra alcanzar retos importantes, también cierto particularmente en el área de la ingeniería aeroespacial. Para hablar de misiones con tecnología nano satelital nos podríamos remontar al inicio de la incursión al espacio. Sin embargo, proyectos específicamente con satélites pequeños se están convirtiendo en un nicho de recién explotación en los últimos 10 años (Klofas & Anderson, 2008), juntamente con una revolución en la gestión al desarrollo satelital provocada por modelos menores a 1Kg. Aunque hay quienes los consideran “inadecuado para hacer mucho”, la realidad es que han abierto un espacio a un colectivo (academia e industria) que en otras condiciones no tendrían acceso, no solamente para introducirse al ambiente satelital, sino a las posibilidades inmediatas de experimentar conceptos y tecnologías avanzadas. Esto vuelve mucho más viable el camino para involucrarse en actividades del sector espacial. Y aunque al momento se hayan lanzado poco más de 40 casos exitosos desde el 2003 (Wilke, 2011), los retos sobre todo en el sistema de comunicación que envuelven a este sector aún están por superarse. Respecto a los proyectos pertinentes a satélites pequeños éstos, presentan características limitadas en sus comunicaciones, resultado directo de factores como tamaño reducido (por tratarse de nano satélites), peso (de hasta 10kg) y potencia (consecuencia directa de los anteriores). Dadas estas características propias de tamaño, peso y potencia (TPP), impacta el hecho que los transmisores con altas tasas sean complejos o simplemente no viables. Cada vez

más estas misiones satelitales incluyen proyectos de adquisición de gran cantidad de datos como sensores o cámaras para propósitos académicos o científicos. Las exigencias substanciales de alta velocidad y de transferencia de estos datos es donde se enfoca la problemática en el enlace de bajada, marcando la pauta para pensar en alternativas posibles que satisfagan estas demandas y además puedan ofrecer confiabilidad, considerando implementar esquemas de modulación de alto orden a fin de alcanzar una eficiencia en mayor ancho de banda. No obstante, la realidad es que aún las limitaciones propias de estos ambientes (TPP), continúan siendo un desafío a solucionar.

Las órbitas que corresponden a estas misiones se conocen como órbitas bajas (LEO por sus siglas en Inglés). En estas órbitas el satélite puede sobrevolar a la estación terrena varias veces por día en cortos intervalos de tiempo, minutos donde se tiene la posibilidad ya sea para mandar comandos, para controlar remotamente al satélite o bien para obtener datos de la carga científica. Si se analizara detalladamente el presupuesto de enlace se puede encontrar cambios continuos en la calidad de recepción. La potencia que llega al receptor es fluctuante durante las diferentes etapas de vuelo, debido principalmente a la variabilidad de distancia entre satélite y la estación receptora en tierra en cada instante de tiempo. Conociendo esta característica es posible beneficiarse, implementando un tipo de comunicación flexible o adaptable donde, por ejemplo, el esquema de modulación se ajuste a las condiciones del canal y características de la información científica, y así se desarrollen equipos transceptores capaces de obtener una tasa de caudal efectivo máximo, de acuerdo con la capacidad real.

Esta solución ha de contar con las bondades suficientes para solventar las condiciones TPP, así como resolver las demandas de alta tasa de velocidad, incorporando esquemas variables de modulación y ajuste de potencia según la situación del canal de comunicación. Este debe ser capaz de trabajar en un mayor espectro, posibilitar la sintonización en múltiples bandas y formas de onda, ser rápido en su desarrollo, actualizable para estándares de protocolos nuevos que además sea reconfigurable 'en vuelo' a través de un mecanismo autónomo o bien, desde control en tierra y, por último, de bajo costo. Suena bastante ambicioso pero

hoy existen tecnologías que pueden permitir satisfacer y resolver los retos que han sido complicados en el pasado. Por ejemplo, los sistemas embebidos hoy podrían remediar las cuestiones de reducción de tamaños al integrar módulos (núcleos) y optimizar algoritmos en el dominio digital donde se baje el consumo de potencia crítico para misiones satelitales. La tecnología que ha presentado avances significativos y que podría ser utilizada como plataforma de hardware reprogramable son los *FPGA* (*Field Programmable Gate Array* por sus siglas en Inglés). Estos ofrecen la flexibilidad requerida, capacidad de actualización y el poder de procesamiento para comunicaciones actuales de alta velocidad. Aunque seguramente se podría implementar una solución con una arquitectura de uso general o un DSP (*Digital Signal Processor*), los *FPGA* son la alternativa natural y cada vez más posibilitada en soluciones SDR (*Software Defined Radio*), debido a su procesamiento paralelo masivo y capacidad de reconfigurabilidad. Con esta posibilidad de multi morfología de lógica en hardware “descargada”, aumenta la vida de cualquier dispositivo diseñado, permitiendo la actualización de protocolos, factibilidad para definir los diferentes esquemas determinados en memoria o en elementos lógicos y parámetros en archivos. También permiten modificar características del *firmware* que faculte algoritmos de comunicación adaptable, instalar nuevos bloques y remover aquellos no usados, permitiendo al sistema soportar nuevos propósitos en misiones ya en proceso, es decir, en órbita. Así los proyectos con nano satélites permitirán seguir buscando validar diferentes tecnologías e implementar nuevas aplicaciones aeroespaciales.

1.1 Motivación de la investigación

Actualmente no existen sistemas en nano satélites que tengan una versatilidad de reconfiguración dinámica que permitan al sistema intercambiar componentes, alterar los modos de operación expeditamente y además, hacerlo en vuelo de forma remota, cuestiones que motivan la promoción de la presente iniciativa.

Este trabajo de investigación se fundamenta en la posibilidad de implementar adelantos tecnológicos que permitan resolver inconvenientes encontrados en los actuales subsistemas de telecomunicaciones tan especializados como rígidos. Se advierte que el desafío de adaptabilidad o mutabilidad se pueda resolver con tecnología Radio Definido por Software (SDR), que permite tal funcionalidad en dispositivos de telecomunicaciones. Esta tecnología está avanzando rápidamente, convirtiéndose en el siguiente paso en la evolución de las comunicaciones inalámbricas, tanto en el procesamiento de señales como en el dominio de Radio Frecuencia (RF). Pero es hasta los avances en componentes recientes, como en la integración de circuitería muy densa (VLSI), procesamiento digital de señales (DSP) y en la velocidad de conversión de datos al dominio digital (DAC y ADC), que posibilitan al concepto SDR basados en los FPGA como una excelente plataforma para los radios a bordo del satélite.

Por tanto es de interés desarrollar un sistema unificado que integre esto en una plataforma basada en dispositivos de hardware reconfigurables tipo FPGA, el cual conforma un importante aporte al desarrollo de este tipo de aplicaciones SDR. Este escenario tecnológico permitirá a los ingenieros y desarrolladores de nano satélites nuevas capacidades de proceso, implementación y validación rápida de diferentes sistemas sobre una misma plataforma física, reduciendo los tiempos de desarrollo y la inversión en fabricación de prototipos funcionales, y para la comunidad académica brindaría la capacidad de evaluar diferentes alternativas de diseño de nuevas misiones mas rápido y a menores costos.

1.2 Objetivos y alcance de la tesis

El objetivo de este trabajo de investigación es desarrollar una plataforma que facilite los sistemas de simulación, desarrollo y pruebas de radio digital, aprovechando la versatilidad ofrecida en dispositivos lógicos programables, para el diseño de subsistemas de telemetría en misiones con nano satélites. Tal solución debe resolver las necesidades de bajo costo, de desarrollo rápido, confiable, versátil y eficiente, que se adapte en función de las características físicas del medio y las necesidades propias de cada misión requeridas en un ambiente espacial, recurriendo al concepto de SDR e implementada en un FPGA, pudiendo validar los resultados de funcionamiento.

Los objetivos particulares de la solución del subsistema son:

- 1) **Adaptabilidad**: El sistema deberá ser altamente reconfigurable, de manera que pueda soportar distintos tipos de codificación, modulación o esquemas de procesamiento de señal, de tal manera que pueda ser capaz de reprogramarse post-lanzamiento.
- 2) **Tamaño reducido**: El sistema deberá cumplir con las dimensiones para un nano satélite.
- 3) **Multi espectral**: Será capaz de recibir y transmitir datos en distintas bandas de frecuencia
- 4) **Abierto/Modular**: Se partirá de una plataforma donde se puedan agregar o modificar funcionalidades (propiedad intelectual) por otro equipo de desarrollo, aún después implementado el primer prototipo

Esta propuesta abarca desde diseño preliminar, implementación del modelo, y las pruebas de concepto.

1.3 Telemetría, Control, y Tele-comando

Una de las partes más importantes de un satélite artificial es el subsistema de comunicaciones, cuyo objetivo esencial es transferir información de un punto a otro. El mecanismo de control se ocupa principalmente de tres procesos destinados a mantener al satélite operando para lo que fue diseñado. La telemetría, el seguimiento y tele comando, comúnmente referido como TT&C por sus siglas en Inglés *Telemetry, Tracking and Command*, procesos de transferencia de información que enlazan al satélite y el centro de control (enlace de bajada) a través de un canal inalámbrico con características dinámicas muy particulares.

La *telemetría* es la transmisión remota desde el satélite al centro de control de los resultados de distintas mediciones del estado de la nave, tales como temperatura, presión, corriente, voltaje, aceleración, ángulos relativos, configuración, entre otras, dependiendo de las características que tenga el satélite. La información es transmitida a distancia, donde será desplegada, grabada o analizada. Igual como el satélite envía información a la estación de control en tierra, esta última a través del sistema de telemando (o telecomando), envía (por el enlace de subida) órdenes para la modificación de diferentes parámetros del satélite, para corregir posibles anomalías, ajustar el funcionamiento de los equipos a bordo, adaptarse a nuevas demandas en servicios, cobertura, protocolos, tecnologías, etc.

También es telemetría la información generada por la carga útil científica, fuentes de audio, archivos digitales, señales de video, imágenes procedentes de foto-detectores, sensores de energía, entre otros, que quizá no requieran del alto nivel de seguridad como en el caso de la telemetría de estado, pero que sí demandan recursos en cuanto a velocidad, capacidad de procesamiento, y ancho de banda.

Capítulo 2

Tecnología satelital

Arthur C. Clarke en su famosa publicación de 1945 en *Wireless World*, concluyó que teóricamente un sistema con un radio orbital de 42.000 km, girará junto con la tierra y se percibirá como fijo desde el punto de referencia terrestre (Clarke, 1945). Aunque su cálculo fue inexacto por poco más de 160km (en cuanto a la altura), el concepto del sistema “de gran cobertura terrestre no alámbrico” resultaría meritorio para lo que 12 años después el hombre fuese capaz de poner en órbita. En 1957 el programa espacial soviético inauguró el espacio con el satélite artificial llamado Sputnik-I. Hoy poco más de medio siglo después, el envío de naves se ha convertido en una actividad no sólo común sino que está teniendo un crecimiento exponencial, al pasar de no tener nada orbitando artificialmente, hasta al día de hoy más de 15,800 objetos catalogados en órbita, de los cuales aproximadamente 1000 elementos son clasificados como “Satélites en operación” (United Nations, 2011). Desde entonces, ingenieros, tecnólogos y científicos de todo el mundo continúan explorando nuevas aplicaciones interesantes para la tecnología satelital, y he aquí que en este trabajo se manifiesta como otro intento de aplicar tecnología de vanguardia que permite brindar mejores capacidades implementando sistemas que consigan resolver los retos y demandas actuales.

2.1 Tipificación del vehículo satelital

Existen diversos parámetros que han permitido clasificar los tipos de satélite ya sea por su misión (meteorológicos, posicionamiento, comunicaciones, etc.), por su propósito (comercial, militar, salud, investigación), o por el tipo de órbita que sigue. Sin embargo, se ha generalizado un método de clasificar los satélites en términos de su masa, que para propósitos de esta tesis es el parámetro más relevante por las implicaciones que esto tiene. En la Tabla 1 se muestra la clasificación basada en este parámetro (Surrey, 2011).

Tabla 1. Clasificación de satélites según su masa desplegada.

Nombre del Grupo	Masa	
Satélite Grandes	>1000kg	
Satélite Mediano	500-1000kg	
Mini Satélite	100-500kg	
Micro Satélite	10-100kg	
Nano Satélite	1-10kg	Satélites Pequeños
Pico Satélite	0.1-1kg	
Femto Satélite	<100g	

2.1.1 Satélites Pequeños

Al principio de la incursión en el espacio, los primeros satélites lanzados fueron obligatoriamente pequeños por la imposibilidad de tener lanzadores de gran capacidad que no permitían mayores dimensiones, por lo que los proyectos tenían forzosamente que ser ligeros para poder ser colocado en órbita.

A medida que avanzaba el desarrollo de cohetes, fue posible realizar naves que permitieran cargas más pesadas, y pronto se desarrollaron satélites más grandes y capaces, que permitían satisfacer la demanda de servicios y objetivos.

En la última década ha crecido la atención de la industria espacial pero ha surgido sustancialmente una tendencia al desarrollo de nuevos satélites de menores dimensiones, es decir, *satélites pequeños*. Algunas de las razones son debido a la disponibilidad de menores recursos económicos (desde el desarrollo hasta la puesta en órbita). Esto posibilita la accesibilidad a instituciones académicas y por supuesto

a la industria interesada, además de organismos gubernamentales (Kramer & Cracknell, 2008).

Ahora bien, estos *pequeños satélites* ofrecen posibilidades inexistentes en satélites espaciales tradicionales, ya que éstos buscan hacer proyectos inspirados por una mentalidad de: "mas pequeño, más rápido, más barato, y con más inteligencia", contruidos en una fracción del tiempo y donde, en comparación con un satélite espacial tradicional, se reducen considerablemente los costos del acceso al espacio (Surrey, 2011).

2.1.2 Nuevo paradigma -COTS-

Tradicionalmente, debido a los grandes costos y tiempos de desarrollo exhaustivos, la tolerancia al riesgo debía ser reducida al mínimo, y como consecuencia de esto, el lugar para la innovación era restringido. Estos satélites se limitaban al uso de componentes extremadamente probados aún si su tecnología se encontrase obsoleta, además la inclusión de sistemas redundantes por los mismos motivos de seguridad, consumía la otra porción del esfuerzo y presupuesto. Por lo tanto, el desarrollo de estos satélites tradicionales se convirtió en prerrogativa de centros de primer mundo donde se invierten grandes presupuestos en actividades científicas, mientras que el resto del mundo se ve imposibilitado a incursionar en materia espacial.

Una de las filosofías de diseño de satélites pequeños que vino a romper estereotipos es el uso de componentes *COTS* (*Comercial off the Shelf* por sus siglas en Inglés). Esto acabó con los prototipos donde cada elemento requería ser especialmente diseñado, por lo que los proyectos resultaban ser largos, engorrosos, lentos y caros, (Kramer & Cracknell, 2008). Al adquirir y trabajar con elementos COTS, se simplifican los subsistemas y potencian en gran medida estos proyectos, permitiendo una mayor apertura y agilidad al diseño así como el re-uso de propiedad intelectual, reduciendo significativamente los costos de construcción (Vladimirova, Wu, Sidibeh, Barnhart, & Jallad, 2006). Esto permite incorporar estas ventajas a instituciones académicas, aficionados, investigadores, esfuerzos empresariales y algunos gobiernos, para que se involucren en la aventura espacial, ya que la tecnología con

la que se cuenta en la actualidad, permite que este tipo de satelitales sean viables, y los proyectos operables. Los tiempos de diseño y construcción, hasta su despliegue y puesta en operación, van desde los 6 a 36 meses (Long et al., 2002), (Vladimirova et al., 2006). Aunque estos proyectos incorporan mayores riesgos, es decir, una mayor probabilidad al fracaso de la misión, a cambio de esto, los diseños en satélites pequeños están más abiertos a incorporar nuevas tecnologías aún no validadas, diseños innovadores, técnicas y procedimientos, procesos que no sólo contribuyen a reducir el tamaño, peso y costo del satélite, sino que también aumentan considerablemente la funcionalidad y versatilidad del mismo.

2.1.3 El estándar *CubeSat*

Una de las partes mas problemáticas de un proyecto espacial en términos de logística es la colocación exitosa de la nave en su posición orbital, esto nuevamente confina el acceso al espacio a unos pocos, y lo refiere básicamente los costos de los lanzadores. Así surgió una idea que desembocó en un estándar de práctica mundial; con el propósito de acelerar los tiempos de desarrollo y tener oportunidades francas de lanzamiento, muchos grupos de trabajo optan ahora por seguir las especificaciones *CubeSat*. Esta norma describe un conjunto de interfaces físicas para lanzamiento, así como requisitos mecánicos para el satélite. Una extensiva descripción de la norma se puede obtener en (Heidt, PuigSuari, Moore, Nakasuka, & Twiggs, 2001). Así el diseño general de la plataforma estructural se estandariza, de manera que conjuntamente con el uso de elementos COTS se aligera el proceso de construcción.

El gran atractivo de usar este esquema, es que los 'mini' proyectos puedan adaptarse con facilidad a los cohetes que tienen ya un plan de ascenso consecuente. En la Figura 1 se muestra una imagen que aparece un ejemplo de un satélite que sigue el estándar *CubeSat*.

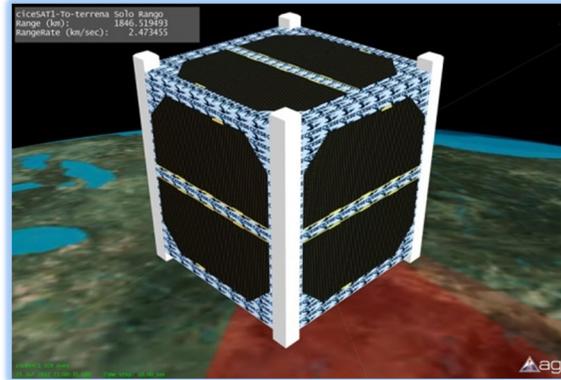


Figura 1. Satélite CubeSat estandarizado con las dimensiones de 10 x 10 x 10 cm y hasta un kilogramo de peso.

La mala noticia es que debido a las especificaciones de peso y tamaño implicadas en el estándar, los proyectos con satélites pequeños como CubeSat también envuelven un conjunto de limitaciones y retos, uno de los principales está dado por los sistemas de generación de potencia. Debido al tamaño extremadamente compacto de la superficie de un CubeSat, se restringe la cantidad de energía solar que puede captarse. Esta restricción impacta recursos de cómputo o procesamiento, comunicaciones, y las distintas cargas útiles, por lo que la tasa de datos será impactada por la generación de potencia en la órbita, por tanto, se tendrá que operar en bajas tasas de datos, o en modo ráfaga. Además las cargas útiles se tienen que limitar en términos de espacio físico disponible. Descrito lo anterior, las primeras condiciones críticas a considerar en el diseño de un nano satélite son de espacio (o tamaño), peso y potencia (TPP), que determinan las aspiraciones de tener o no cargas útiles limitadas, enlaces de comunicación lentos, poca redundancia, y un mínimo de capacidad de procesamiento de información.

2.2 Ambiente espacial

Un aspecto que debe tenerse en cuenta, máxime si estamos decididos a contemplar soluciones tipo COTS, son las características del entorno en donde los dispositivos serán expuestos. Esto será especialmente importante a considerar en el diseño, ya que el medio donde operarán los diferentes subsistemas, impactará directamente en el desempeño y vida de los sistemas.

El satélite y sus subsistemas pasaran por distintas fases a lo largo de su ciclo de vida total, desde su construcción y transporte (salas limpias, entorno terrestre), la fase de lanzamiento (quizás la más violenta desde el punto de vista estructural), el atmosférico (aunque sea unos minutos), y el entorno espacial (donde se dará la operación) que es particularmente hostil.

Estas condiciones del ambiente son motivo de atención en el diseño, efectos acumulativos de radiación, trastornos en la electrónica, sobre corrientes, los efectos térmicos, degradación de la superficie y la erosión, estos habrá que tenerlos muy en cuenta, y establecer en lo posible procedimientos o métodos en el diseño del hardware y software, que reduzcan su amenaza. Por tanto es necesario realizar tareas de verificación y certificación de los diferentes subsistemas, que en ocasiones son tan complejas como el propio diseño.

2.3 Perfil teórico orbital

Un entendimiento cabal de la dinámica orbital es importante para el diseño del enlace de comunicación de un satélite, ya que juega un papel clave al conocer en todo momento la posición relativa del transceptor con respecto a la tierra.

Las leyes de Kepler han tenido una aplicación muy importante en el estudio astronómico porque permiten describir el movimiento de los cuerpos en el espacio. Fueron deducidas empíricamente por Johannes Kepler (1571-1630), y posteriormente complementadas por Isacc Newton (1642-1727), derivando en las célebres Leyes de la dinámica y la Ley de la Gravitación Universal, y que son aplicadas a planetas, satélites naturales y artificiales que se muevan dentro del

campo gravitacional de otro planeta o estrella. Una presentación completa de Astrodinámica se puede encontrar en Pratt (2003) y Serway (2004).

2.3.1 Delimitación Orbital (LEO)

Continuando con las clasificaciones, una que aplica para satélites se refiere al tipo de orbita en la cual se sitúan, éstas básicamente se pueden agrupar en tres tipos a partir de su altura con respecto a la superficie de la tierra.

Tabla 2. Clasificación de satélites artificiales dispuestos en orbitas terrestres.

Tipo de Orbita Terrestre	Característica
1) Orbita Geoestacionaria (GEO)	Con una altitud de 35 786 Km y un ángulo de inclinación de 0 grados, de manera que su período será de 24 horas permaneciendo en una posición fija respecto a la tierra sobre el ecuador.
2) Orbita Media (MEO)	cuyo rango de altitudes comprende entre los 5000-10 000 Km.
3) Orbita Baja (LEO)	con altitudes que van de entre 500 a 1500 km.

Cada una cuenta con características propias en cuanto al curso, período, ambiente, y alcance de la misión; sin embargo son las tipo 'LEO' que trataremos aquí, por ser la pertinente para satélites pequeños, por sus relativamente bajas alturas, ya que las dimensiones de los satélites pequeños imposibilitan en la práctica su uso en orbitas superiores. Además el satélite necesita menos recursos de energía para transferencia de datos, por lo que la órbita terrestre baja es muy utilizada para numerosas aplicaciones en telecomunicaciones.

2.3.2 Geometría y dinámica orbital

En el estudio de sistemas satelitales se requiere describir la situación del satélite con respecto a la tierra, su posición y mecánica; este tipo de consideraciones lo estudia predominantemente el análisis geométrico, útil no solo para conocer la localización de los objetivos, si no también para coberturas, rangos y ángulos en cuestión. Para identificar la posición del satélite con respecto a la tierra, se expresa por varios ángulos, vectores y magnitudes en el plano de incidencia.

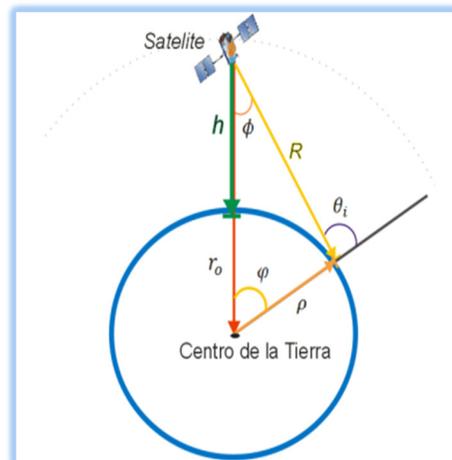


Figura 2. Ángulos y vectores respectivos para el estudio geométrico

2.3.2.1 Distancia y elevación

Para el enlace satelital, la distancia y las pérdidas por propagación serán los principales factores de degradación de la señal. En los diseños tradicionales el presupuesto de enlace es calculado para el peor de los casos, es decir cuando el satélite se encuentre a la mayor distancia de la estación terrena, haciendo una mala administración de potencia a lo largo de su recorrido orbital.

En la Figura 3 y 4 se muestran los datos y gráfica del rango a lo largo de la trayectoria de un satélite con órbita circular, donde se puede observar que para un enlace, la distancia máxima entre la estación terrena y el satélite se produce cuando el satélite está en el horizonte ($\delta = 0$ grados) ya que por debajo del horizonte no es posible la comunicación, pero si el satélite se mueve hacia arriba (incrementa su ángulo de elevación), la distancia está disminuyendo hasta alcanzar el cenit.

Utilizando la ley de Pitágoras es posible calcular la distancia entre el satélite y la estación de tierra en cada momento y puede ser medida de la siguiente manera.

El ángulo de elevación θ se obtiene de la ecuación (1):

$$\cos(\theta) = \frac{rs \cdot \text{sen}(\gamma)}{d} = \frac{\text{sen}(\gamma)}{\left[1 + \left(\frac{re}{rs}\right)^2 - 2\left(\frac{re}{rs}\right) \cdot \cos(\gamma)\right]^{1/2}} \quad (1)$$

$$d = \sqrt{1 + \left(\frac{re}{rs}\right)^2 - 2\left(\frac{re}{rs}\right) \cdot \cos(\gamma) \cdot rs} \quad (2)$$

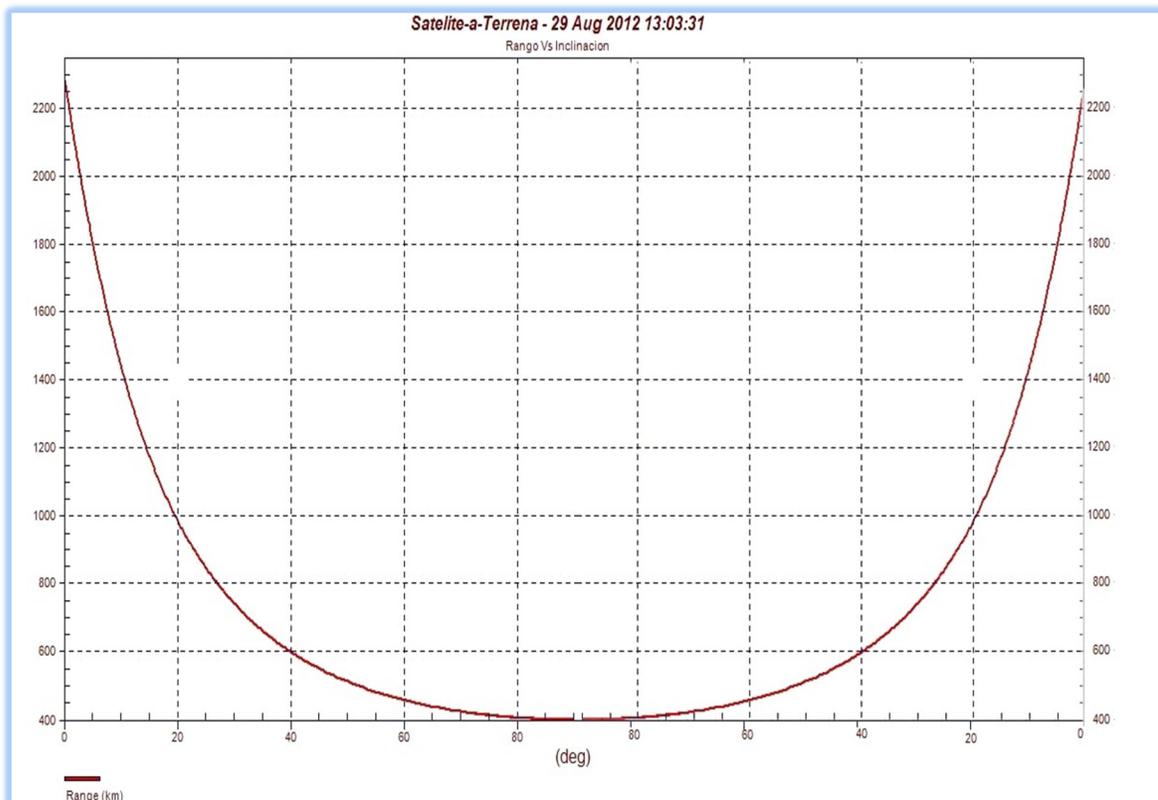
Donde

d: Distancia al satélite

re: Radio de la tierra

rs: re + altura del satélite

γ : Ángulo de inclinación



De la ecuación (2) la distancia con respecto al ángulo se grafica como:

Figura 3. Ángulo de elevación -vs- distancia entre una estación en tierra y un satélite en una órbita circular LEO de 400 km. Resultando un rango variante dependiendo de la inclinación (AGI).

2.3.2.2 Ventana de tiempo disponible

Debido a que es una órbita baja, implica que está caracterizado por un tiempo de disponibilidad, durante el que se puede establecer la comunicación cuando el satélite sea perceptible. Esta visibilidad abarca aproximadamente elevaciones desde los 5° hasta los 175° (siempre medidos desde el punto de observación). La Figura 4 (desplegada en STK), ilustra este periodo de acceso al satélite.

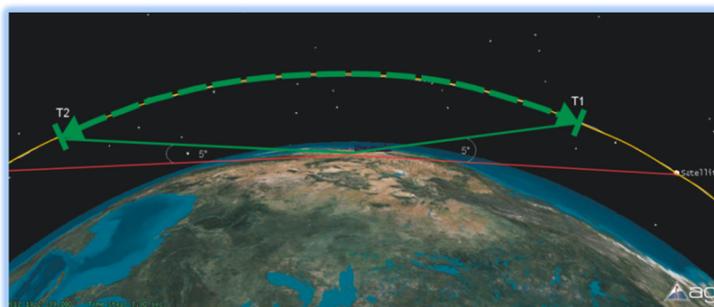


Figura 4. Recorrido del satélite muestra su ventana de tiempo (verde).

Lo notable aquí, es que el trayecto orbital impone restricciones, permitiendo la oportunidad de acceso continuo solo en un corto periodo, antes de que se vuelva a perder en el horizonte nuevamente, por lo que las tasas de transferencia de información se hace crítica, y junto con los tiempos de acceso determina la cantidad de información que puede ser enviada o recibida, desde y hacia, nuestro sistema.

2.3.2.3 Efecto Doppler

Otro inconveniente que sufren los sistemas de comunicación de pequeños satélites colocados en orbitas LEO, es su velocidad relativa que tiene con respecto a la velocidad de rotación de la tierra. El resultado de esta situación provoca el efecto de desplazamiento de la frecuencia de portadora respecto a la frecuencia central.

Si suponemos que el satélite se mueve hacia el observador con una velocidad v_s (componente de velocidad en la dirección del satélite a la estación terrena), al observador estacionario le llegan más ondas por segundo, por esto la frecuencia recibida por la estación terrena será relativamente mayor que la frecuencia central emitida por el transmisor (Pratt et al., 2003). La longitud de onda observada está dada por la fórmula:

$$\lambda_{efectiva} = \frac{c-v_s}{f} = \lambda' \quad (3)$$

Donde

c : Velocidad de la luz

v_s : Velocidad del satélite

f : Frecuencia de la portadora

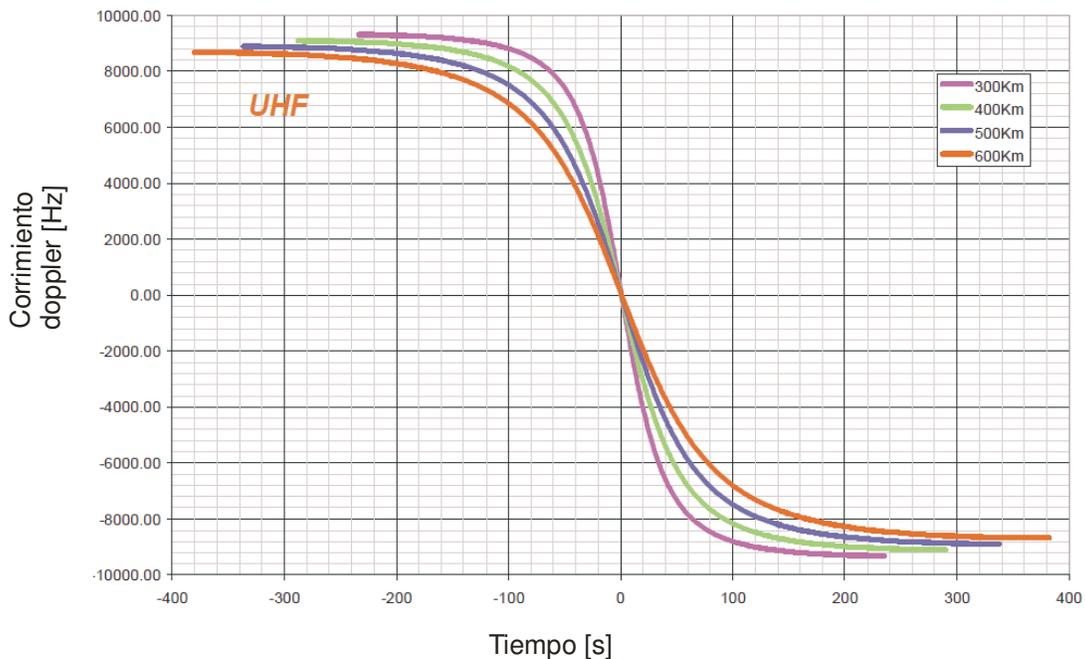


Figura 5. Simulación en MATLAB del efecto Doppler para una frecuencia portadora de 400Mhz para 4 distintas órbitas LEO. Tomado de Lynaugh, Kelvin (2011, p.17).

2.4 Canal de comunicaciones para satélites de órbita baja (LEO)

Una parte primordial e inicial en el diseño de un sistema de comunicaciones es el estudio del canal por donde se propagará la señal, ya que las características reales de éste determinan los parámetros físicos en nuestro diseño, tales como el tipo de transmisor, la fuente de información, ancho de banda a ocupar, tipo de codificación de canal, modulación, filtros, ganancia de antenas, los algoritmos del protocolo etc.

La intención de éste trabajo es presentar una alternativa digital que permita una cierta adaptación al canal de comunicación de forma ágil. Se compone como un modelo de *Ruido Aditivo Blanco Gaussiano* (AWGN) con densidad espectral de

potencia N_0 , y para simplificar el tratado, las perturbaciones como lluvia, nieve, granizo y otras incidencias atmosféricas se consideran despreciables por los rangos de frecuencias de trabajo. Como se debe permitir la configuración dependiendo de las distintas condiciones de canal, el parámetro a controlar es la frecuencia que está estrechamente ligada a las pérdidas por propagación, corrimiento en el espectro y tasa de transferencia de información. Al final, hay que asegurar el margen de aceptación que garantice una comunicación confiable entre el transmisor y el receptor.

2.4.1 Presupuesto de enlace

El presupuesto de enlace es el resultado de un análisis en un sistema de comunicación en el cual mediante el cálculo de las ganancias y pérdidas, es posible obtener información sobre la calidad de recepción. Es decir la capacidad para detectar una señal en el receptor, en presencia de ruido, con una aceptable probabilidad de error (Sklar, 2001) (Allnut, Pratt, & Bostian, 2002).

En realidad, es una técnica de estimación puesto que muchos de los parámetros intervinientes y que influyen en la calidad del enlace no se pueden predecir con exactitud.

Se ha realizado el siguiente cálculo de enlace para ilustrar los efectos en las frecuencias y distancias consideradas, con consecuencias en el desempeño general del sistema y así comprobar cómo los resultados pueden justificar un enlace de comunicación exitoso.

Cálculo del presupuesto

Un cálculo básico del presupuesto de enlace es la potencia de ruido del sistema descrita en la ecuación (4):

$$N = kT_{sys}B_n \quad (4)$$

Donde k es la constante de Boltzman, T_{sys} es la temperatura del sistema, y B_n es el ruido de ancho de banda. Esta potencia de ruido se utiliza para el cálculo del SNR (Relación Señal a Ruido por sus siglas en Inglés).

El otro cálculo necesario para determinar el SNR es la ecuación de enlace misma, la cual es fundamentalmente la potencia recibida descrita en la ecuación (5):

$$P_r = \frac{P_t G_t G_r}{(4\pi R/\lambda)^2} \dots (W) \quad (5)$$

Donde P_t es la potencia transmitida, y el término G_t es la ganancia de la antena. El producto de estos dos términos es mejor conocido como la potencia isotrópica efectiva radiada (PIRE). El denominador de la ecuación del enlace representa las pérdidas de trayecto, las cuales son dependientes del rango (distancia entre el satélite y la estación terrena) y la longitud de onda de la señal (inverso de la frecuencia portadora). El término G_r , es la ganancia de la antena receptora la cual depende del área de apertura de la antena y también de la frecuencia portadora (inverso de la longitud de onda) (Pratt et al., 2003).

El cálculo de enlace es normalmente manejado en dB para una mejor apreciación y facilidad en la manipulación algebraica. Después de convertir la potencia de ruido a dBW, el SNR se torna una mera diferencia:

$$\frac{C}{N} = P_r - N \dots (dB) \quad (6)$$

En un problema real la magnitud del valor de potencia de ruido es mayor que la magnitud (en dBW) de la potencia recibida. Aunque ambos son valores normalmente negativos, la resta en la escala logarítmica (dB) resulta un valor positivo de SNR.

Relación $\frac{E_b}{N_0}$ y S/N

$$\frac{C}{N} = \frac{E_b}{N_0} \cdot \frac{f_b}{B} \quad (7)$$

En la ecuación (7), $\frac{E_b}{N_0}$ es la razón de energía por bit sobre la densidad potencia espectral de ruido y es una “versión” normalizada de SNR o S/N. Ambas unidades

son adimensionales, y sirven para comparar la calidad entre diferentes sistemas. En comunicaciones digitales $\frac{E_b}{N_0}$ es usada como figura de mérito, de manera que se puede comparar los sistemas a nivel de bit sin tomar en cuenta el esquema de modulación. En sistemas digitales es más útil caracterizar una señal por su energía ya que un símbolo es transmitido al alternar una forma de onda en una ventana de tiempo (tiempo de símbolo). Por tanto las señales digitales son señales de energía, con promedio cero de potencia y energía finita, a diferencia de las señales analógicas con una duración infinita, que tienen un promedio de potencia finita y energía infinita, donde se usan medidas de $\frac{S}{N}$ (Sklar, 2001).

Relación de $\frac{E_b}{N_0}$ y BER

Del resultado del cálculo de presupuesto de enlace se obtiene un valor de $\frac{E_b}{N_0}$ para el sistema de comunicación dado. Al llevar este valor a las gráficas de cascada mostradas en la Figura 6, se puede obtener la probabilidad de error que se tendrá para los diferentes esquemas de modulación. De esta manera se puede comparar qué tan robustos a errores son los distintos esquemas de modulación.

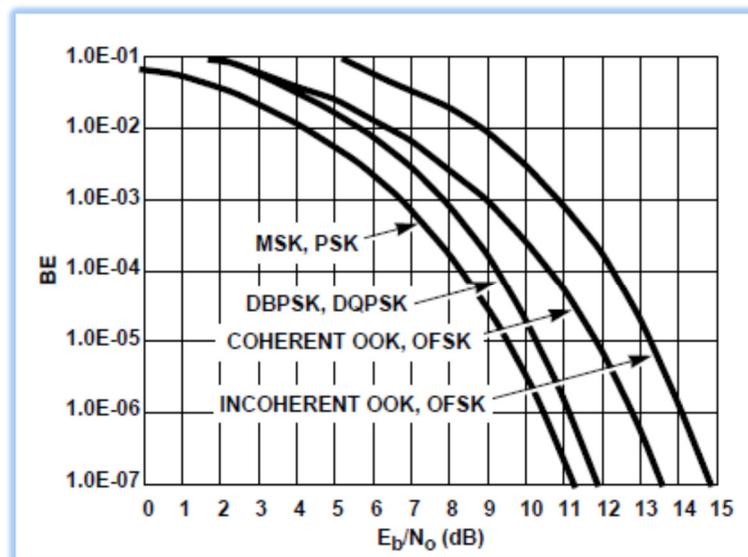


Figura 6. Curvas de tasa de error según el esquema de modulación.
Tomado de Zyren & Petrick (1998, p.2).

Capítulo 3

Tecnología en Radio Digital Adaptable

Este capítulo presenta las tecnologías utilizadas en esta tesis, tales como SDR (Software Defined Radio por sus siglas en Inglés), así como los dispositivos de hardware donde se aplican los procesos. El propósito gira en torno a una solución integrada, permitiendo que un dispositivo sea capaz de ofrecer un control versátil de parámetros del *segmento radio* para adaptarse a distintas interfaces aire, técnicas de modulación, inclusive protocolos de acceso al medio, etc. Para implementar tal adaptabilidad, el dispositivo necesita reconfigurarse en base a los parámetros requeridos, sin embargo esta flexibilidad en sistemas de radio basados en mayor parte en *hardware* es limitada, y solo puede ser modificada cambiando físicamente por completo el módulo. Esto restringe en gran medida la capacidad de generación de formas de onda y funciones en las aplicaciones, inclusive llegando a reducir el tiempo de vida del producto comercial o de la misión científica. La tecnología SDR aborda y resuelve este problema, permitiendo la flexibilidad y adaptabilidad mediante la descripción en software (SDRForum, 2012).

Para situar en contexto el alcance de nuestra solución de *Radio Adaptivo*, es preciso mencionar el panorama más extenso al que se aspira en un futuro, al pasar del simple monitoreo del desempeño y control de parámetros de operación, a conseguir el tipo de *Radio Cognitivo (CR)*, que es la implementación de la inteligencia para manejar una plataforma SDR genérica y flexible. El CR ofrece monitorear su ambiente de radio local, posición geográfica, y utilizando esta información, ajusta sus características, comportamiento y operación, de manera que optimiza su desempeño. Por ejemplo, el CR selecciona la frecuencia de operación y toma ventaja del espectro que no esté ocupado, o bien, adapta su potencia de transmisión según su esquema de modulación u otros parámetros de la señal, para lograr el adecuado compromiso entre calidad de servicio (QOS) y requerimientos espectrales.

La meta es llegar a un concepto de *Radio Inteligente* que implemente un algoritmo de aprendizaje e intervención.

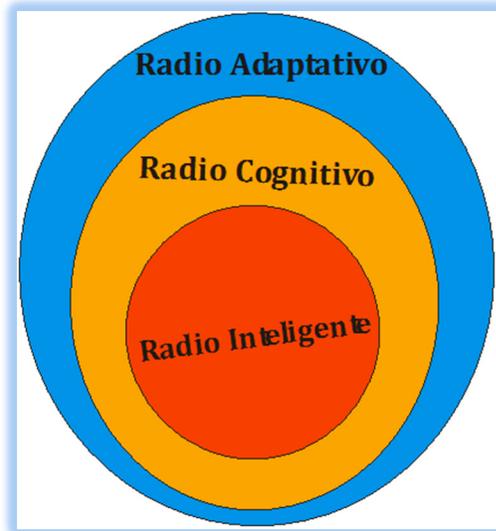


Figura 7. Diagrama de Venn ilustrando la relación entre tecnologías inalámbricas de vanguardia. Modificado de SDRForum (2012, <http://www.wirelessinnovation.org/>).

3.1 Clasificación del radio según niveles de adaptabilidad

El foro SDR (hoy Wireless innovation) es una organización sin fines de lucro formada para desarrollar, implementar y utilizar arquitecturas abiertas en sistemas inalámbricos avanzados, y ha establecido una clasificación donde se describen los distintos niveles y capacidades en la implementación del radio configurable. La Tabla 3 muestra estos grados, y precisa desde un nivel de referencia básica (cero) que representa el radio tradicional implementado completamente en hardware, hasta el último nivel (cuatro) que representa la máxima aspiración del concepto de radio adaptable. Actualmente para la mayoría de las aplicaciones del *estado de la técnica*, la realidad se encuentra en medio de éstas, y para propósitos de esta tesis, el nivel dos es el que aplica.

Tabla 3. Nivel de confiabilidad especificado para clasificar un radio en el concepto SDR. SDRForum (2012, <http://www.wirelessinnovation.org/>).

Nivel	Nombre	Descripción
0	Radio Hardware (HR)	Radio básico con una funcionalidad fija.
1	Radio Controlado por Software (SCR)	Implementado con hardware fijo para aplicación específica; una interfaz de software permite modificar ciertos parámetros (potencia de transmisión, frecuencia, etc.)
2	Radio Definido por Software (SDR)	La forma de onda (frecuencia, modulación, seguridad, etc) es procesada en software. Lógica reconfigurable sin la necesidad de modificaciones en el hardware. Por lo pronto las bandas de frecuencia estarán restringidas por la frontera de RF.
3	Radio de Software Ideal (ISR)	La programabilidad se extiende a todo el sistema, efectuándose la conversión analógica/digital solo en la antena.
4	Radio Software Ultimate (USR)	Representa la visión de SDR. Permite el tráfico completamente programable y el control de información, permite operaciones sobre un amplio rango de frecuencias y puede conmutar de una aplicación de interfaz – aire a otra en milisegundos.

3.1.1 Software Defined Radio (SDR); concepto y definición

Si bien el concepto de *Radio Adaptativo* tiene raíces en los años 70's motivado por el Sector Militar en EE.UU. y Europa (Baylis, 2002) (Reed, 2002), el término SDR en sí fue propuesto por Joseph Mitola, quien en 1992, publicó su primer artículo en el tema (Mitola, 1992) para referirse a un tipo de *Radios reconfigurables*, en donde la misma plataforma de hardware pueda ser dispuesta para efectuar funciones distintas en tiempos distintos. La idea implica un cambio en el paradigma de *Radios inflexibles* a *Radios versátiles* mediante programación. A diferencia del *Radio tradicional*, donde el procesamiento de la señal era normalmente hecho en el dominio analógico por circuitos de aplicación específica, SDR es un sistema de comunicación radio donde los componentes (mezcladores, amplificadores, filtros, demoduladores, detectores, etc), son implementados en términos de software (lógica) en una computadora o en un sistema embebido. El elemento atractivo de SDR es la posibilidad de alteración de la capa física (potencia de transmisión, frecuencia y esquema de modulación) mediante software, sin necesidad de modificaciones adicionales en el hardware, y aunque la plataforma sea común y fija, la flexibilidad se consigue mediante lógica digital, alterando el comportamiento de los elementos de capa física. Así que el mismo componente de hardware puede ser utilizando, modificando el software embebido en el hardware, para realizar la función deseada.

La definición formal de SDR que se sigue en este trabajo la presenta el foro SDR y se anuncia así: *“Un conjunto de tecnologías de hardware y software donde algunas o todas las funciones de operación del radio, están implementadas mediante un software adaptable, o firmware, operando en tecnología de procesamiento programable. Estos dispositivos pueden ser FPGA, DSP, o GPP, SoC o alguna otra opción específica de procesamiento programable.”*

(2012, <http://www.wirelessinnovation.org/>).

3.1.2 Bondades y retos de SDR

Con el fin de valorar objetivamente las capacidades, y contrastarlos con los desafíos por enfrentar con estas tecnologías, se enlistan los siguientes beneficios claves de SDR:

- Los componentes usados en SDR son mas pequeños que aquellos implementados en sistemas de radio utilizando solo hardware, impactando en referencia a espacio y peso.
- La arquitectura es estándar para distintas funciones de comunicaciones, impactando en referencia a espacio, peso y potencia.
- Flexibilidad y adaptabilidad en ancho de banda, velocidad de transferencia de información, asignación de espacio espectral y/o protocolos de comunicación.
- Tienen la habilidad de configurarse en tiempo real *en el aire*, mediante software que pueda programarse después de la implementación inicial.
- Una reducción potencial de los periodos de desarrollo, impactando en proyectos de la academia e industria.
- Aumento de vida útil de las soluciones tecnológicas originalmente desarrolladas con impacto en el plan de negocios del proyecto.

Habrá que aclarar en cuanto a los limitantes de ésta tecnología que aún se tienen áreas de investigación en proceso. Estas se enfocan en resolver cuestiones como consumo de potencia, requerimientos de procesado de señales, y resolución y velocidades en la conversión analógico/digital entre otras. Por ejemplo, la realización de niveles 3 y 4 de la Tabla 3, convertiría la señal al dominio digital lo mas cerca de la antena para proveer la mayor flexibilidad, sin embargo, dados los altos rangos de frecuencias de portadora utilizadas en comunicaciones hoy en día, se impone una enorme demanda en la actuación del procesamiento digital. Por lo tanto, una implementación ideal de SDR no podrá hacerse en la práctica, cuando menos con la tecnología que se tiene en la actualidad (Reed, 2002), entre otras cosas por la limitación del ancho de banda que permite la antena, y las aún restringidas tasas de muestreo para la conversión analógica/digital. Es por tanto, necesario que se vea

una etapa de IF (Frecuencia Intermedia por sus siglas en Inglés) que disminuya estas demandas. Es posible implementar esta etapa de IF digitalmente en *firmware* procurando un compromiso entre desempeño y flexibilidad.

Aunque el procesamiento digital de la señal en banda base no abarca necesariamente a SDR, es común que se incluya esta etapa dentro del esquema de versatilidad, sencillamente porque la tecnología lo permite. Pero los segmentos que sí son requeridos en un sistema SDR típico son: la frontera analógica de radio, la etapa de conversión y la plataforma de procesamiento. Se espera que SDR junto con SDA (antenas definidas por software) permitan en un futuro cercano el anhelado concepto de *Radio Inteligente*.

3.2 Plataforma de procesamiento -Hardware-

Como se mencionó anteriormente, un sistema SDR típico normalmente contiene un procesador colocado después de la etapa de RF. Ésta porción de procesamiento del sistema SDR es el elemento central de la plataforma digital, y es la parte que implementa la conformación resultante de la forma de onda esperada.

En la búsqueda de cualquier plataforma hardware digital en SDR habrá cuatro puntos a considerar (Reed, 2002):

- **Flexibilidad:** La capacidad de manejar una variedad de interfaces aire, protocolos y velocidades de transferencia.
- **Modularidad:** La capacidad de actualización y en su caso reemplazo de subsistemas con condiciones de SDR.
- **Escalabilidad:** La capacidad de sofisticación para mejorar el desempeño de SDR.
- **Desempeño:** En éste, aplica el consumo de potencia, recursos computacionales de procesamiento digital y costos.

La interrelación de las características anteriores se articulan en torno al nivel de reconfigurabilidad (característica principal en SDR), por lo que la plataforma hardware deberá operar bajo esta premisa.

El procesamiento digital de la señal puede realizarse en tres grandes tipos de plataformas tecnológicas (Reed, 2002): 1.- Microprocesadores (μP), 2.- Circuitos integrados de aplicación específica (ASIC), y 3.- Dispositivos Lógicos Programables (PLD o FPGA). La plataforma basada en microprocesadores incluye al Procesador Digital de Señales (DSP) y procesadores de propósito general (GPP).

Existe un compromiso de flexibilidad y desempeño entre estas opciones que se muestra en la Figura 8. Los DSP tienden a soportar un más alto nivel de adaptabilidad dado a la arquitectura inherente del microprocesador y la capacidad de programación de un lenguaje de alto nivel como 'C', esta flexibilidad está comprometida a cambio del desempeño, debido al proceso secuencial, natural de un microprocesador. Por otro lado un *ASIC* es la plataforma más especializada de

hardware implementada en circuitería fija, y es la solución óptima con respecto a velocidad y consumo de potencia. Sin embargo debido a la complejidad en el diseño de circuitos y lo sofisticado de la herramienta de desarrollo, los ASIC brindan un menor nivel de flexibilidad, y son usados sólo en aplicaciones específicas dentro de un diseño en específico (Reed, 2002):

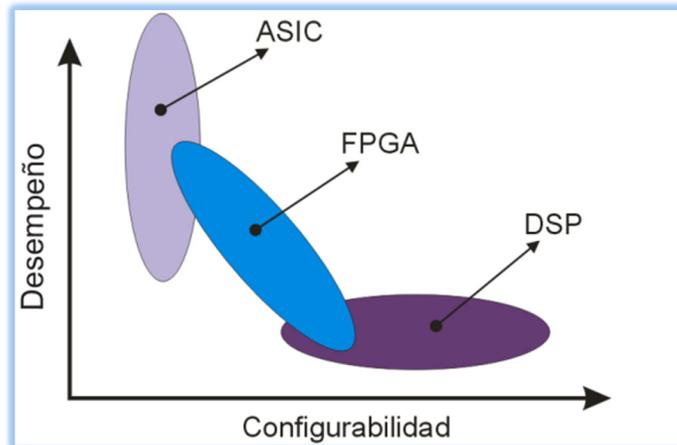


Figura 8. Comparativo entre elementos de procesamiento en banda base. Modificado de Kriegler (2009, p.9).

3.2.1 Recurso DSP

Un procesador digital de señales (DSP) en esencia es un tipo de microprocesador especializado, optimizado para realizar ciertos procesos computacionales, ejecutando instrucciones matemáticas en rutinas eficientes. El componente principal que diferencia a un DSP de un microprocesador, es la implementación de operaciones en instrucciones de multiplicación y acumulación (MAC), principales tareas del DSP (Lund, 2002). El término DSP envuelve a un amplia gama de procesadores entre los cuales las distinciones mas importantes está en su representación numérica (ya sea punto flotante o punto fijo) y el tamaño del acumulador (es decir su precisión). Otra distinción en estos dispositivos DSP, está entre los que son optimizados para el desempeño y los optimizados para el consumo de potencia.

Su desempeño se limita por la tasa de reloj, y el número de operaciones en un ciclo se da en términos de millones de instrucciones por segundo (MIPS).

Los DSP normalmente se *corren* sin sistema operativo o programación en lenguaje ensamblador. En cambio, recurren a herramientas de lenguajes de alto nivel, especialmente compiladores como 'C'. Los tiempos de ejecución de instrucciones son altamente determinísticos, y esto, junto con la ausencia de un sistema operativo determinando su acción, permiten la sistematización del DSP con gran precisión en tiempo.

3.2.2 Recurso GPP

Los Procesadores de Propósito General (GPPs) como los hallados en los equipos de computo personal (PC's), no son tan eficientes como un DSP para proyectos de SDR. No obstante, lo que los hace atractivos es su bajo costo relativo, mientras más penetrante sea la PC en el mercado, los precios de estaciones de trabajo (relativamente potentes) bajan considerablemente su costo.

Los GPP son normalmente usados conjuntamente con un Sistema Operativo (OS), esto trae la ventaja de la compatibilidad de software gracias a la abstracción de hardware ejecutado por el OS. Empleando GPPs en una implementación SDR, se explota el crecimiento en capacidad atribuido a la ley de Moore (Chapin, 2002). Sin embargo el uso de un OS trae consecuencias desfavorables, como la incertidumbre en los tiempos de ejecución, debido a las distintas tareas surgidas de periféricos compartiendo el mismo BUS. Aunque es capaz de aplicaciones en tiempo real implementando buffers trabajando a velocidades mayores que las tasas promedio, estas configuraciones producen retardos no deseados.

Existen muchas herramientas de computo asistido para el desarrollo en GPPs, e inclusive más maduras que otras plataformas (Chapin, 2002), pero el problema del ancho de banda en la interfaz de memoria restringe en mucho a los GPPs con respecto a los DSPs.

3.2.3 Recurso FPGA

Los FPGA (Field Programmable Gate Array) lanzados comercialmente por Xilinx en 1985 (Xilinx Inc., 2012), son dispositivos semiconductores reprogramables *a posteriori* de la fabricación (de ahí el termino 'en-campo'), y al igual que los ASIC, normalmente programados en lenguaje de máquina descriptivo tales como VHDL o Verilog HDL. Pero a diferencia de los circuitos ASIC, los FPGA contienen elementos con recursos no comprometidos que pueden ser seleccionados, configurados e interconectados por usuario en diseños para programarse un múltiple número de veces, impactando ágilmente en versatilidad la implementación de sistemas (Herrera Lozada & González Robles, 2000).

Un FPGA consiste esencialmente en una matriz bidimensional de bloques de lógica configurable (CBL) y una matriz de conmutación (que en realidad es lo que se programa) que interconecta las señales, cuyas conexiones se pueden modificar según las necesidades del diseñador. Su desempeño se da básicamente en términos del número de elementos lógicos que contiene el dispositivo y la velocidad máxima de reloj. Estos dispositivos pueden ser dispuestos para soportar desde simples operaciones lógicas (tales como sumas), hasta sintetizar lógica mas sofisticada de funciones especializadas, como un filtro digital de señales, memorias, multiplicadores, etc.

En comparación con los DSP, que ejecutan un numero determinado de operaciones simultáneamente (típicamente una o dos), que en computo demandante puede volverlo lento o incapaz, los FPGA permiten conformar abiertamente la lógica del sistema y brindan recursos en completa concurrencia, perfecto para tareas iterativas que pueden ser realizadas en paralelo. Además, los dispositivos lógicos programables tienen una mayor integración, menor disipación de potencia, y mejor desempeño en general (Cummings & Haruyama, 1999), lo que los convierte en la mejor opción para sistemas portátiles con rangos de frecuencia así como anchos de banda amplios.

Los FPGA actualmente pueden manejar datos tan rápido como cualquier convertidor *ADC* comercialmente disponible, y operar a velocidades tan altas como lo exigen sofisticados algoritmos. Ésta capacidad de procesamiento habilita al *FPGA* en la implementación (en el mismo integrado), no solo de funciones de banda base, sino que también procesamiento de frecuencia intermedia (acercándose cada vez más a la antena). Además se puede optimizar las longitudes de palabra de punto-fijo e incluir la multi-canalización en un solo dispositivo, reduciendo el costo de potencia efectivo por canal. En las próximas décadas se espera el aumento de estos dispositivos en radios para el procesamiento digital de señales.

Uno de los puntos encontrados como débiles en los FPGA, es que son mayormente susceptibles a trastornos de radiación, por lo que aún hay mucha preocupación en el uso de estos dispositivos en misiones militares y comerciales (críticas) de aplicaciones a gran altitud. Hay una mayor probabilidad de eventos dañinos ocasionados por partículas de alta energía, por lo que en muchos casos por seguridad, se opta por utilizar ASIC o dispositivos de programación única (OTP). También la programación de funciones de procesamiento complejo en un FPGA aún es una tarea no trivial, aunque esto se debe más que nada a la inmadurez de las herramientas de desarrollo en comparación con aquellas ofrecidas en microprocesadores.

Aún con la dificultad asociada con la programación y los cuidados adicionales por susceptibilidad a radiación (cuestiones en las cuales se esta invirtiendo agresivamente por parte de los fabricantes), las múltiples ventajas hacen a los sistemas basados en FPGA una excelente plataforma para desplegar SDR a bordo del satélite.

Estructura general del FPGA

Existe en la actualidad una amplia gama de productos de FPGA ofrecidos por los principales fabricantes, tales como Altera, Xilinx, y Atmel, por tanto la arquitectura en específico varía de fabricante a fabricante, sin embargo una generalización puede

ser hecha de tal manera que la mayoría de los FPGA queden constituidos por estos tres elementos básicos:

1. **Una matriz de bloques de lógica configurable (CLB):** Bloques lógicos, cuya estructura y contenido se denomina arquitectura, con parámetros que se pueden modificar de forma que presente diferentes funcionalidades. Cada CLB consiste, de forma genérica, en varias tablas de LUTs (Look-Up Tables por sus siglas en Inglés), o tablas de consulta, cuyas salidas están multiplexadas y unos parámetros de configuración de dicho CLB. El diseño de un CLB varía de un fabricante a otro.
2. **Recursos de interconexión:** cuya estructura y contenido se denomina arquitectura de enrutado; encargada de conectar los CLBs entre ellos, y a su vez éstos con las celdas de entrada y salida.
3. **Celdas de Entrada y Salida (IOB):** su cometido es comunicar la lógica interna del FPGA con el exterior.

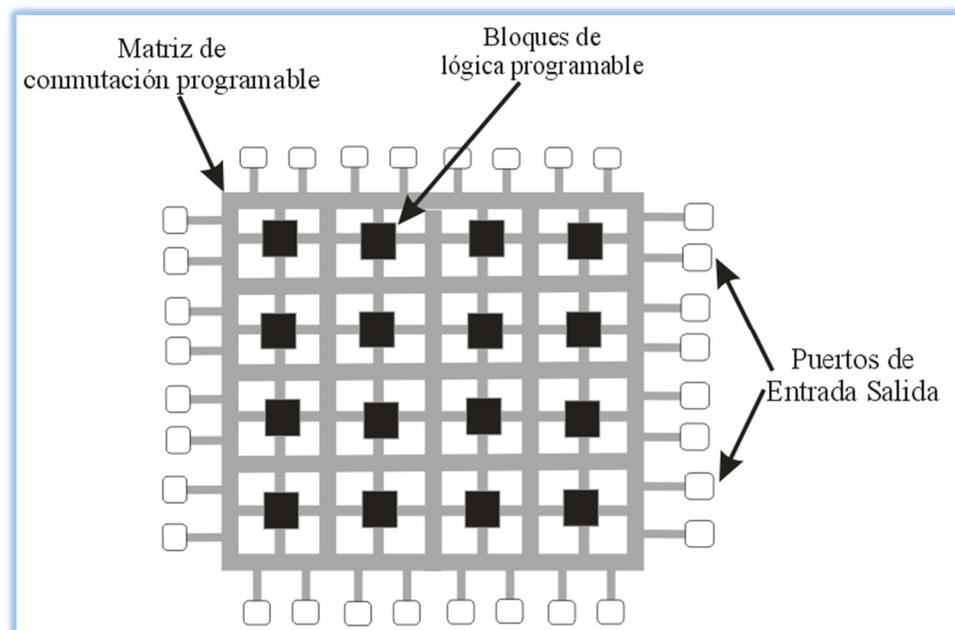


Figura 9. Arquitectura interna de una FPGA.

La Figura 9 contiene una ilustración del contenido de un FPGA, cada intersección puede ser programada para conectar distintos arreglos de lógica bloque I/O, memoria, etc.

Al proceso de interconexión se le conoce como *enrutamiento*, y consiste en determinar la mejor estrategia de interconectar los módulos, ya sea en forma manual o mediante alguna herramienta de diseño electrónico (EDA). Esta configuración es implementada descargando una cadena binaria a una RAM estática de configuración dentro del FPGA. Como este archivo binario define a cada elemento lógico, así diferentes aplicaciones pueden ser incorporadas dentro del FPGA solo con el archivo de configuración binario apropiado. Para esto, cada fabricante proporciona las herramientas de diseño adecuadas.

Este trabajo muestra un diseño basado en el FPGA Cyclone III el cual contiene los siguientes recursos: 24,624 elementos lógico (LE), 66 bloques M9K. 608,256 Bits de RAM totales, 66 Multiplicadores 18 x 18, 4 PLLs, 20 Redes de reloj globales, 215 puertos I/Os. En cuanto a características de consumo de potencia, es mas bajo debido a la tecnología de proceso TSMC, y en cuanto a integración de sistemas, ofrece alta densidad de memoria lógica y multiplicadores, además de niveles ajustables de *Slew Rate* para mejorar integridad en la señal, y el procesador embebido Nios® II (Altera CO., 2009).

En cuanto a los elementos lógicos y arreglo de bloques, cada LE contiene 4 entradas, una tabla de consulta de cuatro entradas, un registro y lógica de salida. La tabla de consulta de 4 entradas es un generador que puede implementar cualquier función de cuatro variables.

La configuración de la familia de dispositivos Cyclone III utiliza celdas SRAM para almacenar los datos de configuración, estos datos son proporcionados en cada inicialización del dispositivo, configuraciones alternativas de bajo costo que incluye la familia de Altera para la configuración paralela en flash, que permite flexibilidad en aplicaciones con requerimientos de tiempo de programación críticos.

Formato Numérico

En la manipulación de información es necesaria una representación digital de la señal. Existen básicamente dos formatos numéricos utilizados en el procesamiento digital de señales: El punto-fijo y punto-flotante, ambos factibles y utilizados en aplicaciones de procesamiento digital basadas en DSP y FPGA, sin embargo, son en las operaciones de punto-fijo donde enfocaremos la atención debido que el hardware donde se implementa este formato tiene las ventajas de poseer una menor área (tamaño), menor consumo de energía y menor costo de producción, a costa de acrecentar los errores en los cálculos matemáticos. Esto los vuelve más densos, lo cual consume tiempo, aumenta la posibilidad de sitios de error, y el problema del rango dinámico se incrementa, sobretodo en aplicaciones científicas. Normalmente los algoritmos DSP son desarrollados en punto-flotante y posteriormente trasladados a punto-fijo para la implementación en hardware digital.

Capítulo 4

Arquitecturas y fundamentos de Radio Adaptativo

La arquitectura universal de cualquier transceptor puede dividirse en dos grandes segmentos, el primero involucra esencialmente señales pasa banda, y el segundo es donde el procesamiento se sujeta a banda base. Tradicionalmente el primero se ha resuelto con electrónica analógica y se especifica con elementos de hardware, la señal pasa a través de componentes discretos (amplificadores, filtros, mezcladores), con las implicaciones de degradación acumulativa al alterar características de la señal de manera significativa debido a influencias externas (es decir, temperatura, humedad, etc.). Además de la forzada rigidez, ésta implementación tradicional no provee flexibilidad múlti-bandas, pues los procesos de RF e IF utilizan elementos estáticos (Huie, Price, Pelt, & Jentz, 2005). Con la conversión digital *temprana* de la señal de RF, no sólo admitiría una mayor flexibilidad en el procesamiento de la señal, sino también proporcionaría una mejor calidad de señal, que los componentes analógicos no aseguran. Otras ventajas de la solución digital es que en términos prácticos y comparados con su contraparte analógica, su tamaño es reducido, el consumo de potencia es menor, y además los tiempos de desarrollo en general pueden agilizarse en plataformas de ingeniería integrales. Por lo tanto, si nos propusiéramos aprovechar las ventajas de las técnicas modernas y formular una solución digital de un transceptor SDR ideal, este transceptor SDR ideal contendría una cantidad mínima de componentes analógicos previos a la digitalización como podría ser un amplificador que reduzca la figura de ruido, filtros anti-traslape de preselección etc. Los procesos se realizarían en un dispositivo con alto desempeño de procesamiento digital, suplantando las funciones analógicas por su contraparte en el dominio digital como se muestra en la Figura 10. Esta propuesta ideal podría ser capaz de recibir (y transmitir) señales de RF con banda mas amplia (cientos de MHz, hasta GHz), procesando distintas interfaces aire mediante software. Esta

arquitectura proveería una agilidad de reconfiguración completa, pues toda la manipulación de la señal estaría bajo control de software en el dominio digital.

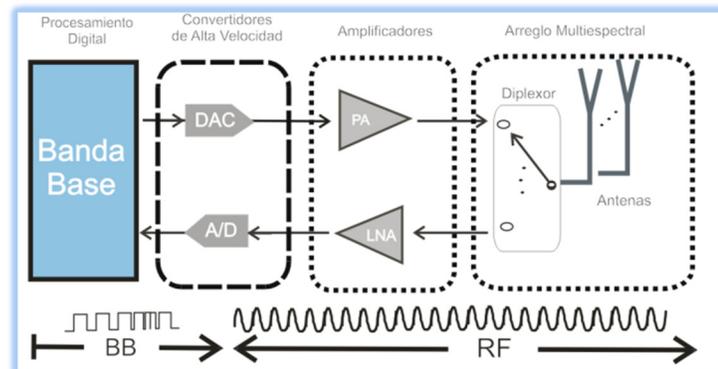


Figura 10. Sistema de un transceptor SDR ideal

Donde

PA: Amplificador de potencia

LNA: Amplificador de Bajo ruido

BB: Banda Base

RF: Radio Frecuencia

DAC: Convertidor Digital → Analógico

A/D: Convertidor Analógico → Digital

Esta técnica de conversión directa, donde la banda de interés de la señal de RF es convertida a banda base o *subida* a RF sin la necesidad de etapas intermedias, se denomina arquitectura *Homodina* o *IF cero*. Este método de conversión directa, aunque comprendería una interface de radio ideal, en la práctica tiene inconvenientes o simplemente no es viable, según las frecuencias o rangos dinámicos de operación en la etapa de conversión.

Al mismo tiempo es de substancial interés en cualquier implementación de la *Arquitectura radio digital*, el destino físico final y los medios para llevar a cabo el diseño digital. Esto implica los dispositivos, lenguaje y herramientas de programación, ya que en la práctica surgen dificultades al implementar en hardware las fórmulas y algoritmos matemáticos al interior del FPGA.

4.1 Arquitectura SDR factible

Con la tecnología disponible hoy día, aún hay impedimentos para la realización de un receptor *SDR ideal* de banda ancha, primero porque las antenas que sintonicen señales multi-banda actualmente no son realizables, y segundo, con el problema del cuello de botella del convertidor de dominio (digital-analógico) no es posible lograr una conversión directa (RF - Banda Base). Desplegarla en la práctica requeriría de procesadores digitales muy rápidos, y si los hay tendrían consumo de potencia prohibitivos (Brannon, 2003).

Actualmente el *estado de la técnica* de los ADC llega a 3.6 Giga-muestras por segundo (GSPS), y esto con una resolución de 12 bits (Texas Instruments, 2012). De acuerdo con el teorema del muestreo *Nyquist-Shannon*, una señal periódica deberá muestrearse en una tasa de por lo menos dos veces su frecuencia máxima para poder reconstruirla (Proakis, 2002). Un ADC de 3.6 GSPS podría por lo tanto muestrear señales de hasta 1.8 GHz de frecuencia. Otras limitaciones importantes en los convertidores son su baja resolución (error de cuantificación), comportamiento no lineal, desviación en precisión de los intervalos de muestreo (error jitter) y el ruido, lo que limita su rendimiento (Hentschel, Henker, & Fettweis, 1999). El tercer gran problema en SDR es respecto al poder de cómputo del *estado de la técnica*, aun suponiendo a un convertidor digital perfecto, la cantidad de información digital (muestras) a procesar supera la capacidad de cómputo de plataformas disponibles en la actualidad y podría requerir millones de operaciones de punto flotante por segundo (Giga-FLOPS) de rendimiento (Mitola, 1995).

A medida que se avanza en tecnología de conversión y procesado, hay que utilizar arquitecturas intermedias de tal forma que sea forzosa una mezcla para bajar la frecuencia a niveles manejables, a ésta arquitectura se le conoce como *Heterodina*. Este es un método muy usado en tecnología analógica que utiliza un proceso de mezcla de frecuencias (o heterodinación) para convertir la señal recibida en una frecuencia intermedia (IF) y posteriormente convertirla a banda base.

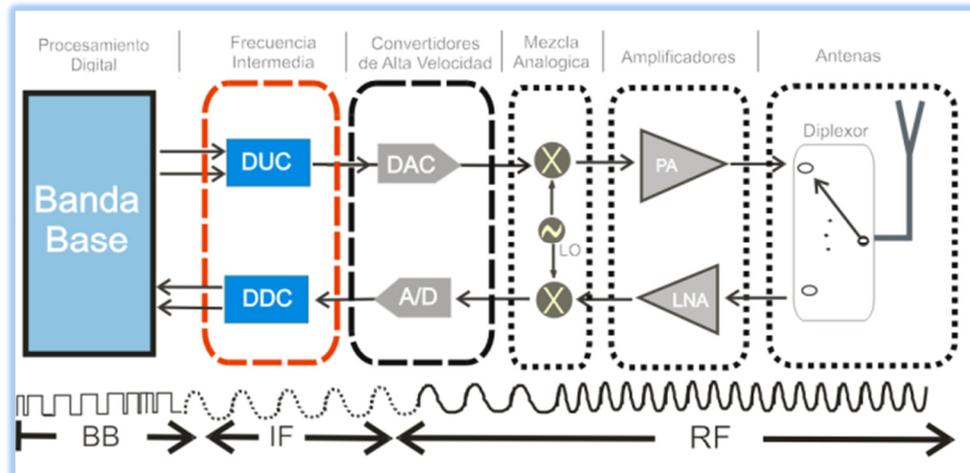


Figura 11. Arquitectura genérica realizable de un transceptor digital basada en tecnología de última generación SDR. Modificado de Altera (2012, <http://www.altera.com/end-markets/wireless/advanced-dsp/sdr/wir-sdr.html>).

IF: Frecuencia Intermedia
 DUC: Convertidor Digital de Subida
 DDC: Convertidor Digital de Bajada
 LO: Oscilador Local

4.1.1 Elementos analógicos en plataforma SDR

A continuación se describen de manera general los componentes que conforman los elementos analógicos del radio.

La Antena: El esquema del SDR comienza con este elemento restrictivo, ya que está diseñado para un rango específico de frecuencias y para lograr un ancho de banda grande se requieren arreglos en serie o paralelo, de manera que se pueda acceder a múltiples bandas de RF de manera dinámica.

Sección de RF: La sección de RF esencialmente consiste en componentes o módulos de hardware analógico. Es la parte encargada de trasladar las señales de *radio frecuencia* hacia o desde la antena, en el caso heterodino mediante un acoplamiento RF-IF.

Amplificador de potencia: Elemento activo previo a la antena que proporciona la energía requerida para ser radiada a las distancias pretendidas. Se pueden

considerar varias clases de amplificadores de potencia, entre ellos los de banda ancha, que cubren continuamente o en fragmentos, el ancho de banda utilizado.

Amplificadores de Bajo Ruido: Componente importante en la recepción que se coloca próximo a la antena de radio, necesario en aplicaciones que demanden una alta relación señal/ruido por tratar amplificar señales muy débiles. El ancho de banda de los amplificadores de bajo ruido es usualmente grande.

Convertidores Análogos/Digitales ADC/DAC: Esta parte en gran medida es responsables del desempeño general del sistema de comunicación, se encarga de proveer la interfaz de conversión de dominios analógico/digital, y está sujetos a múltiples limitantes tecnológicas. Por conveniencia en la mayoría de los casos la conversión se lleva a cabo en la etapa de IF.

Entre las características mas importantes que se requieren en los convertidores de datos están:

- Una tasa muy alta de muestreo que permita banda ancha.
- Alto número de bits de cuantificación que brinde amplitud dinámica.
- Operación hasta el orden de GHz, con rango variable de frecuencias.
- Un amplio rango dinámico libre de espurios que permitirá la recuperación de pequeñas señales en presencia de altas interferencias.
- Bajo consumo de energía.

Es necesaria la eficiente conversión *analógica a digital* y *digital a analógica*. Dependiendo de la arquitectura, el ADC es el encargado del muestreo y del proceso de digitalización en las etapas de RF e IF, como lo indica el teorema de Nyquist, la digitalización directa consiste en muestrear la entrada análoga de RF al menos dos veces más rápido que la componente de frecuencia más alta.

4.1.2 Procesamiento digital en banda base

Aunque el orden de frecuencias que caracterizan el procesamiento en banda base es mucho más bajo comparados con RF, aún se requiere una importante capacidad de cómputo, procesos que con solvencia podrían ser implementados en un FPGA. Sólo en este dispositivo se pueden implementar operaciones como el establecimiento de la conexión, protocolo de enlace de datos, encriptado, codificación de canal, mapeo (Baylis, 2002).

Una de las funciones fundamentales en este procesamiento referente al presente trabajo, es la modulación digital en banda base, debido a que los sistemas básicamente enfrentan limitantes en cuanto a potencia disponible, ancho de banda o nivel de ruido inherente (parámetros que junto con el costo están inter-relacionados). Entre las ventajas de modular digitalmente se encuentra el ofrecimiento de una mejor capacidad en transferencia, mayor seguridad, calidad, compatibilidad en protocolos, e incrementos en velocidades de transferencia de información. La eficiencia espectral referida al ancho de banda implica usar distintos esquemas de modulación al incorporar más información en una porción equivalente de espectro.

Para esto, un método empleado es la separación de bits en el dispositivo modulador/demodulador de la señal, donde la información a transmitir está en un conjunto de componentes independientes, que son I (en-fase) y Q (en-cuadratura). A estos componentes los distinguirá la independencia y ortogonalidad al no interferir entre sí, de esta manera la señal bi-dimensional puede expresarse en términos de magnitud, y la fase en forma polar o cartesiana por ejemplo, y es descrita en cualquier instante de tiempo por las dos cantidades, que se llaman *parte real* y *parte imaginaria*. Aplicaciones como ésta se denominada *Procesamiento en Cuadratura* y las ventajas ofrecidas se describen en Lyons (2008), así como la matemática compleja de sistemas de comunicaciones se presenta eficazmente en Haykin (1994). En lo subsiguiente presentaremos algunos tipos especiales de alternativas para modular información digitalmente usadas en éste trabajo.

La forma más simple de modulación digital en fase, es la binaria o Bi-Phase Shift Keying (BPSK), muy empleada para telemetría espacial por su alto nivel de confiabilidad y buen desempeño en ambientes adversos, debido a su implícita

inmunidad al ruido y baja tasa de errores, donde, la fase de la señal de amplitud constante cambia entre 0° y 180 grados. Otro esquema de modulación muy utilizado en comunicaciones inalámbricas es el de modulación de fase en cuadratura (QPSK), donde se envía un par de bits por símbolo y la señal se desplaza entre los cuatro estados ($2^2 = 4$) de fase que están separados por 90 grados. Esto incrementa la velocidad de datos por un factor de dos, por lo que es más eficiente (el doble) espectralmente comparado con BPSK.

Cuando se incorpora información de amplitud al parámetro de fase, el resultado de las componentes es la suma resultante dando lugar a la señal M-QAM, donde $M=2^n$ (bits).

En la Figura 12 se ilustran las distintas representaciones en un diagrama llamado *constelación*, para los esquemas de modulación modelados en este trabajo.

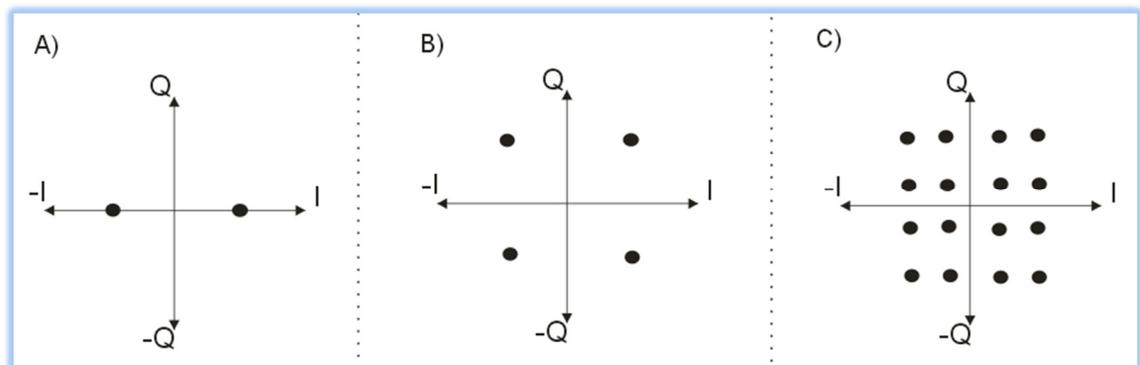


Figura 12. Constelación para A) BPSK, B) QPSK, C) 16-QAM

Cada punto de la constelación (o símbolo), representa un conjunto de 'M' bits de información que es decodificada en base a su posición en la constelación y mientras mas bits de información por símbolo se envía, mayor es la velocidad de datos para un ancho de banda determinado. Si la constelación se congestiona, el sistema es más vulnerable a la interferencia entre símbolos (ISI). Si bien QPSK no es tan eficiente como los esquemas de mayor orden, sus estados están más separados, por lo que el sistema puede tolerar mucho más ruido antes de sufrir errores de símbolo. Si bien QPSK requiere menos potencia de transmisión que M-QAM para lograr una misma tasa de error de bits, es menos eficiente espectralmente que por ejemplo 16-QAM en adelante.

Eficiencia espectral

Si se contara con filtros ideales (rectangulares en el dominio de la frecuencia), entonces el ancho de banda ocupado podría ser igual a la velocidad de símbolo, aunque existen técnicas para maximizar la eficiencia espectral, algunas de ellas son:

- Relacionar la velocidad de datos con el desplazamiento de frecuencia como en GSM (Creaney & Kostarnov, 2008).
- Utilizar filtrado antes de la modulación para reducir el ancho de banda ocupado (coseno elevado).
- Restringir algunas transiciones ($\pi/4$ -QPSK, MSK, GMSK).

Tabla 4. Tipos de modulación digital, límites teóricos de eficiencia de ancho de banda.

Tipo de Modulación	Eficiencia teórica en ancho de banda
BPSK	1 bit/segundo/Hz
QPSK	2 bit/segundo/Hz
16-QAM	4 bit/segundo/Hz

4.1.3 Etapa IF digital

La etapa de Frecuencia Intermedia (IF) es el segmento que representa el mayor desafío para la adaptación de SDR en *hardware*, ya que las operaciones realizadas dentro del dispositivo constituyen la mera manipulación matemática de la información en el dominio digital, la cual proveerá de flexibilidad en el filtrado, amplificación, y mezclado, además de ofrecer capacidad de síntesis de frecuencias de banda ancha. A grandes rasgos, esta etapa consiste en los bloques DDC y DUC (Figura 14) que efectúan la conversión de bajada en el trayecto de recepción, y la conversión de subida en el trayecto de transmisión, respectivamente. Estos bloques realizan operaciones de *modem* (modulación en el transmisor y demodulación en el receptor), filtrado digital y conversión de tasa de muestreo requerido para la interfaz al DAC o ADC, que convierte la onda modulada a una onda de radio analógica y viceversa.

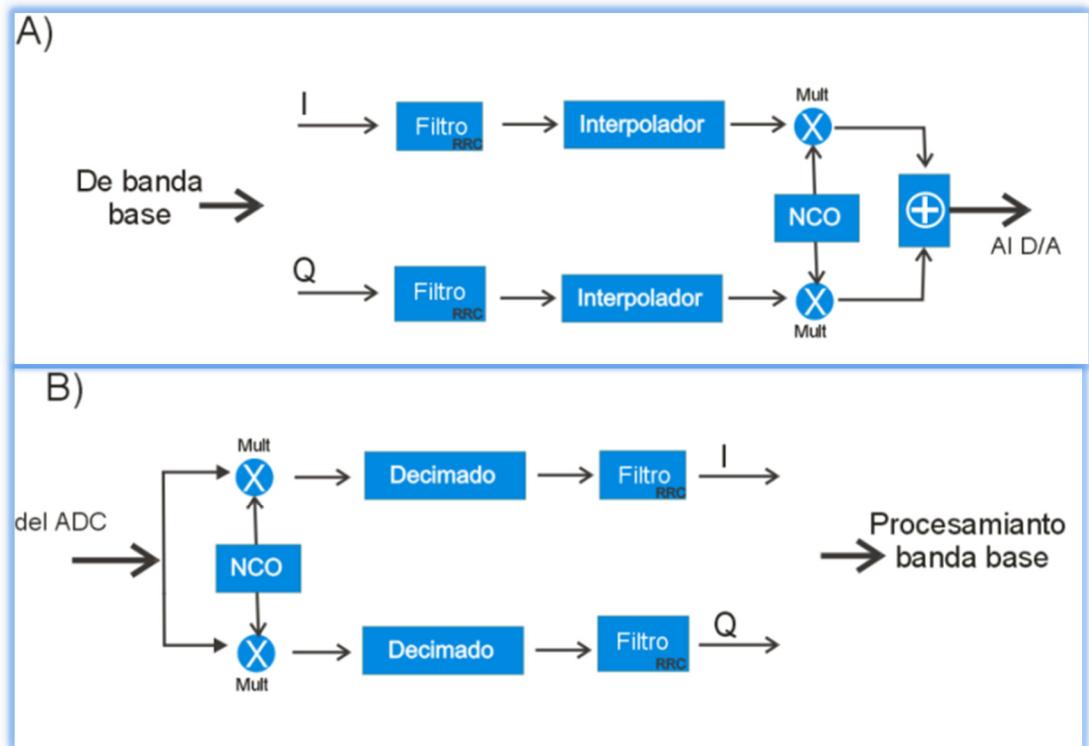


Figura 14. Muestra los diagramas del convertidor digital de subida DUC (A), y el convertidor digital de bajada DDC (B) con sus respectivos bloques, NCO, filtro y de transformación de tasa.

Básicamente ésta función consiste en un *oscilador local* que realiza la síntesis de frecuencias generando la referencia de frecuencia (portadora) como una entrada al mezclador para hacer la conversión de la señal. Este provee la flexibilidad al sintetizar varias portadoras con una resolución espectral alta. El segundo elemento importante lo constituyen los filtros, sistemas con una función de transferencia selectiva en frecuencia, aunque basada en aproximación de modelos matemáticos, donde la realización física está limitada por las características de los dispositivos empleados para realizarlos. Por último, y no menos importante, están los convertidores de tasa de muestreo (de subida y bajada) importantes porque no basta con efectuar la operación de multiplicación por la portadora sino que además se tiene que realizar a la tasa de muestreo correcta. Para esto es necesario el aumento o disminución de la frecuencia de muestreo del flujo de datos, según sea el caso, a lo que se le llama *procesado de tasa variable*, para subir y bajar la tasa de bits respectivamente.

4.2 Arquitecturas de mezclado en modem digital

Un método de procesamiento clásico en transceptores analógicos es el heterodino también llamado súper-heterodino o de frecuencia intermedia (Crols & Steyaert, 1997), donde la función del mezclado en electrónica digital es la misma, y es trasladar una señal con una frecuencia central dada, a otra frecuencia deseada. En el caso del receptor (DDC) se lleva a una frecuencia intermedia (IF), para facilitar las demandas de procesamiento como la de los filtros, convertidores analógico-digital, y en el caso del transmisor (DUC) subirla ya modulada para ser trasladada a RF analógica, y posteriormente radiada por el medio que corresponda. Ésta operación se realiza básicamente a través de la multiplicación (mezclado) con una señal sinusoidal generada en el Oscilador Local (OL).

La matemática utilizada en el traslado de portadoras y señales pasa banda a frecuencias mayores (modulación), y frecuencias menores (demodulación) se fundamenta en la teoría de Fourier resumida en la Tabla 5, donde muestra los teoremas relevantes al análisis de este documento, mientras que la Tabla 6 muestra los pares de transformadas relevantes a la modulación y demodulación.

Tabla 5. Teoremas de Fourier aplicados en este trabajo.

Teorema	Tiempo \rightleftharpoons Frecuencia
Corrimiento en tiempo	$x(t - t_0) \rightleftharpoons X(f)e^{-j2\pi \cdot f \cdot t_0}$
Corrimiento en frecuencia	$x(t) \cdot e^{j2\pi f_0 t} \rightleftharpoons X(f - f_0)$
Convolución en el dominio temporal (Multiplicación en la frecuencia)	$x(t) \otimes y(t) \rightleftharpoons X(f) \cdot Y(f)$
Multiplicación en el dominio temporal (Convolución en la frecuencia)	$x(t) \cdot y(t) \rightleftharpoons X(f) \otimes Y(f)$

Tabla 6. Pares de Fourier para modulación y demodulación

Tiempo \Leftrightarrow Frecuencia	Espectro
$e^{+j2\pi \cdot f_o \cdot t} \Leftrightarrow \delta(f - f_o)$	
$e^{-j2\pi \cdot f_o \cdot t} \Leftrightarrow \delta(f + f_o)$	
$\cos(2\pi f_o t) \Leftrightarrow \frac{1}{2}\{\delta(f + f_o) + \delta(f - f_o)\}$	
$\text{sen}(2\pi f_o t) \Leftrightarrow \frac{1}{2}\{\delta(f + f_o) + \delta(f - f_o)\}$	

Según la arquitectura del mezclado existen básicamente 4 tipos de conversiones posibles, como consecuencia a los 2 tipos de señales (reales y complejas), y los 2 tipos de osciladores locales (sinusoidal real o exponencial complejo), con los que se realiza la operación de multiplicación, que se explican a continuación.

4.2.1 Mezclado de señal real, con senoide real

Si tenemos una señal a trasladar $x(nT_{ck})$, y como oscilador local la señal:

$$y(nT_{ck}) = \cos(2\pi f_o nT_{ck}) \quad (8)$$

El resultado de la mezcla de estas 2 señales es:

$$w(nT_{ck}) = x(nT_{ck})y(nT_{ck}) = x(nT_{ck}) \cos(2\pi f_o nT_{ck}) \quad (9)$$

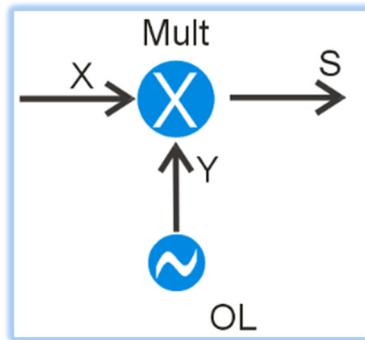


Figura 15. El diagrama de mezclador (simple multiplicador).

Las frecuencias negativas son trasladadas a la derecha, debido a la convolución con el impulso delta de Dirac de frecuencia positiva, donde una señal imagen se superpone a la señal deseada. Para que esto no suceda es necesario eliminar la señal imagen antes del traslado a frecuencia intermedia, esto lo garantiza el filtro de pasa-banda que está entre la antena y el mezclador.

El problema de las *imágenes espectrales* en el receptor heterodino se presenta debido a que la señal de la antena que se multiplica por un coseno en el dominio de la frecuencia comprende dos impulsos delta, uno con frecuencia positiva y el otro con frecuencia negativa. El espectro resultante es pues una convolución de la señal con estos impulsos, dejando la señal de imagen superpuesta a la señal deseada, como lo muestra la Figura 16.

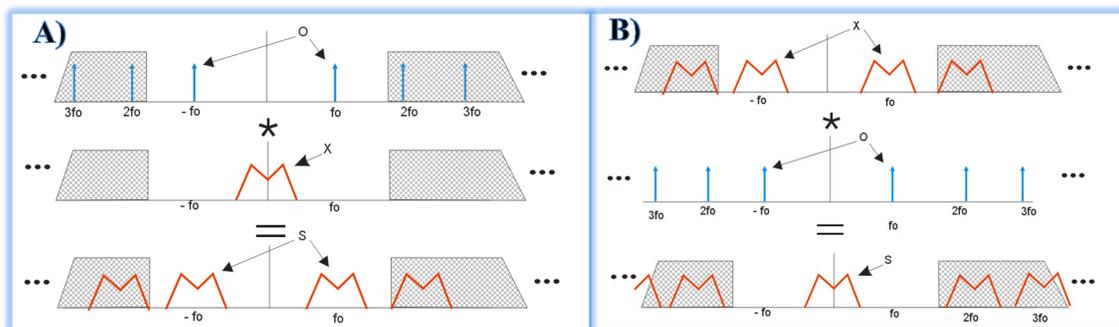


Figura 16. Análisis espectral del mezclador simple, lo que matemáticamente se expresó en el dominio temporal. A) modulación; B) demodulación.

4.2.2 Mezclado de señal compleja, con senoide real

Si se cuenta con una señal de entrada compleja

$$x(nT_{ck}) = I_1[nT_{ck}] + j Q_1[nT_{ck}] \quad (10)$$

mezclada con un oscilador local real

$$O(nT_{ck}) = \text{Cos}(\omega_m nT_{ck}) \quad (11)$$

el resultado matemáticamente se formula como:

$$y(nT_{ck}) = x(nT_{ck}) \cdot O(nT_{ck}) \quad (12)$$

$$= [I_1[nT_{ck}] + j Q_1[nT_{ck}]] \text{Cos}(\omega_m nT_{ck}) \quad (13)$$

$$= [I_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) + j [Q_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck})]] \quad (14)$$

$$y(nT_{ck}) = I_2[nT_{ck}] + j Q_2[nT_{ck}] \quad (15)$$

Donde

$$I_2[nT_{ck}] = I_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) \quad (16)$$

$$Q_2[nT_{ck}] = Q_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) \quad (17)$$

La implementación de esta mezcla (ecuación 16), se hace usando un par de multiplicadores.

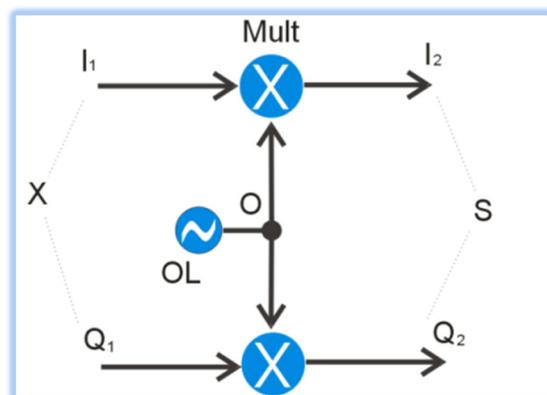


Figura 17. Implementación del mezclador, señal compleja con senoide real.

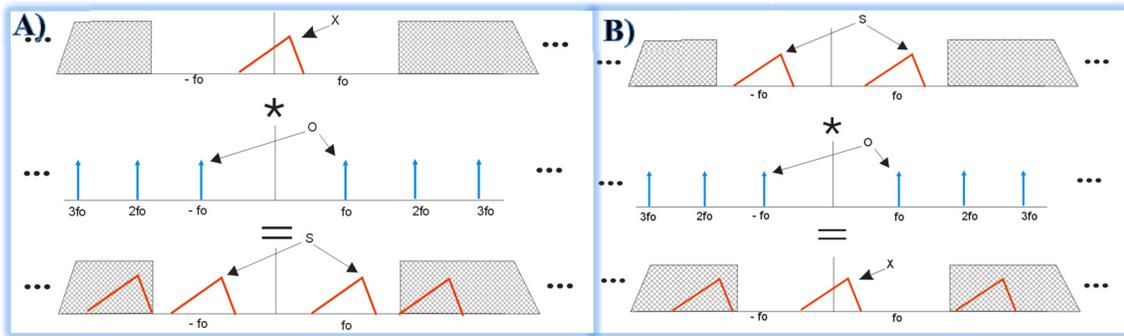


Figura 18. Espectro resultante del mezclador, señal compleja con senoide real. A) modulación; B) demodulación.

4.2.3 Mezclado de señal real, con senoide compleja

La multiplicación de una señal por el complejo exponencial $e^{\pm j\omega_0 nT_{ck}}$, es lo que se le conoce como *mezclado en cuadratura* (también llamado mezclado complejo), que traslada en frecuencia el espectro de la señal en f_0 Hz, como se muestra en la Figura 19. La diferencia en signos de los componentes espectrales, y las condiciones de los términos sumados o restados del seno o coseno, determina si la señal es modulada o demodulada.

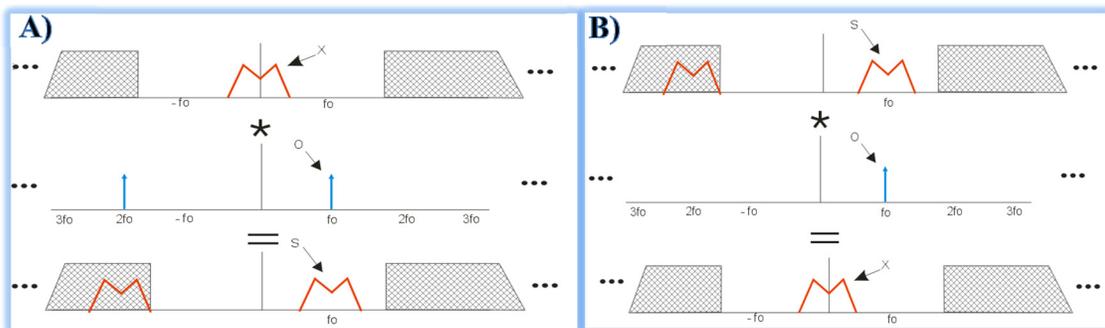


Figura 19. Espectro resultante del mezclador, señal real con senoide compleja. A) modulación; B) demodulación.

A diferencia de la arquitectura del oscilador local real puro, el espectro de la señal de este oscilador local consiste en un solo pulso 'delta' (sea a frecuencia positiva o negativa), por lo que el problema de traslape de imagen anterior (Figura 18) no se produciría como puede verse en la Figura 19. Matemáticamente, la señal del oscilador local $O(nT_{ck})$ está descrita por la fórmula de Euler.

$$e^{\pm j\omega_o nT_{ck}} = \text{Cos}(\omega_o nT_{ck}) \pm j \text{Sen}(\omega_o nT_{ck}) \quad (18)$$

$$\text{Cos}(\omega_o nT_{ck}) = \frac{1}{2} \{ e^{-j\omega_o nT_{ck}} + e^{+j\omega_o nT_{ck}} \} \quad (19)$$

$$\text{Sen}(\omega_o nT_{ck}) = \frac{j}{2} \{ e^{-j\omega_o nT_{ck}} - e^{+j\omega_o nT_{ck}} \} \quad (20)$$

Como esta es una señal compleja, el término resultante de frecuencia intermedia será asimismo un término complejo.

$$y(nT_{ck}) = x(nT_{ck}) \cdot e^{j\omega_o nT_{ck}} \quad (21)$$

$$= x(nT_{ck}) \cdot [\text{Cos}(\omega_m nT_{ck}) + j\text{Sen}(\omega_m nT_{ck})] \quad (22)$$

$$y(nT_{ck}) = x(nT_{ck}) \cdot \text{Cos}(\omega_m nT_{ck}) + j[x(nT_{ck}) \cdot \text{Sen}(\omega_m nT_{ck})] \quad (23)$$

Por lo tanto, si

$$I(nT_{ck}) = x(nT_{ck}) \cdot \text{Cos}(\omega_m nT_{ck}) \quad (24)$$

$$Q(nT_{ck}) = x(nT_{ck}) \cdot \text{Sen}(\omega_m nT_{ck}) \quad (25)$$

Resulta en una señal compleja con sus respectivos componentes en cuadratura

$$y(nT_{ck}) = I(nT_{ck}) + jQ(nT_{ck}) \quad (26)$$

Así mismo la demodulación de una señal real matemáticamente se representa como:

$$y[nT_{ck}] = x[nT_{ck}] \cdot e^{-j\omega_o nT_{ck}} \quad (27)$$

$$= x(nT_{ck}) \cdot [\text{Cos}(\omega_m nT_{ck}) - j\text{Sen}(\omega_m nT_{ck})] \quad (28)$$

$$y[nT_{ck}] = x(nT_{ck}) \cdot \text{Cos}(\omega_m nT_{ck}) - j[x(nT_{ck}) \cdot \text{Sen}(\omega_m nT_{ck})] \quad (29)$$

Resultando en una señal compleja con sus respectivos componentes en cuadratura

$$y[nT_{ck}] = I[nT_{ck}] + j Q[nT_{ck}] \quad (30)$$

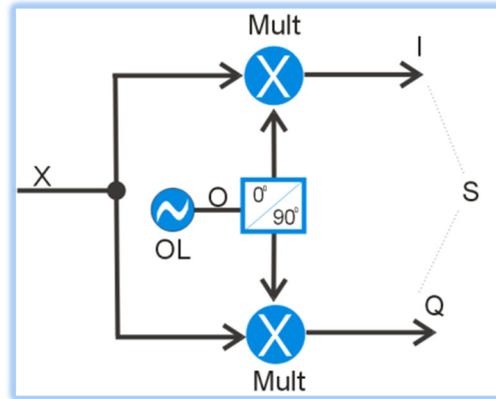


Figura 20. Implementación del mezclador, señal real con senoide compleja.

Este método requiere un oscilador local que genere 2 señales ortogonales (seno y coseno), así como dos multiplicadores para la operación de mezcla.

La premisa es que las señales en fase y cuadratura del oscilador local aplicado a la mezcla deberán tener la misma amplitud y estar desfasadas exactamente 90 grados.

4.2.4 Mezclado de señal compleja, con exponencial compleja

Este último caso tenemos el producto de dos señales complejas, por una parte la señal de entrada:

$$x(nT_{ck}) = I_1[nT_{ck}] + j Q_1[nT_{ck}] \quad (31)$$

y el oscilador local:

$$O(nT_{ck}) = \text{Cos}(\omega_m nT_{ck}) + j \text{Sen}(\omega_m nT_{ck}) \quad (32)$$

Resulta en la señal:

$$y(nT_{ck}) = x(nT_{ck}) \cdot O(nT_{ck}) \quad (33)$$

$$= [I_1[nT_{ck}] + j Q_1[nT_{ck}]] \cdot [\text{Cos}(\omega_m nT_{ck}) + j \text{Sen}(\omega_m nT_{ck})] \quad (34)$$

$$= [I_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) - Q_1[nT_{ck}] \cdot \text{Sen}(\omega_m nT_{ck})] + j [I_1[nT_{ck}] \cdot \text{Sen}(\omega_m nT_{ck}) + Q_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck})] \quad (35)$$

$$y(nT_{ck}) = I_2[nT_{ck}] + j Q_2[nT_{ck}] \quad (36)$$

Donde

$$I_2[nT_{ck}] = I_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) - Q_1[nT_{ck}] \cdot \text{Sen}(\omega_m nT_{ck}) \quad (37)$$

$$Q_2[nT_{ck}] = I_1[nT_{ck}] \cdot \text{Sen}(\omega_m nT_{ck}) + Q_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) \quad (38)$$

A esta estructura se denomina el *mezclador complejo* completo o de *doble cuadratura*.

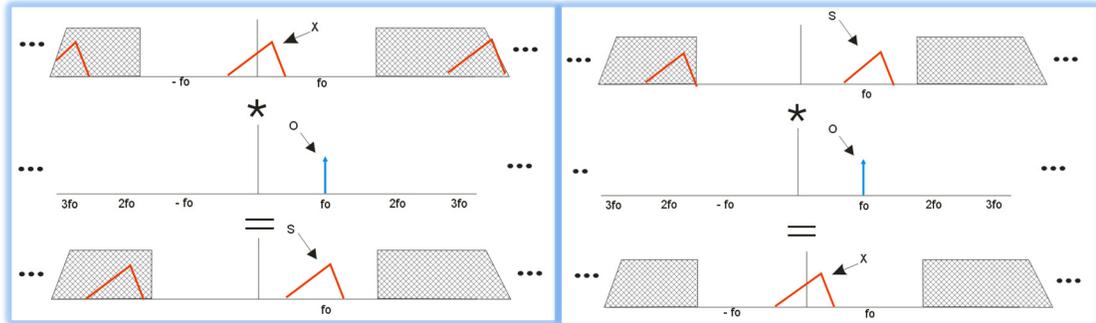


Figura 21. Espectro resultante del mezclador, señal compleja con sinusoida compleja. A) modulación; B) demodulación.

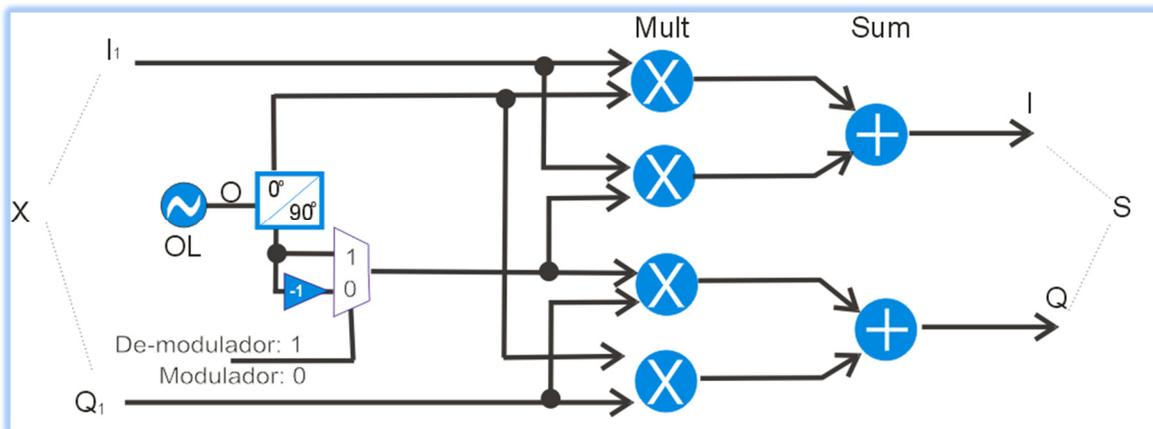


Figura 22. Implementación de topología descrita por el modulador/demodulador digital en cuadratura de una señal compleja.

$$S_I(nT) = X_I(nT)\cos(2\pi f_0 nT) \mp X_Q(nT)\text{sen}(2\pi f_0 nT) \quad (39)$$

$$S_Q(nT) = \pm X_I(nT)\text{sen}(2\pi f_0 nT) + X_Q(nT)\cos(2\pi f_0 nT) \quad (40)$$

Para implementar este mezclador de una señal compleja por otra también compleja se requieren cuatro multiplicadores y dos sumadores, uno de los cuales funciona como restador tal como se muestra en la Figura 22. La modulación de una señal compleja que se envía a un DAC puede requerir solamente conservar el componente de fase de la señal, así el valor complejo de la señal de salida $y[nT_{ck}]$ solo transfiere el término real resultante de la ecuación 40.

$$z[nT_{ck}] = \text{Re}\{y[nT_{ck}] e^{-j\omega_o nT_{ck}}\} \quad (41)$$

$$= \text{Re}\{[I_1[nT_{ck}] + j Q_1[nT_{ck}]] \cdot [\text{Cos}(\omega_c nT_{ck}) + j \text{Sen}(\omega_c nT_{ck})]\} \quad (42)$$

$$= \text{Re}\{I_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) - Q_1[nT_{ck}] \cdot \text{Sen}(\omega_m nT_{ck})\} + \\ j\{I_1[nT_{ck}] \cdot \text{Sen}(\omega_m nT_{ck}) + Q_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck})\} \quad (43)$$

$$z[nT_{ck}] = I_1[nT_{ck}] \cdot \text{Cos}(\omega_m nT_{ck}) - Q_1[nT_{ck}] \cdot \text{Sen}(\omega_m nT_{ck}) \quad (44)$$

4.3 Algoritmos fundamentales

A continuación se detalla la descripción y funcionamiento de los algoritmos necesarios para la implementación en hardware de los componentes básicos de un sistema de radio digital. Este trabajo se enfoca en el segmento de IF digital, parte clave en el radio donde se efectúa el traslado de frecuencia necesario, y donde la información de una señal es digitalmente modulada.

Es trascendental la ejecución robusta de los elementos constituyentes mostrados en la Figura 23, estos son, oscilador digital controlado numéricamente, Mezclador (multiplicador), filtro pasa baja, y por último, aumento y reducción de la tasa de muestreo por decimado e interpolación. Como la finalidad es llevarlo a un FPGA, el algoritmo está sujeto a las características, capacidades y estructura en general del dispositivo, esto aunque obvio, marca drásticamente la diferencia entre la realización exitosa o no del sistema en la práctica. Su implementación está basada en algoritmos de procesamiento de señales implementados tradicionalmente en lenguaje de programación 'C', el cual puede ser usado directamente en el procesador DSP, consiguiendo con esto, tiempos cortos en la ejecución completa. Sin embargo, para ser implementado en un FPGA, el código en 'C' debe ser convertido a lenguaje máquina (HDL), y aunque existen herramientas para su traducción o mapeo, la realidad demuestra que éste es un camino complicado y no recomendable.

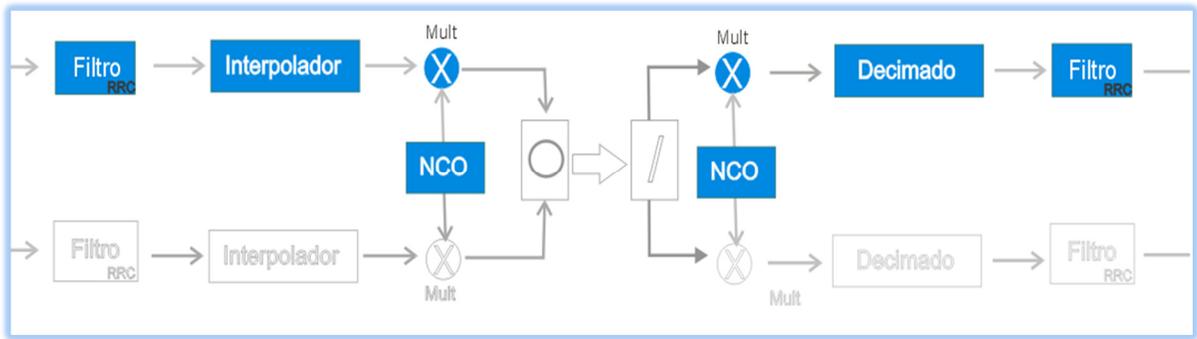


Figura 23. Componentes algorítmicos básicos de la etapa IF.

4.3.1 El Oscilador o Sintetizador de Frecuencia

Una forma eficaz para la aplicación de los osciladores digitales es el método de acumulación de fase, llamado también oscilador controlado numéricamente (NCO), haciendo la comparación con el oscilador controlado por voltaje analógico (VCO). Este es utilizado para crear una representación de una forma de onda sinusoidal de tiempo discreto (muestreada) y también discreta en valores (cuantificada) (Altera, 2010). La sinusoidal generada por un NCO puede permanecer en el dominio digital, donde puede ser usada como entrada a otro componente de procesamiento de señales, para una operación de mezclado (nuestro interés), o esta señal bien puede presentarse a un DAC seguido de un filtro analógico para proveer una señal sinusoidal analógica de frecuencia y fase sintonizable. En la referencia (Analog Devices, 1999) se encuentra un excelente compendio sobre sintetizado directo de señales, donde se indaga la teoría y operación de un NCO. Aunque la lógica del NCO es simple, en él se centran puntos fundamentales del diseño del radio.

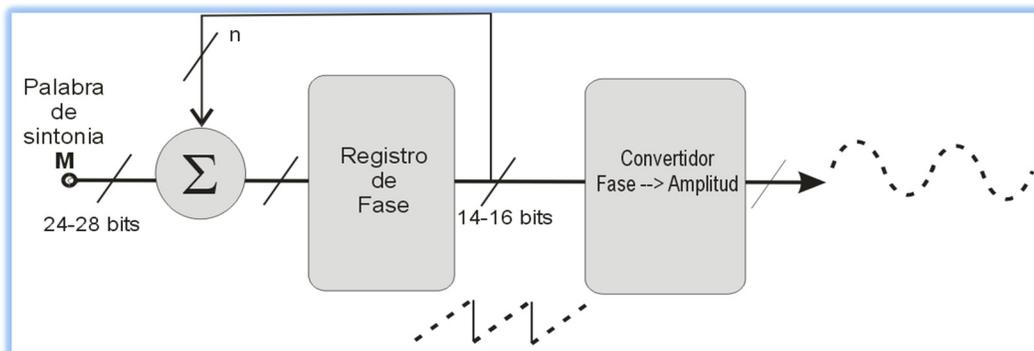


Figura 24. Esquema básico de un NCO. Modificado de Analog Devices (1999, p.8).

La teoría de operación en breve, consiste en que cada pulso de reloj el acumulador de fase presenta en su salida la suma de la palabra de sintonía de entrada y el valor de salida anterior. Este resultado representa un ángulo de fase que debe ser convertido a una senoide muestreada en valores contenidos en una simple tabla en memoria, la cual es direccionada directamente por el acumulador de fase. Para mantener las dimensiones de la tabla en medidas *razonables* sin sacrificar en mucho la resolución en frecuencia, se debe truncar la salida del acumulador de fase, usando solo los MSB con un costo en la degradación del SFDR. Entre más grande sea el registro del acumulador de la fase, la resolución de la sinusoidal será mayor, pero el tamaño de la tabla se incrementará exponencialmente, por lo que a ciertos requerimientos de SNR y según la Tabla 7, se pueden disparar los recursos a dimensiones no manejables por un FPGA. Debido al número finito de bits del registro del acumulador una vez llegado el contador al límite máximo de desbordamiento se inicializa nuevamente en cero y continúa así contando en carrera libre, por tanto, la salida tiene una forma de *diente de sierra*. En tanto se incremente el valor de la palabra de sintonía, el salto en fase en el círculo unitario será más grande, por lo tanto completará el ciclo de la sinusoidal, lo que determinará la frecuencia de la señal de salida.

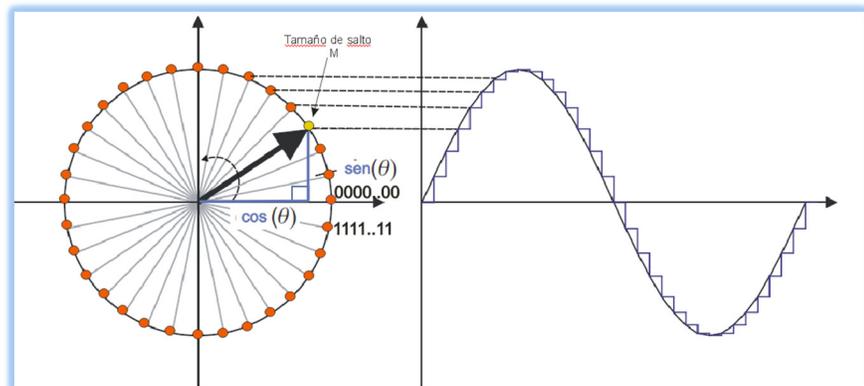


Figura 25. Representación en el círculo fasorial de la senoide digital. Modificado de Analog Devices (1999, p.8).

Tabla 7. Dimensiones del registro de acumulador de fase y su correspondiente resolución en frecuencia.

Longitud del Registro de Fase	Palabra Máxima de sintonía M (resolución)
8	256
12	4096
16	65535
20	1048576
24	16777216
28	268435456
32	4294967296
48	28174976710656

Existen varios métodos para calcular la onda sinusoidal, cada uno de ellos con sus compromisos en cuanto a recursos del hardware y desempeño en la calidad de la señal. Cuando no hay recursos cuantiosos disponibles en memoria, la simple simetría de la onda permite reducir el tamaño de la tabla por un factor de cuatro, utilizando los datos del primer cuadrante para los demás. Inclusive cuando nuestros recursos de memoria son muy limitados (como es el caso en nuestra solución) es posible la eliminación completa de la tabla en memoria, implementando algoritmos que generen el seno y coseno rápidamente. Si bien suena complicado, esto es factible con un algoritmo conocido como CORDIC (COordinate Rotation Digital Computer por sus siglas en Inglés), que básicamente es un método de cálculo para una función matemática (en nuestro caso seno o coseno) utilizando operaciones básicas en ciclo conocido como búsqueda binaria. Andraka (1998) propuso un algoritmo *suma-corrimiento*, basado en un algoritmo de rotación que implementa esta solución en hardware de manera optimizada, los otros métodos pueden consultarse en las referencias Frerking (1993) y Goldberg (1996).

Tabla 8. Resumen comparativo de los distintos algoritmos de implementación para el cálculo del valor de la senoide.

Comparación de Arquitecturas	
ROM extendida	Buena para alta velocidad y cuando se dispone de memoria, ofrece la mayor pureza espectral y utiliza el menor número de elementos lógicos.
ROM reducida	Buena para alta velocidad de salida, reduce la cantidad de memoria con cierto nivel aceptable de SFDR.
CORDIC	Solución de alto desempeño, cuando la memoria es crítica. Utiliza menos recursos, pero se reduce el ancho de banda.
Multiplicativo	Reduce el uso en memoria implementando multiplicadores con elementos lógicos o circuitería (DSP).

Utilizar un acumulador de fase ofrece ventajas sobre otros métodos: la frecuencia sintetizada no necesita tener una relación entera con el reloj de muestreo, lo que permite establecer al oscilador local a una frecuencia arbitraria sin cambiar la tasa de muestreo. Cambiando dinámicamente el valor del incremento se puede modular fácilmente la fase o la frecuencia de la señal generada.

Parámetros de diseño para un NCO

Para el diseño del oscilador digital local, los siguientes parámetros son los determinantes:

- Frecuencia de reloj del NCO (por ejemplo el reloj maestro del FPGA) f_{clk}
- La frecuencia de salida f_{sal}
- La resolución de la frecuencia de sintonización (o error aceptable frec.) Δf
- La precisión del corrimiento de fase

La frecuencia de salida de un NCO está determinada por la palabra sintonizadora (FTW) la cual es el incremento requerido para generar la forma de onda deseada y ésta es la relación:

$$FTW = \text{round} \left(\frac{f_{sal} * 2^{B_{acc}}}{f_{clk}} \right) \quad (45)$$

Donde f_{sal} es la frecuencia de salida deseada, f_{clk} es la frecuencia de reloj del NCO, B_{acc} es el ancho del registro del acumulador de fase, y la función $\text{round}(\cdot)$ redondea al entero próximo. Así la frecuencia de salida del NCO está definida por:

$$f_{nco} = \frac{f_{clk} * FTW}{2^{B_{acc}}} \quad (46)$$

La resolución en frecuencia por cada cambio en FTW es:

$$\Delta f = \frac{f_{clk}}{2^{B_{acc}}} \quad (47)$$

y el error absoluto de frecuencia de salida es:

$$f_{err} = |f_{nco} - f_{sat}| \quad (48)$$

En cuanto a los tamaños de los registros se tienen tres dimensiones a considerar en un diseño de NCO, estos son, 1) El acumulador de fase, 2) Precisión angular y 3) La precisión en magnitud. El tamaño del registro de la salida generalmente está definido por la aplicación. En el caso de estar manejando un convertidor con 14 bits, requerirá que el NCO tenga 14 bits de resolución en magnitud.

Pureza espectral

La naturaleza discreta del NCO implica una representación imperfecta de la sinusoidal, sin embargo estas imperfecciones aunque están bien definidas afectan directamente el desempeño en cuanto a ruido del convertidor, que se traduce en una reducción del SNR y degradación en el SFDR. El SNR de una sinusoidal digitalmente sintetizada, es la razón de la potencia relativa de la señal al inevitable ruido de cuantificación inherente a la representación discreta en valores, de modo que si se incrementa la precisión de salida, se incrementará el SNR consecuentemente. La ecuación (49) estima el SNR para una sinusoidal dada, con una precisión de salida donde cada bit (b) adicional de precisión de salida da un incremento de 6dB en SNR.

$$b: SNR = 6b - 1.8 \text{ dB} \quad (49)$$

El rango dinámico de señal espuria o SFDR de una sinusoidal digital, es la potencia de la componente espectral primaria (o deseada), en relación a la potencia de su mayor componente armónico en el espectro. Los componentes armónicos se presentan como picos o espurios en la representación espectral de una sinusoidal

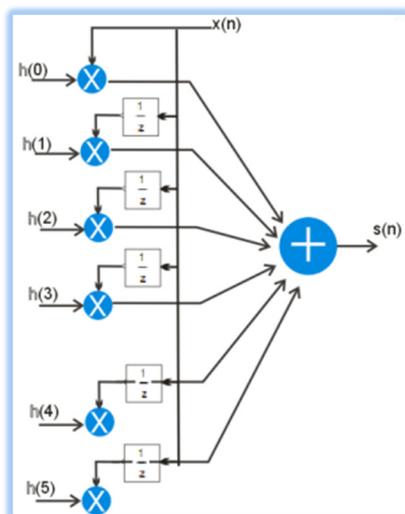
digital y ocurren a intervalos regulares, y también son una consecuencia directa de la precisión digital finita. Sin embargo, los efectos de señales espurias son importantes debido a que pueden generar substancialmente productos de intermodulación o réplicas no deseadas de la mezcla en el espectro, desembocando en una pobre reconstrucción de la señal en el receptor. La técnica empleada para mitigar sus efectos es introducir ruido aleatorio en la fase se denomina *dithering*, en este proceso se remueve parte de la periodicidad en la fase, reduciendo los efectos de señales espurias. Así que al decidir cuál implementación de NCO se quiere implementar en la lógica programada, y al definir los parámetros de diseño, habrá que analizar el compromiso que existe entre éstos y la pureza espectral, desempeño, ancho de banda, y los recursos requeridos en hardware.

4.3.2 Filtrado digital

Los filtros son sistemas con una función de transferencia selectiva en frecuencia, usados para el acondicionamiento de la señal. En este sistema la señal ya está limitada a un rango de frecuencias por las etapas de hardware de radio, aunque la señal mezclada ha de filtrarse para aislar la porción del espectro que contiene la señal de interés. Una de las características importantes de estos filtros digitales es que pueden ser sintonizados a diferentes frecuencias de operación, dependiendo de las necesidades del proceso.

Existen dos clasificaciones principales que permiten estas funciones de filtrado digitales: los filtros de Respuesta Infinita al Impulso (IIR) y los filtros de Respuesta Finita al Impulso (FIR). Estos últimos tienen el atractivo suficiente para ser incorporados en la mayoría de los sistemas digitales por la linealidad de la fase, así como su estabilidad inherente. Sin embargo para una respuesta dada en frecuencia, los filtros FIR tienen más alto orden que los filtros IIR, haciendo los FIR más costosos computacionalmente. La referencia Smith (1999) ofrece una exhaustiva exposición acerca de filtros digitales.

La descripción más concisa de un filtro FIR es la suma ponderada de líneas de retardo, donde cada etapa contiene un coeficiente (valor que sirve de multiplicando en la operación). Existen diferentes arquitecturas empleadas para lograr este filtro, y cada una involucra una combinación de desempeño, ancho de banda, área lógica, utilización de multiplicadores y recursos de memoria.



Un filtro FIR implementa la operación discreta convolucional: $s[n] = \sum_{m=0}^{M-1} h[m]x[n-m]$. Donde $h[m]$ son los M coeficientes del filtro, $x[n]$ es la señal de entrada, y $s[n]$ es la señal filtrada de salida, como lo muestra la Figura 26.

Figura 26. Estructura básica de un filtro FIR.

El diseño de filtros FIR pues, es el proceso de identificar los coeficientes que acoplen la respuesta en frecuencia especificada para el sistema. Estos coeficientes determinan la respuesta del filtro y así se puede cambiar la respuesta en frecuencia de la señal que pase por el filtro, modificando valores o agregando elementos con sus respectivos coeficientes. Usualmente esto se hace auxiliado con herramientas computacionales tales como compiladores de coeficientes o la herramienta de diseño de filtros de Matlab ©, que ofrece un excelente soporte para el diseño de filtros digitales a través del 'Signal Processing Toolbox' (MathWorks, 2012).

4.3.3 Interpolador y Decimador

En la etapa del traslado, ya sea de subida o bajada de frecuencia intermedia, necesariamente se requiere aumentar o disminuir la frecuencia de muestreo del flujo de datos. Este proceso de tasa variable es un componente esencial y aunque la teoría es simple, a menudo no es trivial implementarlo en el diseño. Al trasladar los datos de una tasa f_{s1} , a otra tasa de muestreo f_{s2} , y $f_{s1} > f_{s2}$, al proceso se le llama *interpolación*, en cambio, si $f_{s1} < f_{s2}$ se le llama *decimado*.

Básicamente la función de un interpolador es tomar datos que han sido muestreados a una tasa y trasladarlos a datos con una nueva tasa de muestreo. Sin embargo, los datos deberán ser modificados de tal manera que cuando sean muestreados a la nueva tasa (mayor), la integridad de señal original se conserve.

Matemáticamente la señal es interpolada insertando valores (muestras) nulos entre puntos de datos, en el hardware un incremento en la tasa de muestreo por un factor L se implementa insertando L-1 muestras nulas equidistantes entre dos muestras consecutivas de la secuencia de entrada en el dominio de la frecuencia, obteniendo la transformada de Fourier resultará en una compresión del espectro por un factor de L, y se introducirán imágenes espectrales las cuales se requerirán remover con su apropiado filtro pasa bajas (por ejemplo un FIR pasa-bajas).

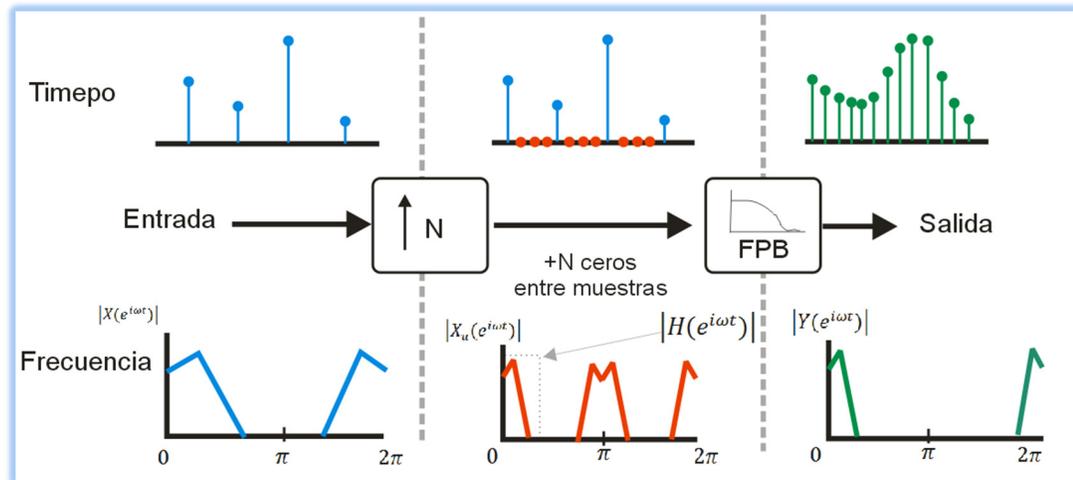


Figura 27. Proceso de interpolación; se muestra el principio y su espectro asociado.

El decimado en cambio, remueve puntos redundantes de datos. Así para disminuir la tasa de muestreo por un factor L , la operación de decimado es requerida y se implementa reservando la L -ésima muestra de la secuencia de entrada y descartando las otras $L-1$ muestras. En el dominio de la frecuencia, esto implica traslape si existen componentes frecuenciales en la secuencia de entrada que sean mayores a la mitad de la frecuencia de muestreo dada. Esto constituye la regla de oro para el decimado: *el ancho de banda de los datos previo al decimado, deberá estar confinado al ancho de banda Nyquist de la tasa menor de muestreo*. Así que para decimar por un factor m , los datos originales deberán estar comprendidos en la banda dada por $\frac{f_s}{2 \cdot m}$, donde f_s es la tasa a la cual fue muestreada la señal original.

Por lo anterior, se aplica un filtro pasa-bajas antes de la operación de decimado, para asegurar que las frecuencias fuera de banda sean atenuadas, este filtro PB tiene las mismas especificaciones requeridas en el interpolado por L .

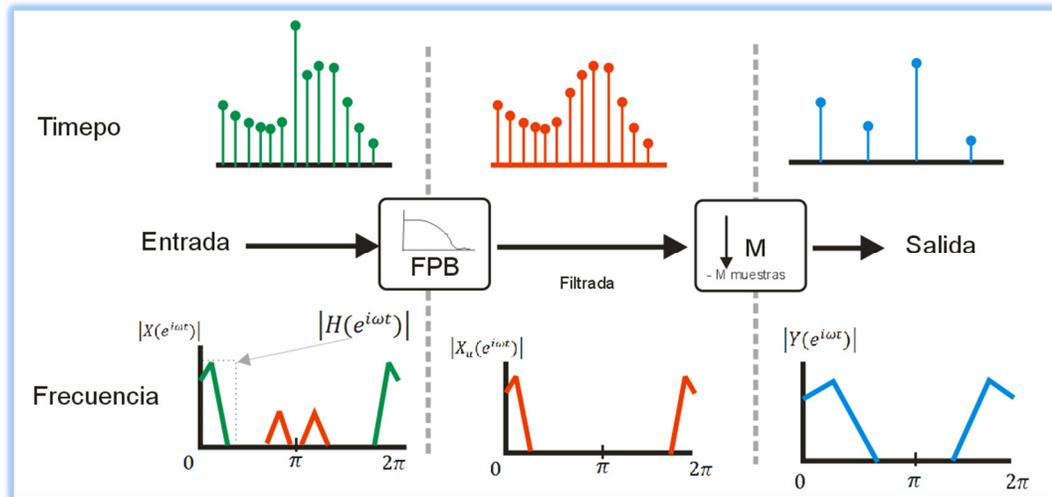


Figura 28. Diagrama del diezmo y su espectro asociado, las componentes punteadas representan los armónico que no pueden ser representados por la frecuencia de muestreo dada, y son atenuados por un filtro PB (pasa-bajas) para prevenir un traslape.

Capítulo 5

Modelado del Sistema de Comunicaciones

Este capítulo comienza mostrando y describiendo los elementos básicos que constituyen el sistema de comunicación, para control, telemetría y tele comando (TTyC) de un satélite pequeño, y se detalla la estrategia que se seguirá en el diseño para la realización del prototipo. Esta sección es importante porque presenta la propuesta con las características de un ambiente de modelado y simulación previo a la implementación última en el dispositivo físico, que provee un modelo de referencia base para el análisis y validación previo a su implementación. En este modelo se indican las funciones y características genéricas del sistema, así como las particulares del canal y esquemas eficientes para ser validadas en un contexto accesible y de fácil estudio donde se realiza la conversión al hardware. Sin embargo, en la práctica la incompatibilidad de inter operación de los lenguajes y herramientas, frena la agilidad en el desarrollo de diseños complejos de comunicaciones. Por tanto resulta todo un reto combinar la fortaleza de cada lenguaje y la aplicación de la herramienta adecuada para las distintas partes del desarrollo del sistema de comunicaciones. Así pues, estas dos etapas son realmente complementarias y se compaginan en el proceso de simulación e implementación final. Por último, en este capítulo se describe el modelo implementado en ambiente de Simulink, donde se analiza su comportamiento así como la propuesta ante la opción de implementación en hardware y la integración con programa de visualización tridimensional STK.

5.1 Esquema genérico

De manera general, este esquema implica el proceso de conversión de datos digitales en Banda Base (BB, Base Band) a una señal en una banda de Frecuencia Intermedia, posteriormente la transferencia por el canal y por último, la recuperación de los datos enviados al receptor. Cada segmento es fundamental para la completa implementación del sistema de comunicaciones, en este caso para un nano satélite, y se explican las características genéricas y funciones de cada etapa.

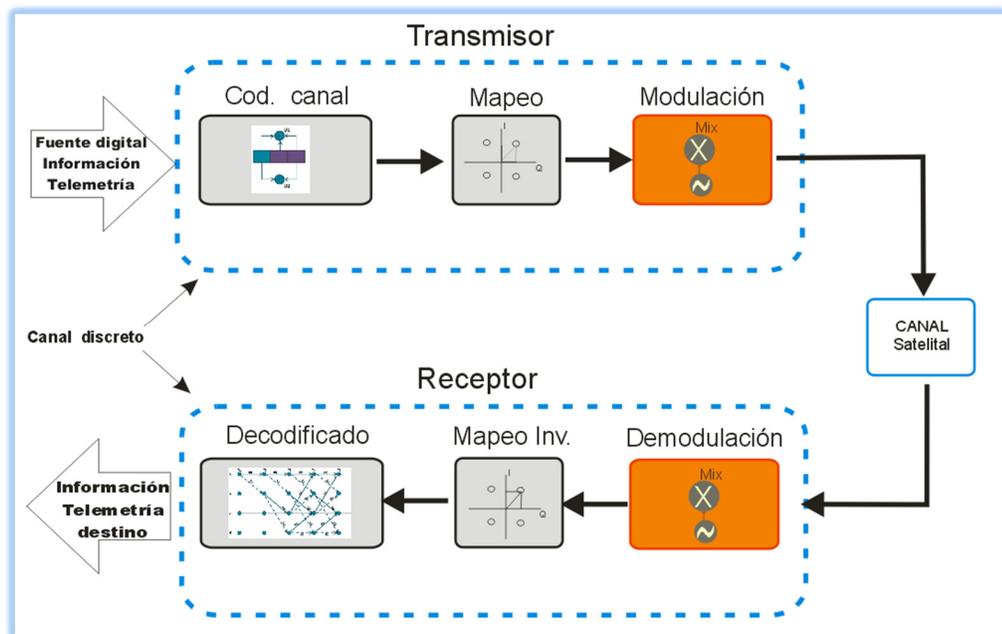


Figura 29. Esquema general de Sistema de Comunicaciones.

5.1.1 Codificación de canal

A la fuente de datos ya dispuesta para ser transmitida se le agrega redundancia de forma inteligente dentro del flujo de información para que en el extremo receptor, un algoritmo identifique los errores y realice las correcciones oportunas mediante el FEC (*Forward Error Correction* por sus siglas en Inglés). Así, es posible proteger la información respecto a la degradación causada por él y por el canal al reconstruir la información contenida en la señal transmitida con cierto grado de tolerancia, incluso si ésta fuera afectada por el ruido, interferencia, o desvanecimiento (errores que produce el canal). Estos códigos de corrección de errores son necesarios para

disminuir la tasa de error de bit (BER, Bit Error Rate). Su eficiencia depende en gran parte en la cantidad de redundancia (información) adicional que se le incorpore, de manera que el precio a pagar en esta técnica es un mayor requerimiento de ancho de banda, y mayor de procesamiento tanto en transmisión como en recepción. Así se tiene la oportunidad de hacer dinámico el algoritmo en cuanto al tamaño de redundancia agregada, y la tendencia en la codificación del canal se orienta hacia la generación de algoritmos adaptativos de corrección de errores, integrados con los procesos de modulación para balancear el efecto de degradación y brindar una mayor eficiencia e integridad de la señal.

5.1.2 Mapeo

El *mapeo* implementa un proceso en el cual se genera una simbología digital eficiente de los datos a transmitir. Su propósito principal es reducir los recursos del sistema, ya sea ancho de banda y/o energía por bit, mediante la posibilidad de aplicar distintos esquemas para la generación de información. Aunque la velocidad de datos en banda base se mide en bits por segundo, el ancho de banda de la señal de los canales de comunicación depende de la velocidad de símbolo (baud), no de la velocidad de bits (Sklar, 2001). En modulaciones pasa-banda es posible asignar varios bits por símbolo para un mayor rendimiento del canal, así se estipula la relación entre la velocidad de bits y velocidad de símbolos según el esquema de modulación, régimen a controlar en esta tesis para definir la velocidad de datos (información) en banda base.

En lo que concierne a los dispositivos donde se implementa esto, se aclara que en nano satélites tanto la codificación de canal como el mapeo pueden ser delegados a otros subsistemas, por ejemplo la computadora a bordo, de tal manera que los datos de mantenimiento y telemetría científica de carga útil puedan estructurarse previos al sistema de comunicaciones. Sin embargo es posible integrar estas etapas de la implementación en sistemas donde se busca hacer eficiente los recursos de hardware.

5.1.3 Adaptadores de frecuencia, modulación pasa-banda

La señal precisa ser modulada en frecuencia intermedia, donde se mezclan digitalmente los datos en cuadratura con una frecuencia portadora sinusoidal pura, y según se requiera subir o bajar en el espectro, se emplea un convertidor digital de subida o convertidor digital de bajada (DUC/DDC) respectivamente. Finalmente en el sistema se involucra una última adaptación de frecuencia que traslada la información contenida en frecuencia intermedia (IF, Intermediate Frequency) hasta la banda de transmisión/recepción. Esto se hace a través de los convertidores elevadores/reductores (Up Converter/ Down Converter) respectivamente. El primer caso es completamente digital es decir, son operaciones numéricas que se realizan en un procesador de señales, el segundo proceso (RF) se implementa analógicamente empleando osciladores encargados de generar una frecuencia que se suma o se resta con la señal de interés. En el satélite se precisa realizar en el circuito del transceptor para las distintas bandas de operación para telemetría en banda ancha y telemetría de banda agosta. En nuestro caso hemos limitado el estudio hasta la etapa de frecuencia intermedia digital, debido a que las características de flexibilidad y adaptabilidad que busca el presente trabajo se establecen en esta etapa.

5.1.4 El canal

Como se mencionó en el capítulo 2.4, en este punto radica la fuente principal de errores, primero porque la señal transmitida se atenúa debido a la pérdida por trayectoria en la distancia entre el transmisor y el receptor. Además, en el enlace vía satélite se pueden incluir condiciones atmosféricas que causan la atenuación adicional de la señal, además de señales foráneas en el mismo que son tratadas como ruido, que podrían interferir con la señal transmitida. En este modelo se analiza la calidad del sistema a través de un canal con ruido AWGN (Aditive White Gaussian Noise por sus siglas en Inglés), mediante el parámetro BER.

5.2 La propuesta de solución

Para la realización del diseño se plantea un proceso de dos fases. La primera parte es donde los algoritmos son desplegados en un ambiente de simulación, para desarrollar el sistema de manera que posteriormente se pueda trasladar al hardware, probar y verificar la implementación física del sistema. Aunque es posible la opción de realizar el proyecto directamente y ejecutarlo en el objetivo final, el propósito de la simulación y modelado proporciona al diseñador un grado de flexibilidad para explorar condiciones de diseño, longitud del formato numérico, método de cuantificación y saturación, periodos de muestreo, niveles de SNR, tipos de modulación, y otros parámetros que pueden especificarse y manipularse para ajustar o depurar según las distintas opciones que puedan abarcar el sistema de comunicación.

Las métricas concluyentes son los recursos de hardware y fidelidad en la implementación, si bien existen otras como los costos, potencia de consumo, y complejidad, que no serán tratadas en este trabajo, pero que sin embargo son determinantes implícitas para una solución competitiva. Este ambiente de modelado y simulación es el puente hacia el diseño final, una vez que sea lograda la operación correcta de los bloques individuales y el funcionamiento del sistema en general sea validado.

Aunque lo anterior ofrece grandes ventajas, existe la dificultad de la integración, mientras que la simulación del sistema es descrita por ecuaciones confinadas a una estación de trabajo de cómputo, el prototipo en cambio es implementado en hardware programando en ensamblador o lenguaje máquina. Por lo tanto, comúnmente se cae en la dicotomía del empleo de las herramientas, para la simulación, e instrumentos distintos para la implementación final.

Matlab (MathWorks, 2012) es un paquete computacional, el cual tiene su propio lenguaje de programación y plataforma para la ejecución de programas. Es el lenguaje de programación preferido por muchos diseñadores para el desarrollo y prueba de algoritmos individuales, adecuado para la descripción de ecuaciones, y contiene una aplicación de servicio llamada 'Simulink', que consiste en un contexto

gráfico donde se interconectan los bloques funcionales, es decir, representaciones de funciones predeterminadas basadas en el código Matlab.

Si bien Simulink es adecuado para el diseño en alto nivel de sistemas complejos y Matlab es ideal en la sistematización de algoritmos sin embargo, la implementación final es realizada en hardware y programada en HDL (lenguaje de descripción para hardware). Existen intentos de complementar la paquetería como la herramienta agregada a Matlab *Real-Time Workshop*, que transforma código de Matlab (algoritmos de punto-flotante a punto-fijo) que permite generar código equivalente en C, o la opción de paquetería como *HDL translator* que brinda flexibilidad al utilizar bloques en el ambiente de Simulink para describir los componentes y generar su correspondiente código en HDL. Actualmente se están haciendo esfuerzos al estandarizar una variante de 'C' en punto fijo, llamado *System C* (Accellera Systems Initiative, 2012) el cual es fácilmente transferible a HDL. No obstante, el integrar manualmente código en C o VHDL con Matlab o Simulink ha sido una tarea complicada, ya que, por lo general el compilador tiene limitantes para implementar el diseño eficientemente.

Esta tesis resuelve este dilema unificando los distintos tipos de herramientas, explotando las respectivas cualidades algorítmicas, gráficas y lógicas de cada una para la construcción de la implementación final.

La interfaz para esta implementación la proporciona Altera-Mathworks, que ofrece bloques de propiedad intelectual descritos en términos de bloque de Simulink, que pueden ser directamente sintetizados al FPGA (Altera-Mathworks, 2012). Así se explota las ventajas de Simulink con las consecuencias de diseño en la simulación de exploración de formatos numéricos, esquemas demodulación, etc., conservando la fidelidad y calidad del sistema, con la gran ventaja que se puede sintetizar directamente, y generar el archivo de programación de manera optimizado para el FPGA en específico.

Así, el diseño parte de una implementación en Matlab, usando Simulink para capturar el diseño del sistema, y utilizando las librerías DSP-Builder. Después de haber creado el modelo, es factible compilarlo directamente en el programa Quartus II, para correr las instancias de ruteado y síntesis que posteriormente se requieren

para la generación de los archivos VHDL que se ejecutan en el hardware indicado, en nuestro caso un FPGA.

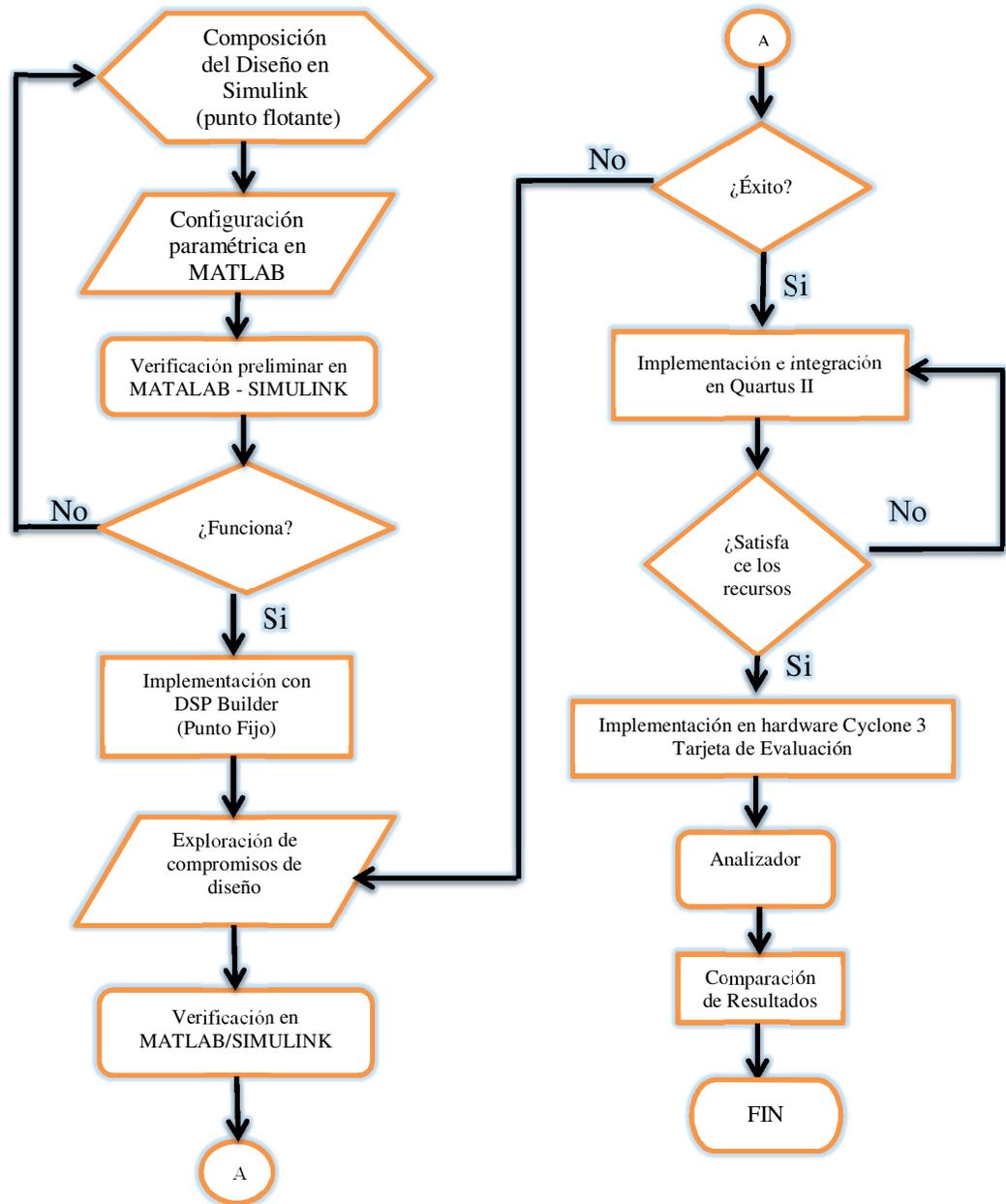


Figura 30. Diagrama de flujo del diseño al prototipo.

5.3 Descripción general del diseño de capa física -Simulación-

A continuación se describirá el sistema completo para la arquitectura SDR, el cual será el marco de referencia en el diseño del sistema de comunicaciones, creado en el ambiente Matlab/Simulink. Este trabajo parte de la implementación del sistema de capa física en banda base 802.11a descrito en The MathWorks (2008), que implica el procesamiento digital de la señal en banda base para la codificación de canal y mapeo. La solución propuesta incluye hasta la fase de modulación en cuadratura en la etapa de Frecuencia Intermedia (IF), sección en la que el presente trabajo se enfoca en implementar con lógica reconfigurable en hardware dentro del FPGA, debido a que es la sección más crítica en cuanto a demanda de recursos, y que proporciona al radio las características dinámicas de adaptación en frecuencia. Para facilitar la identificación de las distintas partes del algoritmo establecidas en el modelo completo mostrado en la Figura 31, se puede identificar su función mediante el código de colores mostrado en la Tabla 8.

Tabla 9. Código de colores donde se cataloga los diferentes bloques en el nivel más alto del diseño para ayudar a distinguir las distintas etapas.

Color	Tipo de Bloque
Naranja	Parámetros y bloques de información
Verde Fuerte	Procesamiento en Banda Base
Rojo	Procesamiento en Frecuencia Intermedia
Azul	Modelo de Canal Inalámbrico
Amartillo	Mecanismo de control de modo de operación
Gris	Evaluación del desempeño

5.3.1 Funcionamiento general del modelo

La entrada al modelo es una fuente digital generando datos aleatorios a tasas de bit variable. Esta variabilidad de tasa de datos se realiza habilitando el bloque generador de manera periódica dependiendo del modo correspondiente a la tasa deseada.

Como el sistema de telecomunicación se desplegará en un ambiente espacial en condiciones de canal afectadas por atenuaciones en función de pérdidas por trayectoria dependientes de la frecuencia, distancia, y degradaciones por ruido inherente que sigue un comportamiento gaussiano (AWGN). El modelo provee un método de estimación de SNR que implementa un control adaptable que varía dinámicamente según el esquema de modulación, que es dependiente de la condición del canal, cuyas posibilidades están indicadas en la Tabla 10.

Esto implica tener un banco de modulación compuesto por esquema de BPSK, QPSK y 16-QAM, esquemas implementados en el mapeo de datos previo, el cual es elegido dependiendo del comportamiento del canal (SNR), y la tasa que se quiera conseguir.

Tabla 10. Posibles esquemas de modulación y código convolucional (RS-CC) respecto al modo de tasa variable.

Modo Tasa	Modulación y tasa de codificación	
1	BPSK	1/2
2	QPSK	1/2
3	16-QAM	1/2

Así, la condición de operación se dispone según el esquema en cuadratura correspondiente al modo. Cada bloque de modulación realiza las tareas de codificación convolucional (FEC), entrelazado y modulación en banda base (I-Q mod). Esta señal se presenta a un mezclador digital en frecuencia intermedia que “montará” en una portadora la información para ser transmitida por el canal, posteriormente asumiendo una sincronización perfecta se implementan en la recepción los bloques correspondientes como el demodulador y des-entrelazado.

5.3.2 Subsistema de transmisión -Banda Base-

El contenido del método originario de transmisión realiza las siguientes operaciones:

- Generación de datos binarios.
- Algoritmo FEC donde convierte los símbolos a una cadena de bits y los procesa en una codificación convolucional.
- El bloque codificador separa la información en componentes de fase y cuadratura
- Esta conversión genera 2 canales I/Q que, se utilizan para el mapeo de símbolo según el diagrama de constelación correspondiente.

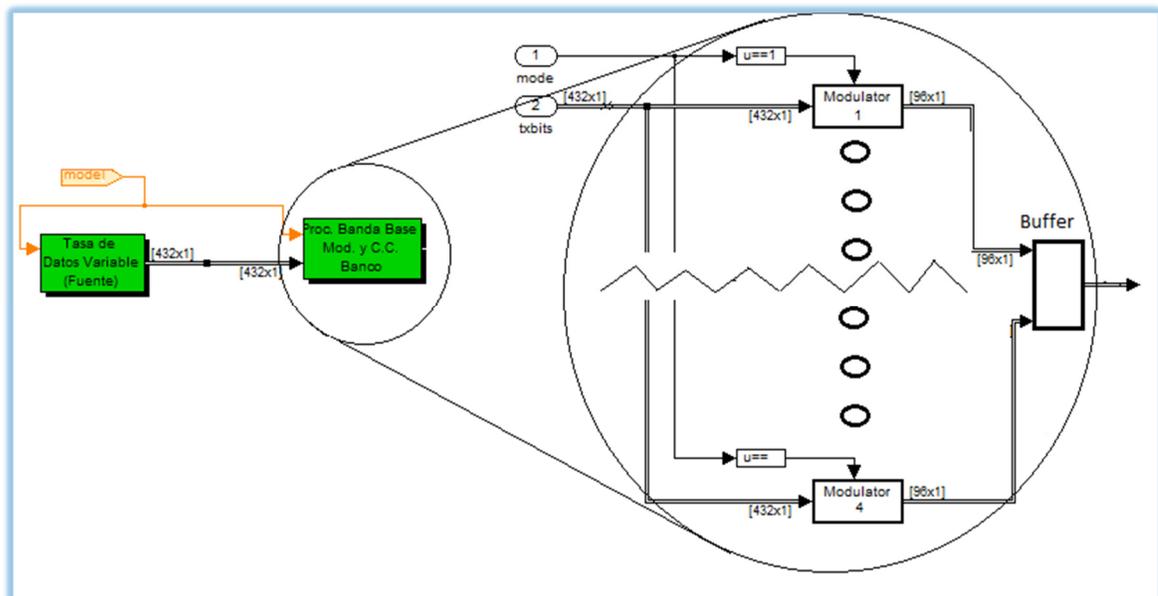


Figura 32. Generación de datos procesamiento en banda base según el modo de operación.

5.3.3 Subsistemas de Interpolación

Posteriormente, se precisa trasladar la información en el espectro, pero antes, es necesario igualar la tasa de muestreo a la tasa de la portadora digital con la que se hará el mezclado digital, mediante dos filtros interpoladores en serie con un factor de subida de 8 cada uno. La ventaja del filtrado y la interpolación, es que posibilita implementar ambas operaciones en la misma función, ya que solo habrá que agregar un número de elementos nulos entre muestras en el caso de la interpolación.

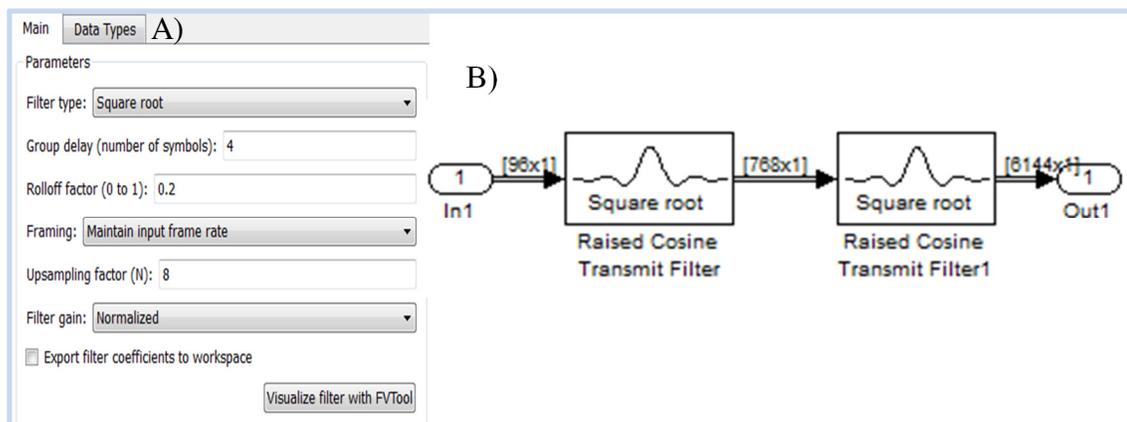


Figura 33. Esquema (B) y parámetros (A) de la etapa de Interpolado y filtrado digital.

5.3.4 Etapa Modulación paso-banda en Frecuencia Intermedia

En lo que respecta a la parte de la transmisión se implementó un mezclador de subida en IF como se muestra en la Figura 34.

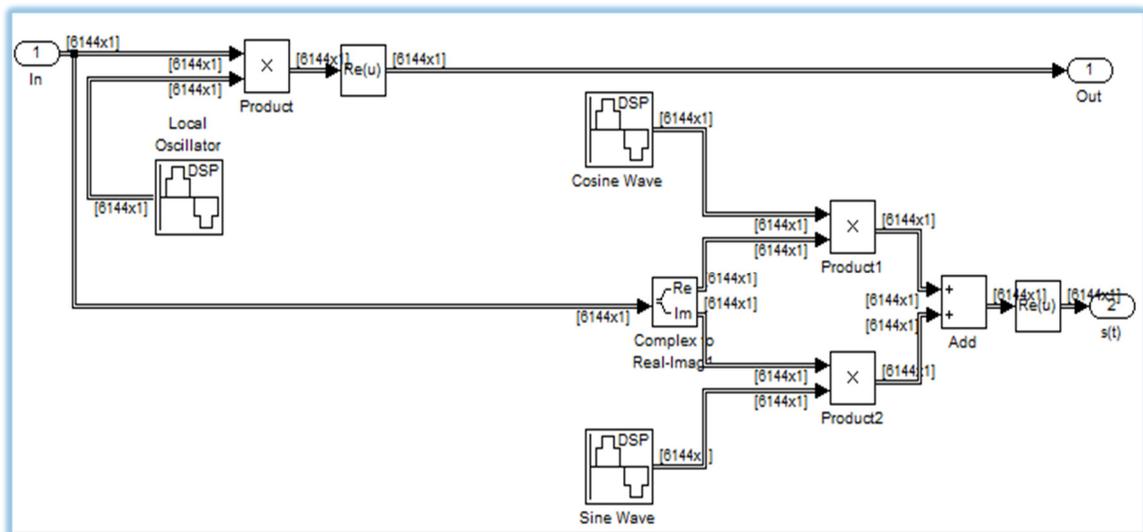


Figura 34. Esquema de modulación digital punto-flotante.

Ambas salidas 1 y 2, son equivalentes; se configuró la segunda (2) de forma en que se pueda observar explícitamente el proceso de mezclado para contrastar con la implementación que se destinará en hardware.

La señal de símbolo complejo es dividida en dos trayectorias, la parte en fase representa la parte real del símbolo, y la señal en cuadratura representa la parte imaginaria. Se obtiene la magnitud de ambas partes (real e imaginaria) del símbolo, y posteriormente se mezcla con la portadora correspondiente, después las dos señales se juntan según el algoritmo de mezclado complejo para posteriormente ser enviadas al canal. Los parámetros de configuración de la librería de procesamiento de señales para la generación del oscilador local se muestran en la Figura 35.

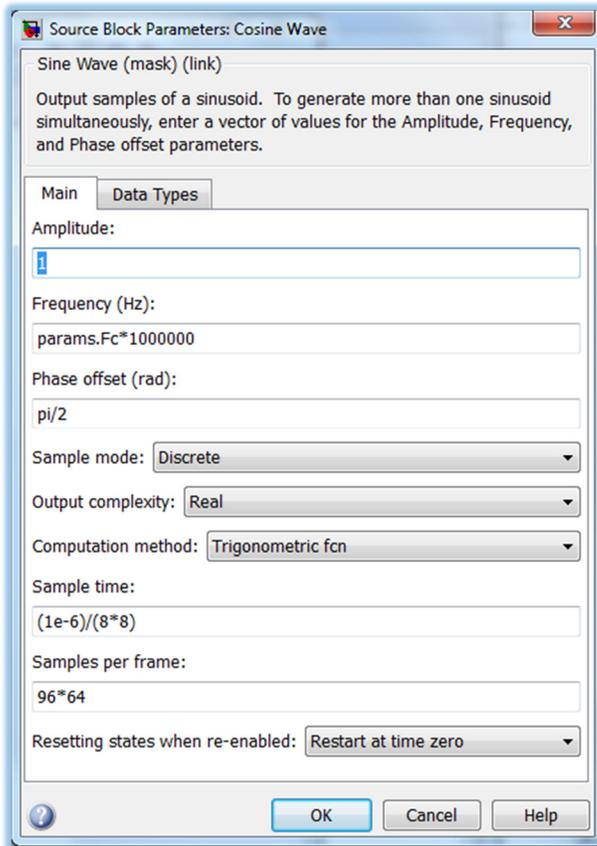


Figura 35. Parámetros de configuración y método de generación para el oscilador local.

Forma para Hardware (punto fijo) de la etapa de IF

Por último, por las motivaciones de llevar a hardware la parte sintonizable en frecuencia intermedia, se construye el modelo equivalente, de manera que se pueda analizar distintos parámetros como longitudes de palabras, registros, formato numérico, y verificar su funcionamiento en comparación con el basado en el bloque de librerías de procesamiento de señales proporcionadas en Simulink.

En este caso se usa la función de Altera que optimiza el algoritmo para el NCO cuya versión es la v11.1 liberada en Noviembre del 2011, que genera modelos para la simulación RTL (register-transfer level) en código VHDL, para la familia de dispositivos Cyclone III.

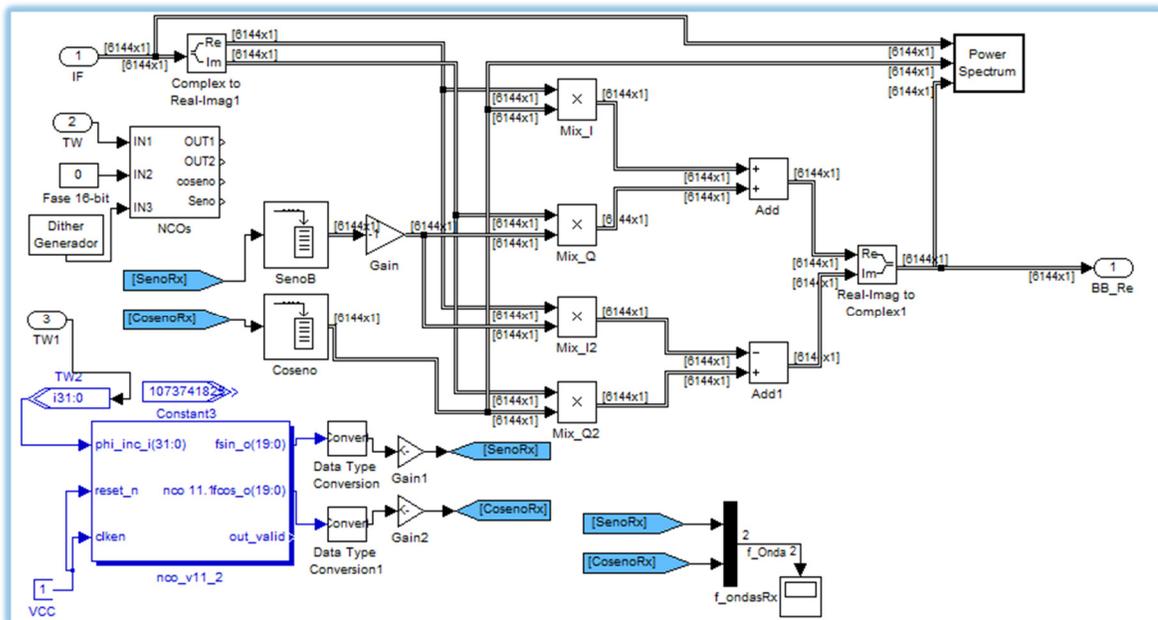


Figura 36. Etapa de mezclado con librería de HDL proporcionadas por Altera.

Los parámetros y detalles de configuración para la implementación se aprecian y se pueden distinguir en la Figura 37.

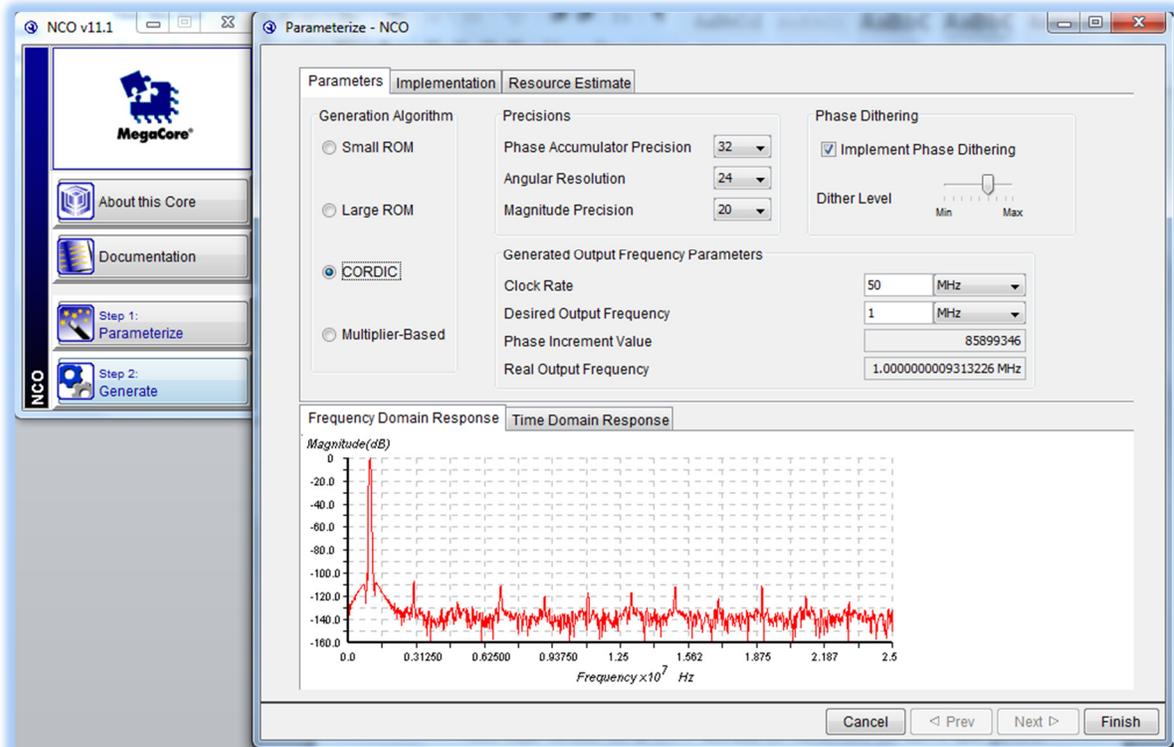


Figura 37. Parámetros algoritmo para el NCO versión v11.1.

Un exhaustivo reporte con los parámetros completos de los archivos generados, así como detallado de los recursos utilizables para el dispositivo en específico, son desplegados en el apéndice A.

5.3.5 Modelado del Canal

Para simular los efectos de interferencia, ruido y atenuación que implica el canal, el modelo permite cuatro modos de operación. El primero permite seleccionar un nivel discreto de SNR, el segundo permite omitir los efectos del canal, el tercero admite condiciones dinámicas y el cuarto posibilita manejar parámetros de STK que estarán prescritos por la atenuación que sufre la señal transmitida que varía dependiendo la frecuencia y distancia del trayecto. Las anteriores opciones se implementaron con el fin de evaluar distintas condiciones y eventualmente lograr una recepción robusta en los escenarios adversos.

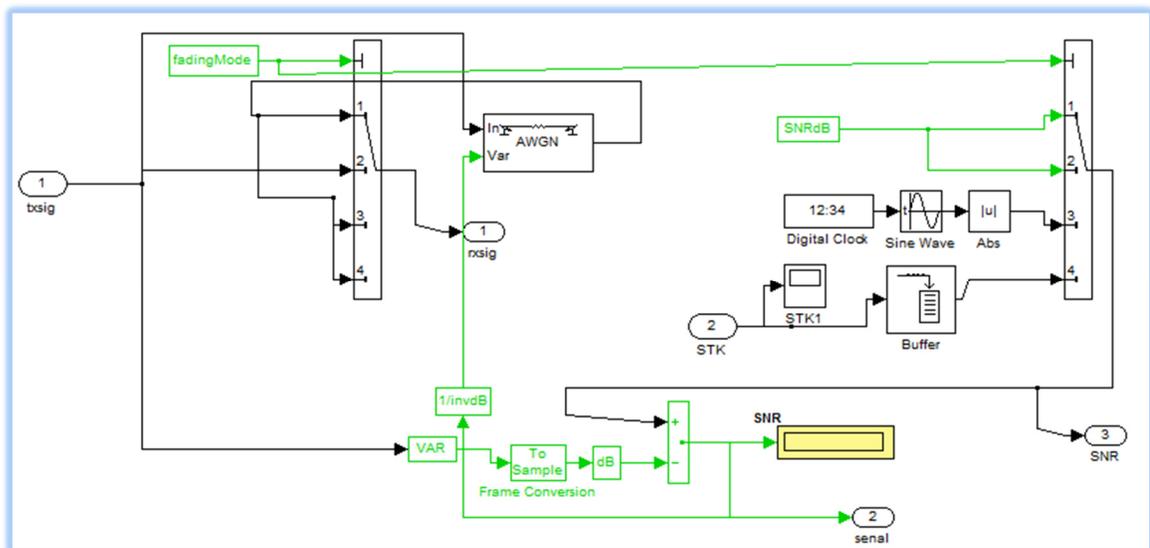


Figura 38. Modelo del canal, con 4 opciones en la simulación.

- d) Tasa de muestreo al momento de mezclado = **64Mmps**
- e) Umbrales de cambio para los distintos modos de control [dB] = **[11, 22, 27]**
- f) Opciones paramétricas del canal: **1) Modelo Gaussiano [SNR] (dB)**

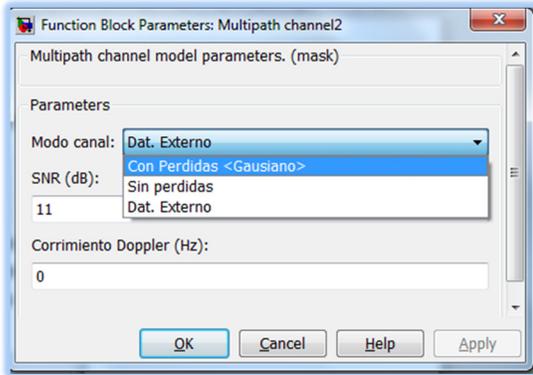


Figura 40. Opciones de canal.
1.- Modelo Gaussiano dependiente de SNR ;
2.- Sin pérdidas (evaluación);
3.- Dato externo; 4.-STK

- g) Trayectoria de la mezcla: **1) Referencia punto-flotante y 2) NCO punto-fijo**

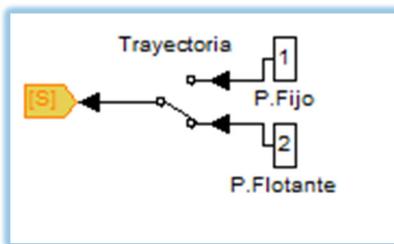


Figura 41. Opción de trayectoria de la señal.
1.- Librerías de procesamiento de señales (Simulink);
2.- Algoritmo para VHDL (DSP Builder).

- h) Palabra de sintonización en frecuencia digital: **(32bits) # 2000 001 [HEX]**

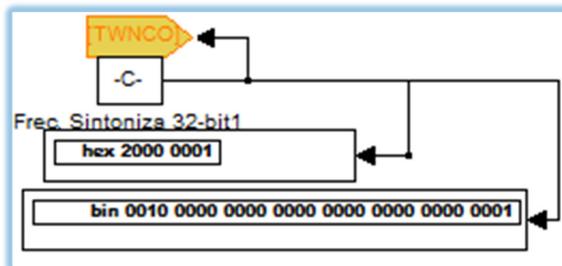


Figura 42. Configuración del valor de la palabra de sintonía y despliega el contenido en forma hexadecimal y binaria.

Los incisos anteriores son parámetros y opciones genéricos, en caso de que en algún análisis precise variar el valor, se indicará en el experimento.

5.4.1 Análisis espectral del Oscilador Digital Local

El primer elemento sujeto al estudio será el oscilador local en el bloque de mezclado, debido a que es el módulo central en la generación adaptable de las señales sinusoidales digitales en fase y cuadratura (motivo principal de este trabajo). Habrá que confirmar la pureza espectral en términos de SFDR, de las señales generadas con el algoritmo de control numérico con las distintas variantes en cuanto a longitud de registro, nivel de aleatoriedad en la secuencia de palabra, y algoritmo de generación.

La selección de la técnica de estimación del espectro depende en gran medida de los datos manejados, teniendo un número cuantioso de muestras podemos utilizar confiadamente el método clásico de la transformada rápida de Fourier como el *periodograma*, para la estimación del contenido espectral de la salida del oscilador.

Aunque la señal tenga aleatoriedad, es esencialmente una sinusoidal, por lo que se medirá su espectro cuadrático-medio (MSS, Mean-Square Spectrum), en vez de la densidad espectral de potencia, la cual es mejor apropiada para la medición de potencia de señales aleatorias.

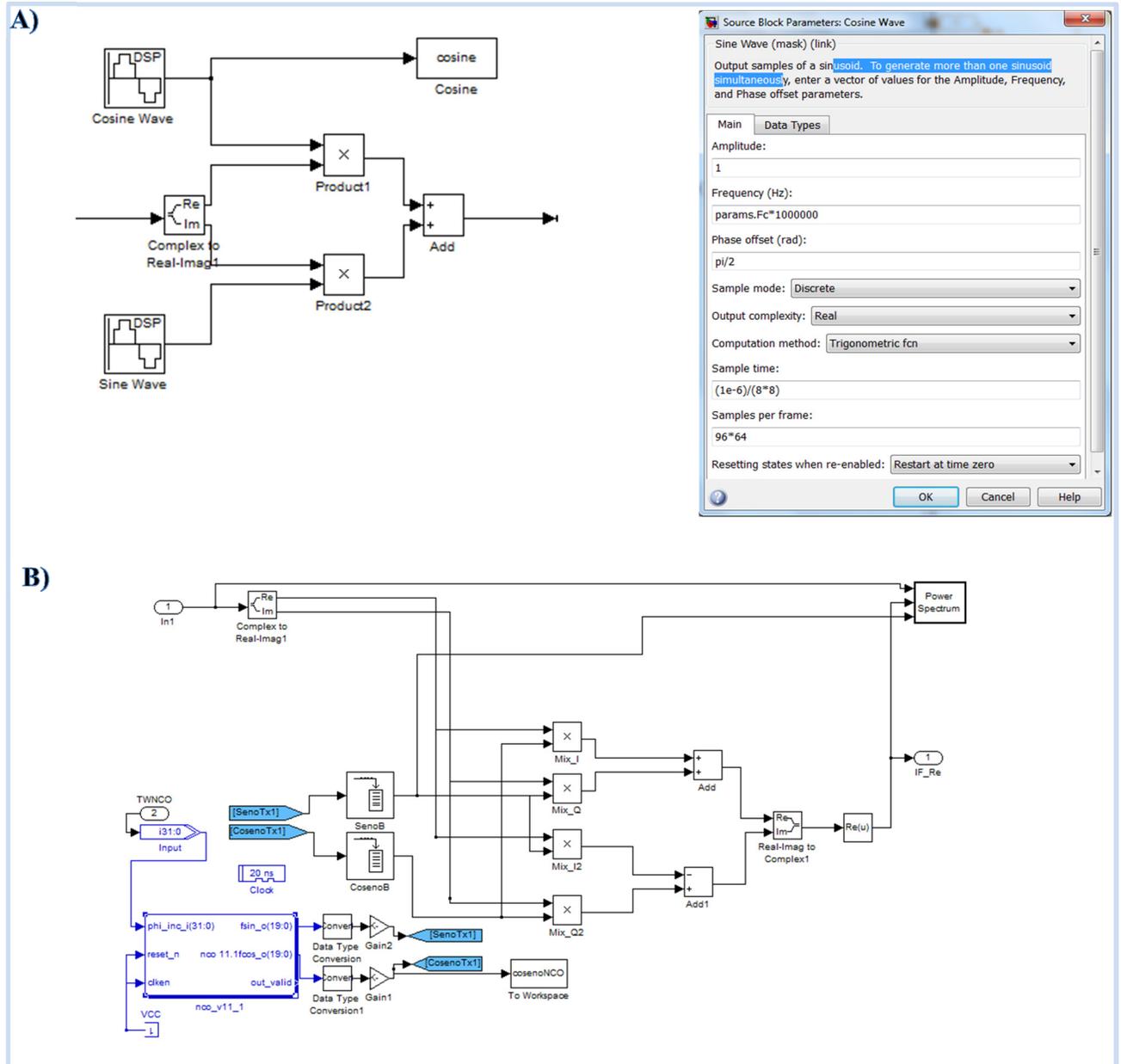


Figura 43. Arquitecturas de Generación de la señal en cuadratura; A) Usando librerías DSP (punto flotante); B) Usando librerías HDL (punto fijo).

Con la siguiente porción de código se grafican la forma de onda en el tiempo de la señales:

```
plot(real(squeeze(cosenoNCO(1:128)))); grid
title('Salida Parte real del bloque SDP/NCO')
ylabel('Amplitud');
xlabel('Muestras');
set(gcf,'color','white');
```

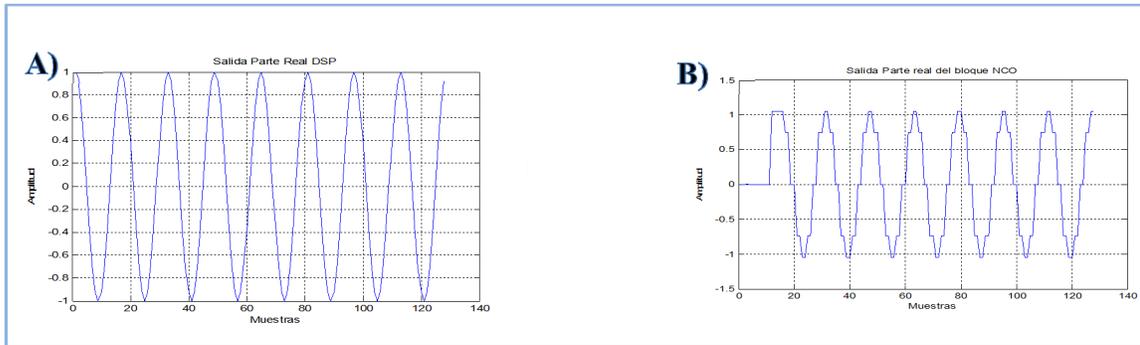


Figura 44. Respuesta en el tiempo de las arquitecturas de generación; A) Usando librerías DSP (punto flotante); B) Usando librerías HDL (punto fijo).

Posteriormente se calcula el espectro cuadrático-medio (Mean-Square Spectrum):

```
h = spectrum.periodogram
Fs = 64e6;
msspectrum(h,real(cosenoNCO),'Fs',Fs)
set(gcf,'color','white');
```

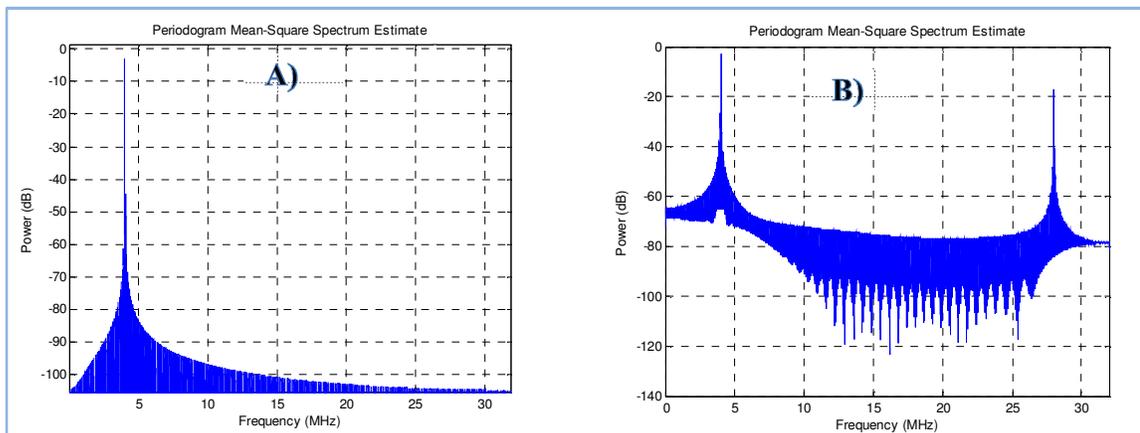


Figura 45. Espectro de frecuencia MSS en comparación de ambos algoritmos. A) Usando librerías DSP (punto flotante); B) Usando librerías HDL (punto fijo).

Como era de esperarse, la gráfica muestra un pico en 4MHz, la cual es la frecuencia sintonizada de los osciladores. El ruido de piso se puede ver a simple vista que está por debajo de los -100dB, el cual es aceptable según la especificación de la mayoría de estándares. Introduciendo aleatoriedad puede mejorar esto, pero antes se verá más de cerca este análisis.

Escogiendo la ventana correcta como el análisis espectral periodograma que utiliza una ventana rectangular, se provee una buena resolución en frecuencia (es decir, tiene un ancho de banda estrecho del lóbulo principal), pero presenta un ruido de

piso elevado. El multiplicar la señal sinusoidal del oscilador por una ventana rectangular es equivalente a convolucionar las dos señales en el dominio de la frecuencia. La convolución de la respuesta en frecuencia de una señal sinusoidal (la cual es una delta), por una ventana rectangular, cuya respuesta en frecuencia es una $\text{sinc}(x)$, resulta en una respuesta $\text{sen}(x)/x$ centrada en la frecuencia de la delta. El ruido de piso será la suma de las dos señales, por lo que se aprecia el ruido de piso de la ventana rectangular, el cual es más alto que el componente espurio más alto de la señal.

Para corroborar que el ruido de piso de la ventana impide ver las señales espurias, se revisa la respuesta en tiempo y frecuencia de la ventana rectangular.

Se puede diseñar tal ventana utilizando la herramienta *WinTool* pero antes se define la respuesta en frecuencia de la ventana rectangular de la siguiente manera:

```
N = length(cosenoNCO);
wrect = sigwin.rectwin(N);
wvtool(wrect);
```

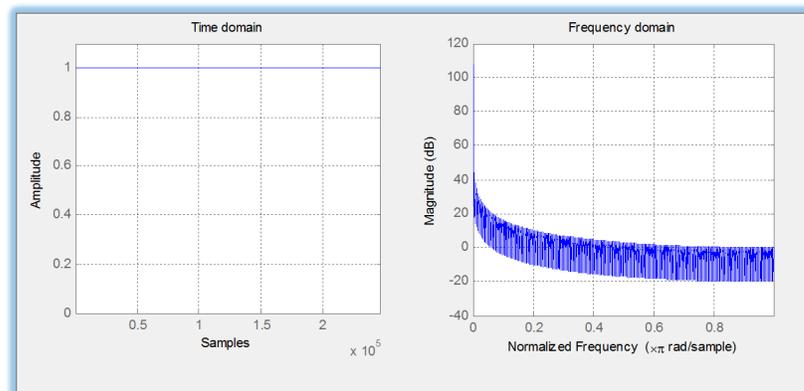


Figura 46. Ventana rectangular hecha con `wvtool(wrect)`, se puede observar que la atenuación máxima de la ventana rectangular es -20dB.

Pero como lo que se requiere es ver el contenido espectral por debajo de los 100dB, se usa la ventana *Von Hann*, la cual brinda más de 100dB de atenuación. Con las siguientes líneas de comando se muestra la respuesta de la ventana Von Hann (o simplemente Hann) en tiempo y frecuencia:

```
whann = sigwin.hann(N)
wvtool(whann)
```

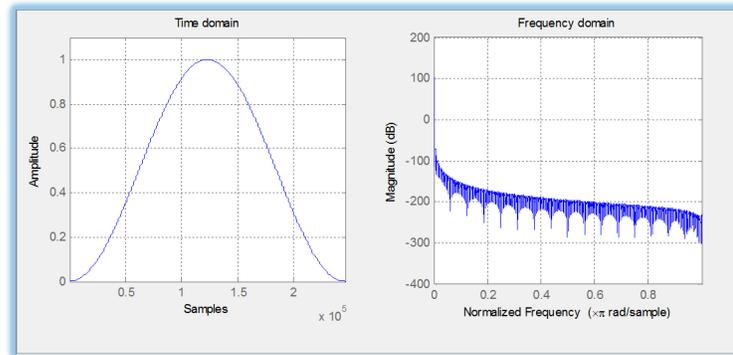


Figura 47. Ventana Hann (Figura derecha (frecuencia)) provee un menor ruido de piso, demostrando que la ventana Hann es más apropiada para este análisis espectral.

Con el siguiente código se muestran los resultados para el cálculo del espectro:

```
h.WindowName = 'Hann';
hh = msspectrum(h,real(cosenoNCO),'Fs','Fs');
figure,
plot(hh) % se grafica el espectro cuadrático-medio (Mean-square Spectrum)
set(gcf,'color','white');
```

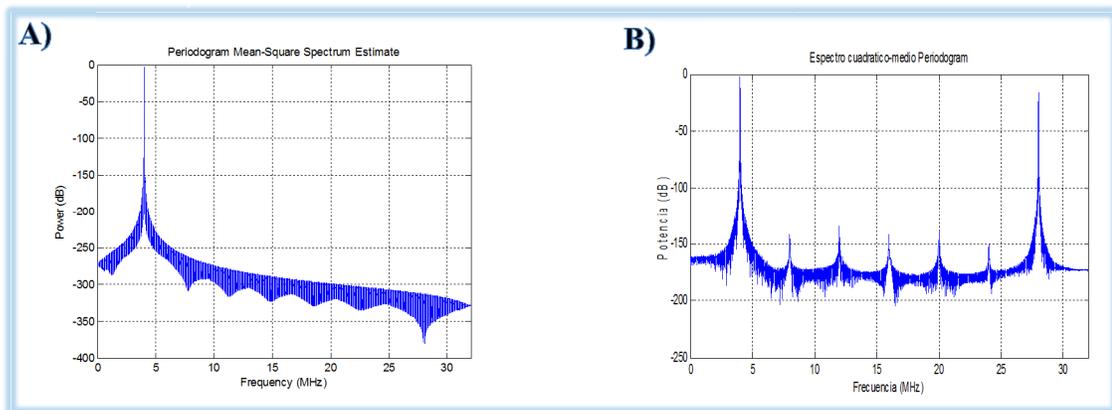


Figura 48. Contenido espectral de los Osciladores Digitales utilizando la ventana Hann.

Utilizando la ventana *Hann* se produce un menor ruido de piso en relación a las componentes espurias, por lo que se podrá medir con claridad el SFDR y explorar métodos y variables que puedan disminuir los picos espurios introduciendo en el caso del NCO un componente de aleatoriedad en la fase. A continuación se presentan los resultados del análisis del SFDR utilizando el procedimiento anteriormente descrito.

Mediciones del SFDR

Explorando los efectos de aleatoriedad y resolución de palabra, se analizan las gráficas, observando los valores del máximo pico de la portadora y el máximo componente espurio determinado con esto el SFDR.

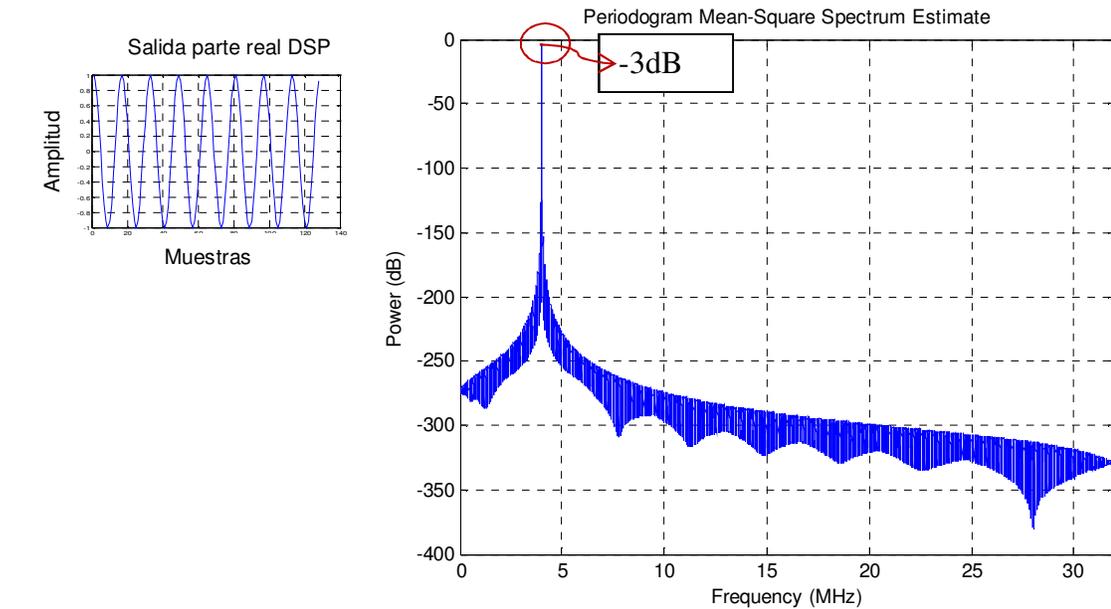


Figura 49. Contenido espectral del oscilador digital de referencia. El pico se precisa aproximadamente a -3dB y el ruido de piso está por debajo de los 200dB

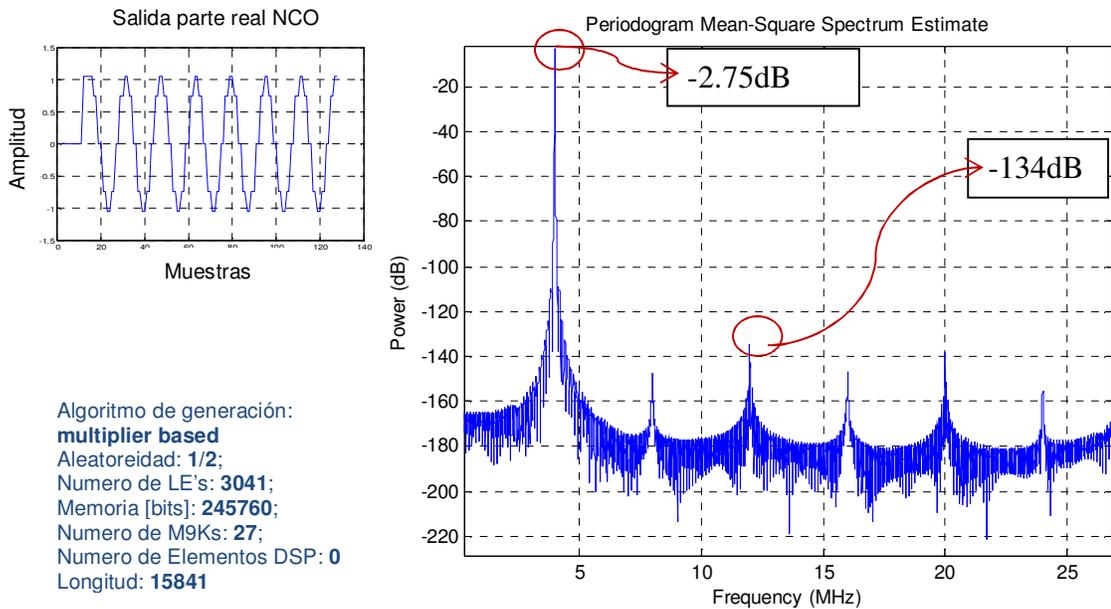


Figura 50. Contenido espectral del oscilador digital. El pico -2.75dB y el espurio mas alto está a -134.7dB por lo que su SFDR es 131.95dB.

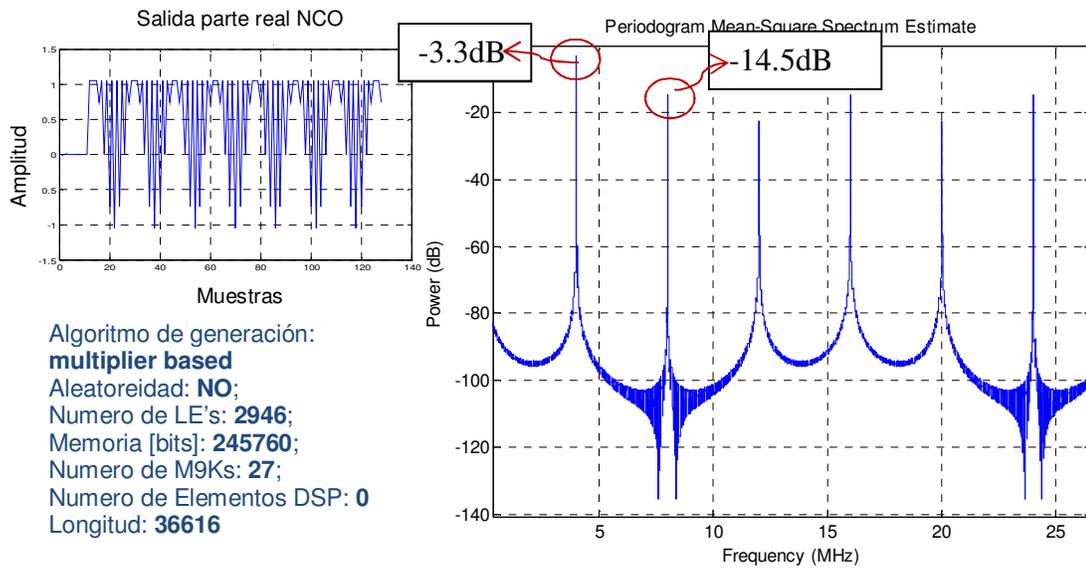


Figura 51. Contenido espectral del oscilador digital. El pico -3.3dB y el espurio mas alto está a -14.5dB por lo que su SFDR es 11.2dB.

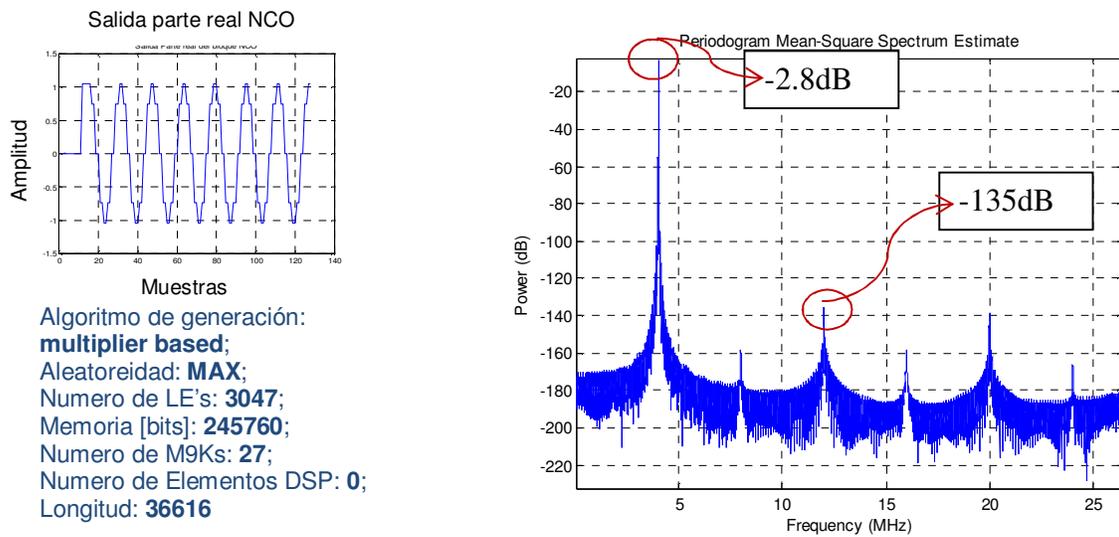


Figura 52. Contenido espectral del oscilador digital. El pico -2.8dB y el espurio mas alto está a -135dB por lo que su SFDR es 132.2dB.

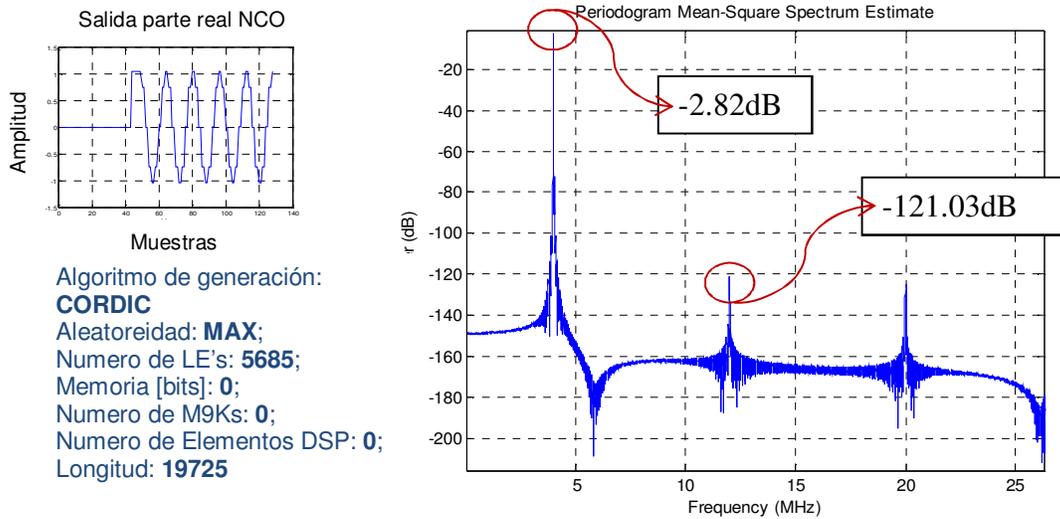


Figura 53. Contenido espectral del oscilador digital. El pico -2.82dB y el espurio mas alto está a -121.03dB por lo que su SFDR es 118.21dB.

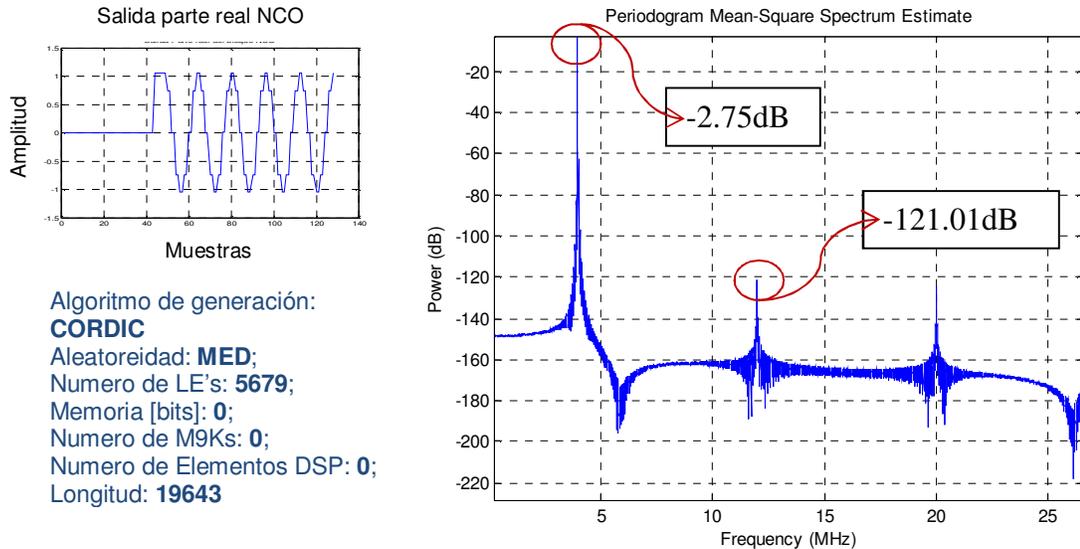


Figura 54. Contenido espectral del oscilador digital. El pico -2.75dB y el espurio mas alto está a -121.01dB por lo que su SFDR es 118.26dB.

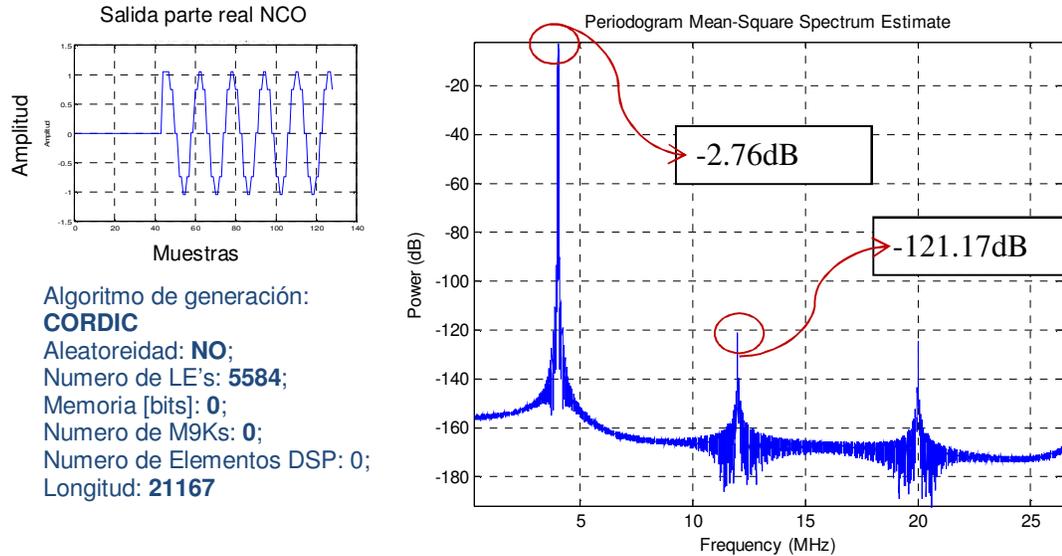


Figura 55. Contenido espectral del oscilador digital. El pico -2.76dB y el espurio mas alto está a -121.17dB por lo que su SFDR es 118.41dB.

Discusión

Los algoritmos de generación *Large ROM* y *Small ROM* no fueron posible implementarlos debido a sus requerimientos de memoria para una palabra de sintonía de 32 bits, la cual se estableció en esta longitud como parámetro de diseño en base a las capacidades del dispositivo convertidor digital en cuadratura AD9957 (Analog Devices, 2010).

Se opta por elegir el algoritmo descrito en la Figura 54 debido a la característica propia del método CORDIC, el cual no hace uso de los recursos de multiplicación o módulos DSP los cuales son costosos implementarlos en hardware, además ofrece la suficiente relación SFDR para garantizar el buen desempeño.

5.4.2 Respuesta en frecuencia del Modulador y Demodulador

A continuación se examina en el espectro resultante de la modulación, señal que es transmitida al canal. En las siguientes gráficas se muestra la etapa de mezclado del DUC y el DDC con sus 3 señales correspondientes, la señal en banda base, la señal portadora y la mezclada.

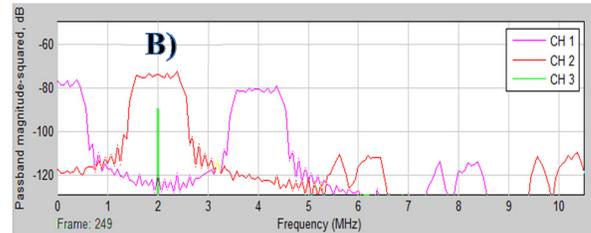
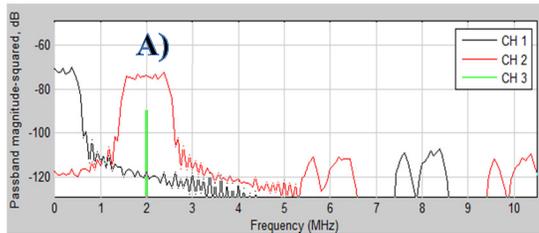


Figura 56. Espectro de Mezclado a 2Mhz;

A) DUC CH1: Información a modular (BB), CH2: señal modulada (IF), CH3: Portadora sinusoidal (ODL);
B) DDC CH1: Información de-modulada (BB), CH2: señal de (IF), CH3: Portadora sinusoidal (ODL)

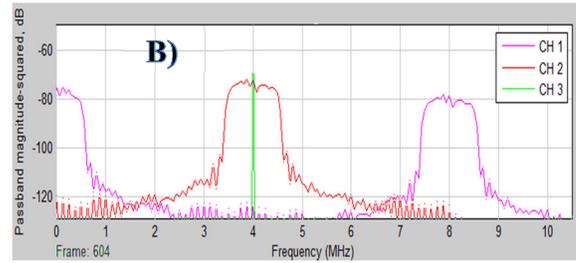
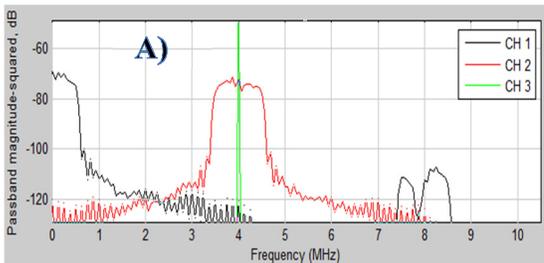


Figura 57. Espectro de Mezclado a 4Mhz;

A) DUC CH1: Información a modular (BB), CH2: señal modulada (IF), CH3: Portadora sinusoidal (ODL);
B) DDC CH1: Información de-modulada (BB), CH2: señal de (IF), CH3: Portadora sinusoidal (ODL)

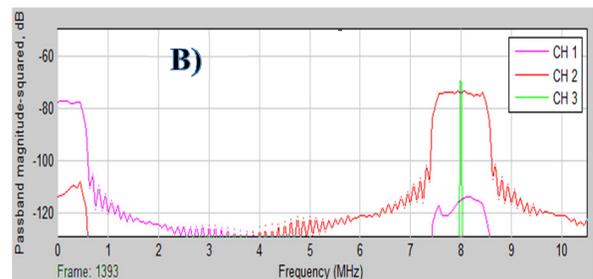
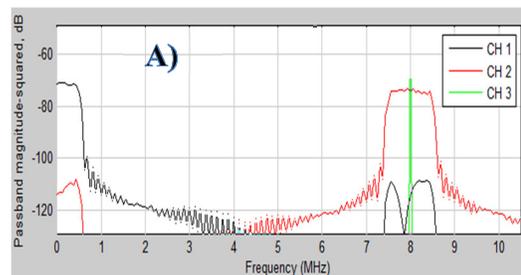


Figura 58. Espectro de Mezclado a 8Mhz;

A) DUC CH1: Información a modular (BB), CH2: señal modulada (IF), CH3: Portadora sinusoidal (ODL);
B) DDC CH1: Información de-modulada (BB), CH2: señal de (IF), CH3: Portadora sinusoidal (ODL)

5.4.3 Modelado en orbita integrado con STK

La incorporación de la tecnología de *realidad virtual* tiene como utilidad proveer visualización en tiempo real del satélite, particularmente en este trabajo se ha integrado la propuesta del sistema de comunicaciones al programa de visualización Tridimensional STK (System Tool Kit antes Satellite Tool Kit) en su actual versión 9.2.4. Esta versión es un compendio de herramientas avanzadas ofrecidas por AGI (Analytical Graphics, 2012) para el análisis de sistemas en la industria aeroespacial, donde se permite una interacción intuitiva en el ambiente de proyecto espacial que ingenieros y analistas utilizan para el modelado de sistemas complejos (de vehículos satelitales, aéreos, terrestres), junto con sus sistemas particulares y en el contexto característico orbital en sus distintas perspectivas. Por medio de esta visualización, STK provee un entendimiento del comportamiento y desempeño del sistema según los objetivos de la misión.

En este trabajo STK no se utiliza de manera aislada, ya que, permite la interacción con otras herramientas de Ingeniería y Programación de alta capacidad como lenguaje 'C' o código en MATLAB usando la interface *STK/Connect*. En el apéndice B de este trabajo se encuentra el código requerido en esta implementación.

Además del mero despliegue cualitativo, a STK lo empleamos para proveer de información dinámica del comportamiento durante el recorrido orbital, y según la transmisión de datos en tiempo real del modelo desarrollado en Simulink, permite un ambiente interactivo, integral y visual para el análisis y diseño del proyecto.

STK es una herramienta importante en el diseño de Sistemas Satelitales, utilizada para desarrollo en los ámbitos desde la academia, programas de investigación, pasando por comercio, hasta operaciones de Seguridad Nacional, permitiendo la evaluación preliminar en las etapas de diseño de proyectos complejos, obteniendo ahorros en gastos y trabajo. Herramientas tan poderosas como STK son una de las razones detrás del crecimiento acrecentado en misiones de vanguardia con tecnología espacial.

Constelaciones y espectro según el recorrido orbital.

El siguiente estudio involucra el trayecto completo de la señal de prueba en el modelo de simulación, esto es transmisión-canal-recepción del flujo de datos. Además se integra en tiempo-real el recorrido orbital de un periodo de 9 minutos 48 segundos de duración, en el cual se establece un enlace para distintos niveles de relación señal/ruido, parámetro determinado en STK, dependientes de la frecuencia de la portadora de operación y distancia a lo largo del recorrido. La distancia máxima que se registró fue de 2315km y la mínima de 349.48 km, afectando el SNR durante el recorrido en este período de acceso. Con este análisis se comprueba la capacidad dinámica para determinar y ajustar la eficiencia del enlace de comunicación.

Los parámetros orbitales respectivos al enlace orbital que comprende en tiempo del **26 Jul 2012 13:53.628** al **26 Jul 2012 14:02:47.891** son:

- Inclinación: 55.363 grados
- Altitud de Apogeo: 700 Km
- Altitud de perigeo: 300 Km
- RAAN: 11.995 grados
- True Anomaly: 30.99 grados

Los resultados obtenidos son mostrados en las siguientes figuras, donde en la imagen 'A)' se aprecia la distancia (en kilómetros) entre el satélite y la estación terrena, en seguida se presentan varios paneles de instrumentos de medición y análisis para el escenario correspondiente. La grafica 'B)' muestra la constelación original. La grafica 'C)' monitorea la señal modulada antes y después de pasar por el canal de comunicación. La grafica 'D)' muestra la constelación recibida. Y por último la grafica con inciso 'E)' muestra en banda base la señal original, contrastadas con las señales recibidas, con la trayectoria del algoritmo en punto flotante (simulink) y con la trayectoria del algoritmo de punto fijo (FPGA). Las señales localizadas a los +/-8Mhz son el resultado del productos de la mezcla en el modulador, y son posteriormente filtradas.

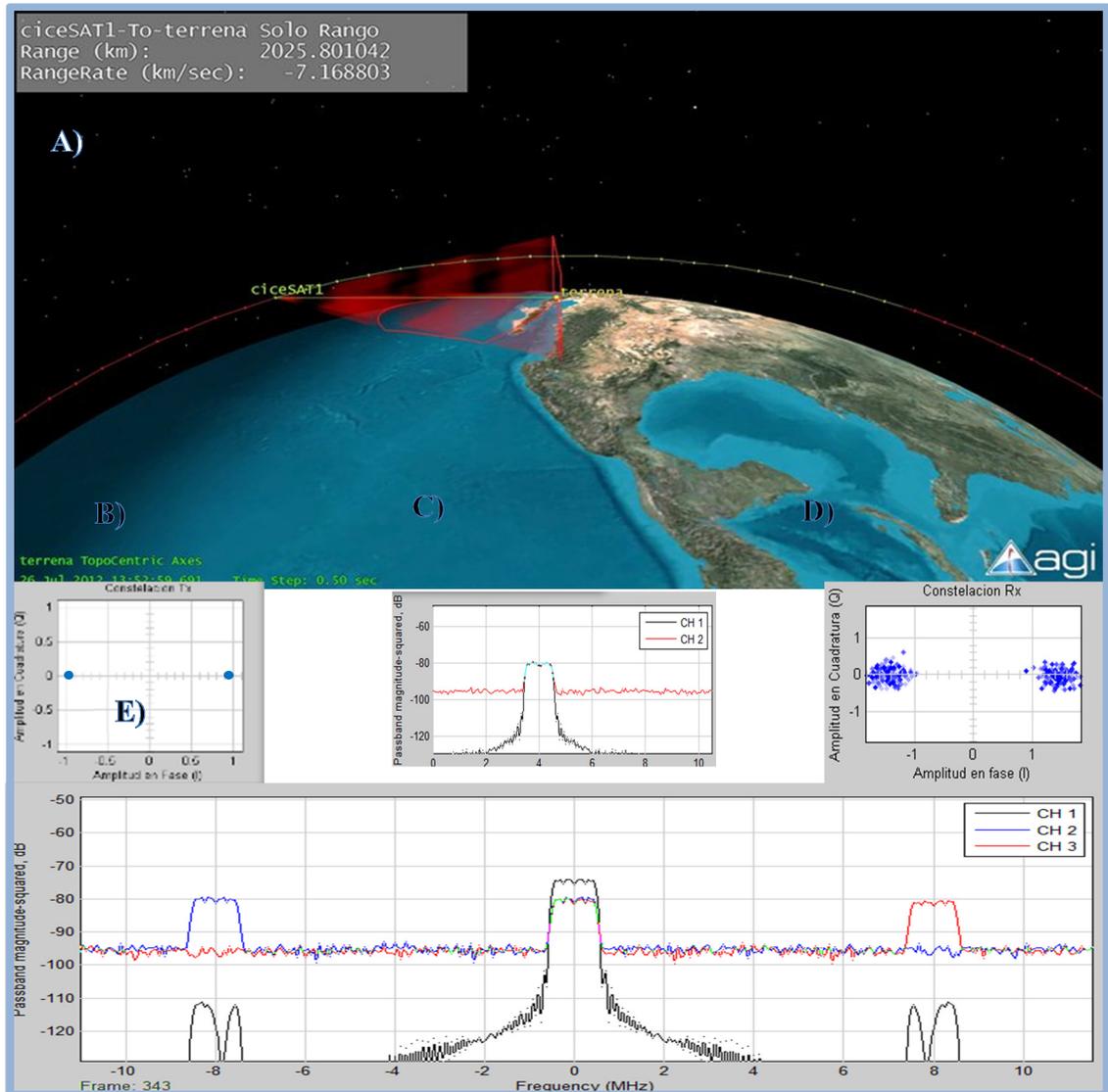


Figura 59. Modelado vinculado con STK (A) con enlace a niveles de **SNR 0dB**; B) Constelación fuente; C) CH1: señal modulada antes del canal, CH2: señal después del canal; D) Constelación recibida; E) CH1: señal original (BB), CH2: señal recuperada <punto-flotante>, CH3: señal recuperada <punto-fijo>.

En la Figura 59 se aprecia el escenario del enlace a 2025 Km de distancia, que representa un nivel de SNR de 0dB, en 'B)' y 'D)' se muestran las constelaciones que se establecen como *BPSK* de transmisión y recepción respectivamente, 'C)' muestra el espectro de la señal modulada antes y después del canal, donde se puede apreciar el nivel de ruido que nos representa el paso por el medio. Por último en 'E)' es graficado el espectro en banda base de la señal transmitida (CH1) y contrastado con la señales recibidas en punto fijo (CH3) y punto flotante (CH2).

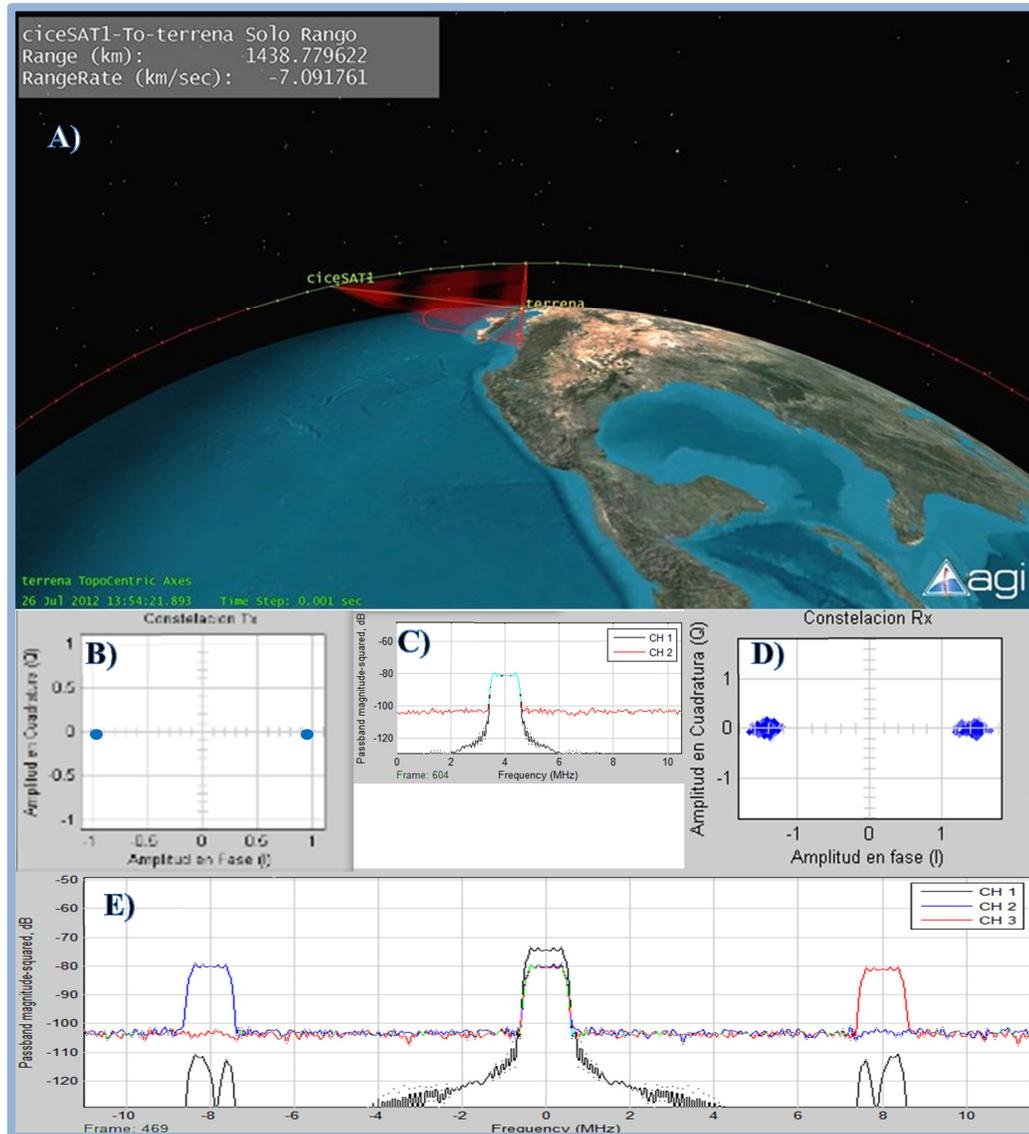


Figura 60. Modelado vinculado con STK (A) con enlace a niveles de **SNR 8dB**; B) Constelación fuente; C) CH1: señal modulada antes del canal, CH2: señal después del canal; D) Constelación recibida; E) CH1: señal original (BB), CH2: señal recuperada <punto-flotante>, CH3: señal recuperada <punto-fijo>.

En la Figura 60 se aprecia el escenario del enlace a 1438 Km de distancia, que representa un nivel de SNR de 8dB, en 'B)' y 'D)' se muestran las constelaciones que se establecen como *BPSK* de transmisión y recepción respectivamente, 'C)' muestra el espectro de la señal modulada antes y después del canal, donde se puede apreciar el nivel de ruido que nos representa el paso por el medio. Por último en 'E)' es graficado el espectro en banda base de la señal transmitida (CH1) y contrastado con las señales recibidas en punto fijo (CH3) y punto flotante (CH2).

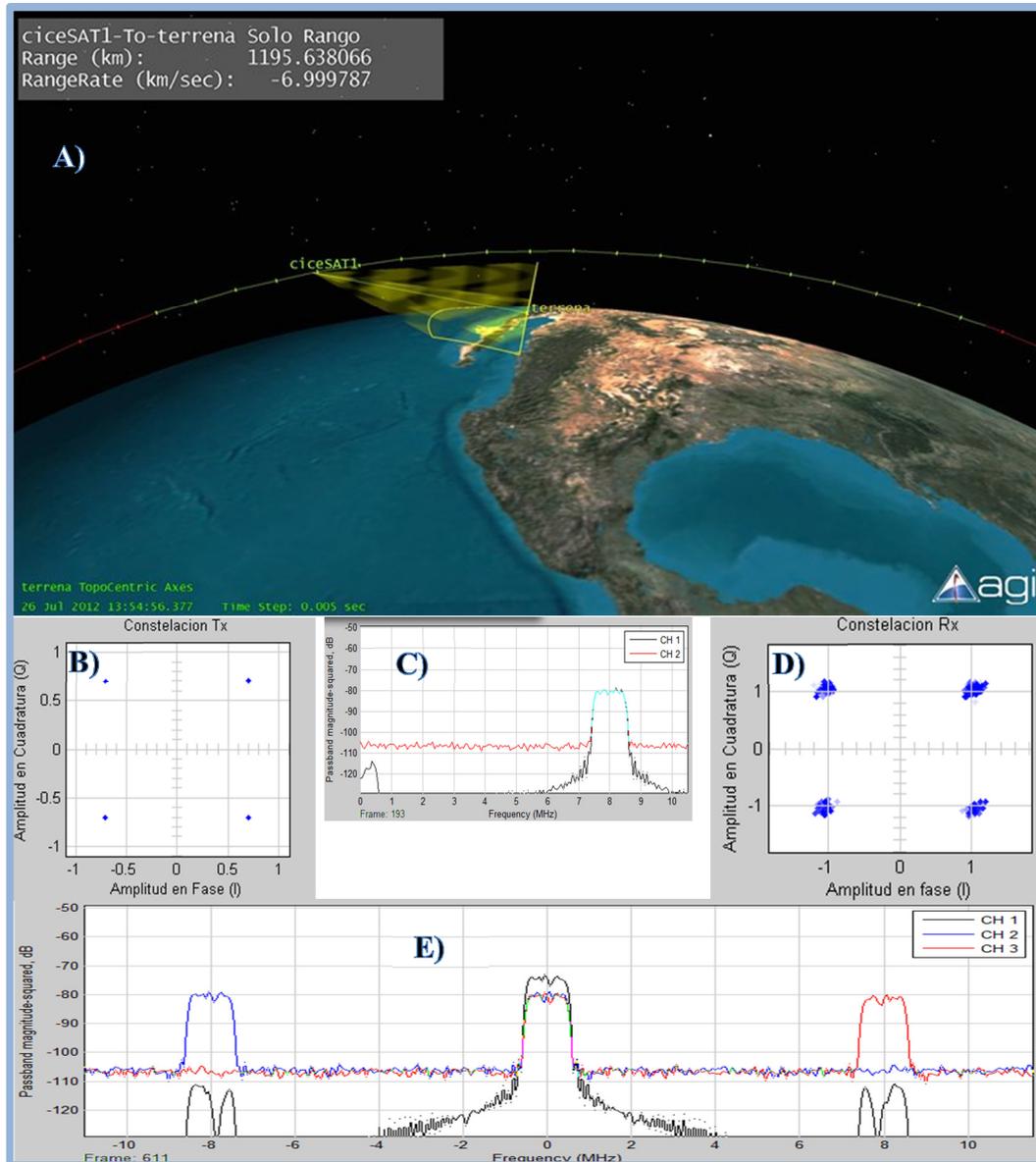


Figura 61. Modelado vinculado con STK (A) con enlace a niveles de **SNR 11dB**; B) Constelación fuente; C) CH1: señal modulada antes del canal, CH2: señal después del canal; D) Constelación recibida; E) CH1: señal original (BB), CH2: señal recuperada <punto-flotante>, CH3: señal recuperada <punto-fijo>.

En la Figura 61 se aprecia el escenario del enlace a 1195 Km de distancia, que representa un nivel de SNR de 11dB, en 'B)' y 'D)' se muestran las constelaciones que se establecen como *QPSK* de transmisión y recepción respectivamente, 'C)' muestra el espectro de la señal modulada antes y después del canal. Por último en 'E)' es graficado el espectro en banda base de la señal transmitida (CH1) y contrastado con la señales recibidas en punto fijo (CH3) y punto flotante (CH2).

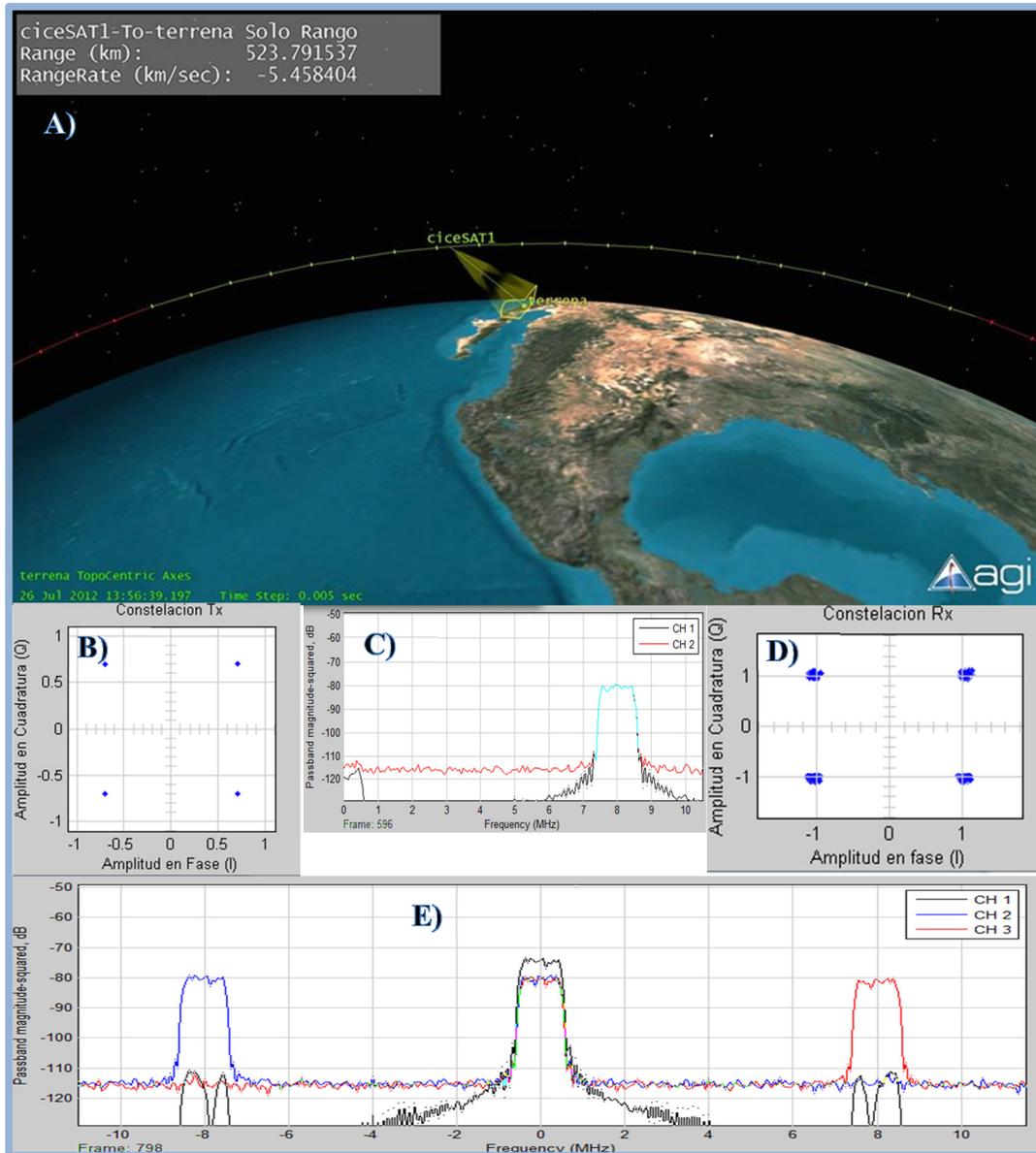


Figura 62. Modelado vinculado con STK (A) con enlace a niveles de **SNR 20dB**; B) Constelación fuente; C) CH1: señal modulada antes del canal, CH2: señal después del canal; D) Constelación recibida; E) CH1: señal original (BB), CH2: señal recuperada <punto-flotante>, CH3: señal recuperada <punto-fijo>.

En la Figura 62 se aprecia el escenario del enlace a 523 Km de distancia, que representa un nivel de SNR de 20dB, en 'B)' y 'D)' se muestran las constelaciones que se establecen como QPSK de transmisión y recepción respectivamente, 'C)' muestra el espectro de la señal modulada antes y después del canal. Por último en 'E)' es graficado el espectro en banda base de la señal transmitida (CH1) y contrastado con las señales recibidas en punto fijo (CH3) y punto flotante (CH2).

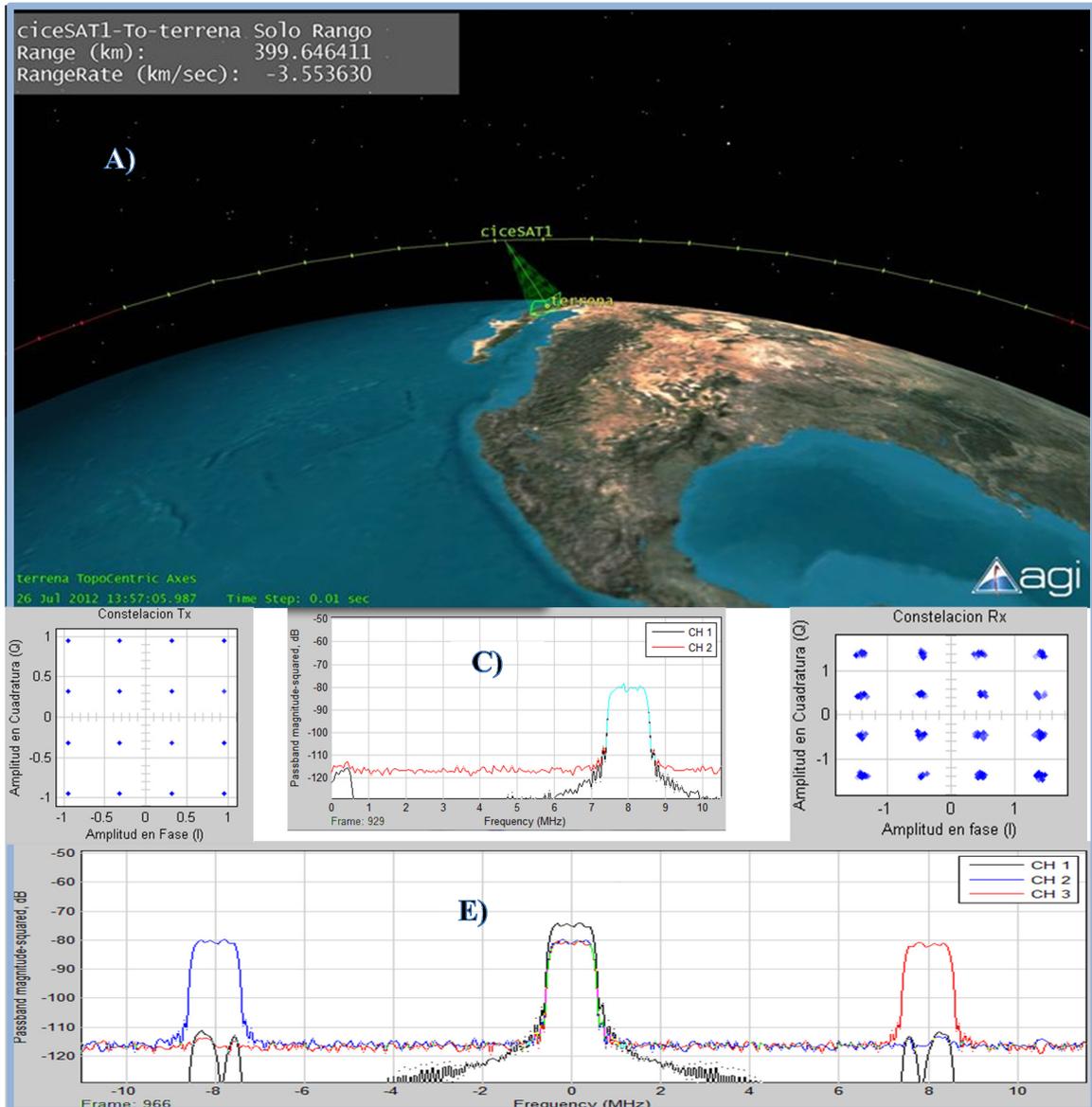


Figura 63. Modelado vinculado con STK (A) con enlace a niveles de **SNR 21dB**; B) Constelación fuente; C) CH1: señal modulada antes del canal, CH2: señal después del canal; D) Constelación recibida; E) CH1: señal original (BB), CH2: señal recuperada <punto-flotante>, CH3: señal recuperada <punto-fijo>.

En la Figura 63 se aprecia el escenario del enlace a 399 Km de distancia, que representa un nivel de SNR de 21dB, en 'B)' y 'D)' se muestran las constelaciones que se establecen como QPSK de transmisión y recepción respectivamente, 'C)' muestra el espectro de la señal modulada antes y después del canal. Por último en 'E)' es graficado el espectro en banda base de la señal transmitida (CH1) y contrastado con la señales recibidas en punto fijo (CH3) y punto flotante (CH2).

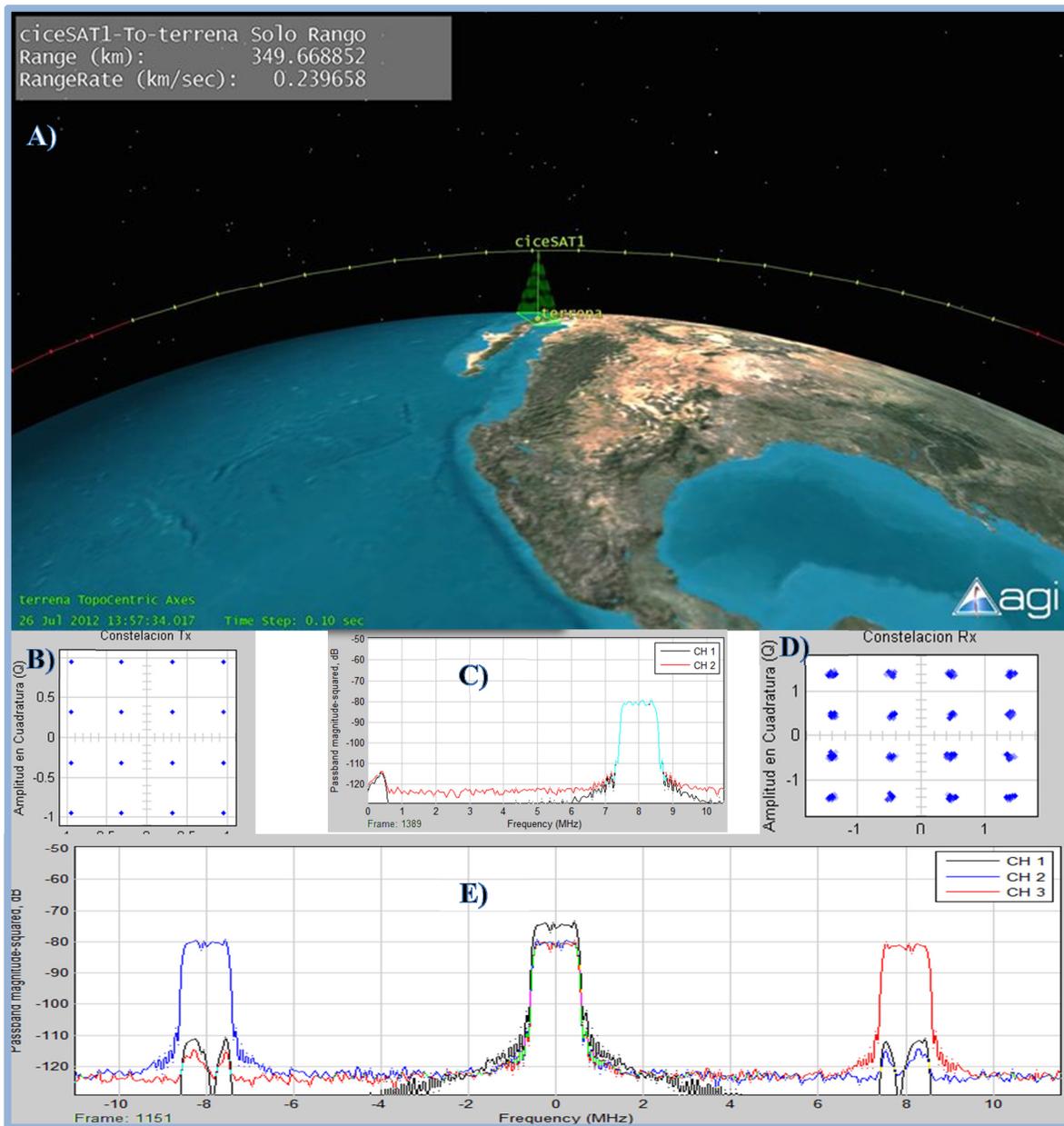


Figura 64. Modelado vinculado con STK (A) con enlace a niveles de **SNR 28dB**; B) Constelación fuente; C) CH1: señal modulada antes del canal, CH2: señal después del canal; D) Constelación recibida; E) CH1: señal original (BB), CH2: señal recuperada <punto-flotante>, CH3: señal recuperada <punto-fijo>.

En la Figura 64 se aprecia el escenario de *mínima distancia* del enlace a 349 Km de distancia, que representa un nivel de SNR de 28dB, en 'B)' y 'D)' se muestran las constelaciones que se establecen como 16-QAM de transmisión y recepción respectivamente, 'C)' muestra el espectro de la señal modulada antes y después del canal. Por último en 'E)' es graficado el espectro en banda base de la señal transmitida (CH1) y contrastado con la señales recibidas en punto fijo (CH3) y punto flotante (CH2).

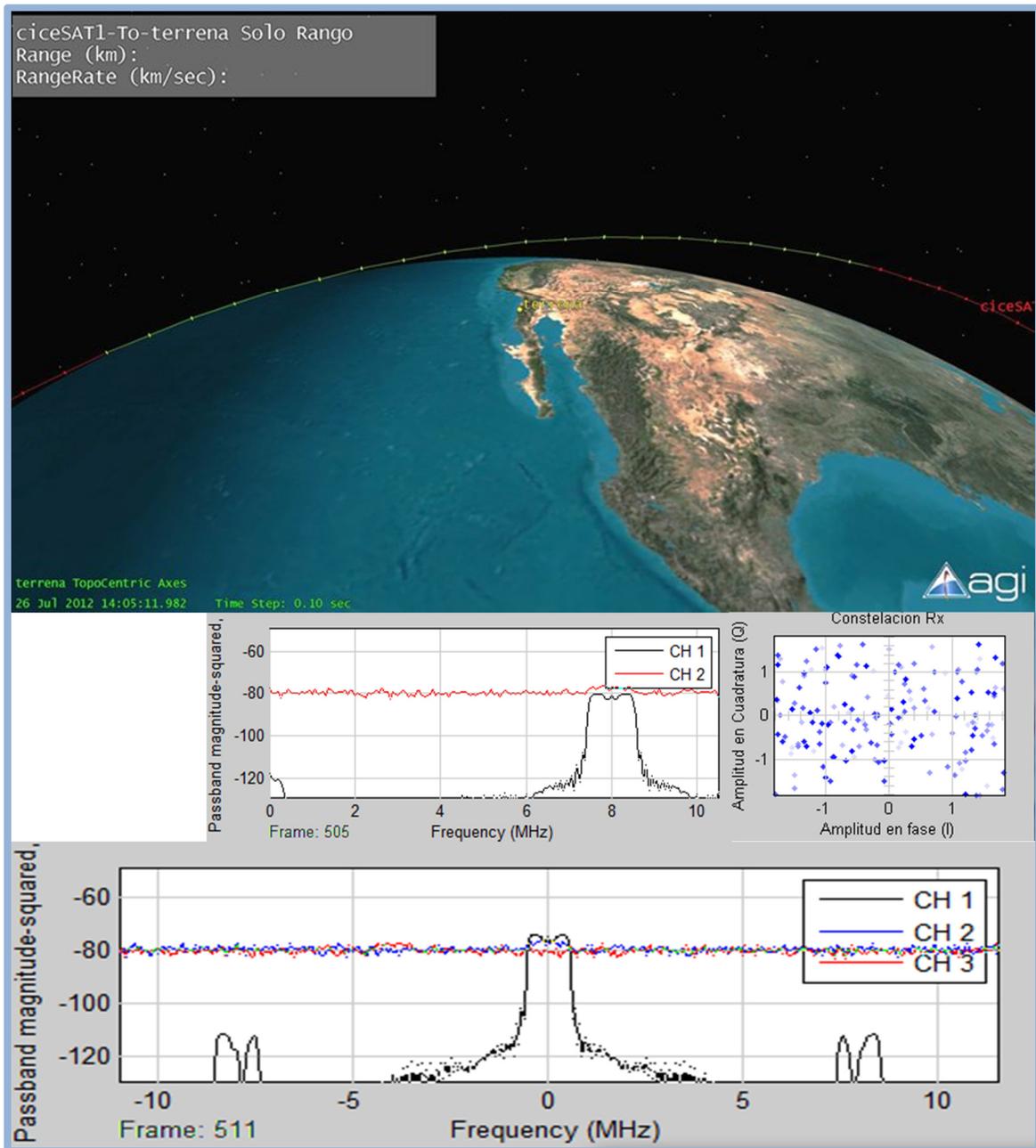


Figura 65. Modelado vinculado con STK (A) **sin enlace**; C) CH1: señal modulada antes del canal, CH2: señal después del canal; D) Constelación recibida; E) CH1: señal original (BB), CH2: señal recuperada <punto-flotante>, CH3: señal recuperada <punto-fijo>.

En la Figura 65 se aprecia el escenario sin enlace, en 'D' se muestra la constelación, la cual consisten de ruido, 'C' muestra el espectro de la señal modulada. Por último en 'E' es graficado el espectro en banda base de la señal transmitida (CH1) y la incapacidad de detección alguna de la señal de información original. (CH2 y CH3).

Capítulo 6

Implementación del prototipo en el FPGA

El problema clásico al involucrar hardware y software en un diseño, se presenta en la integración de estos dos procesos para la construcción de los subsistemas electrónicos y siempre se considera un reto. El presente trabajo propone como término, la construcción de un prototipo para validar el diseño y prueba de concepto en un dispositivo de hardware final en el que se *descargará* la solución. Este hardware procesará uno de los algoritmos implementados en software (Tabla 10). El flujo de instrumentos que se seguirá se presenta en la Figura 66, hasta llegar a la implementación física donde se valida la funcionalidad en Matlab del DUT, al implementar la técnica de co-simulación HIL (Hardware In the Loop) para la verificación del modelo desplegado en el FPGA y dispuesto en la tarjeta de evaluación. En este capítulo se mostrará la construcción y los resultados obtenidos de la propuesta del sistema de comunicación utilizando datos de Telemetría en el subsistema en la tarjeta de desarrollo.

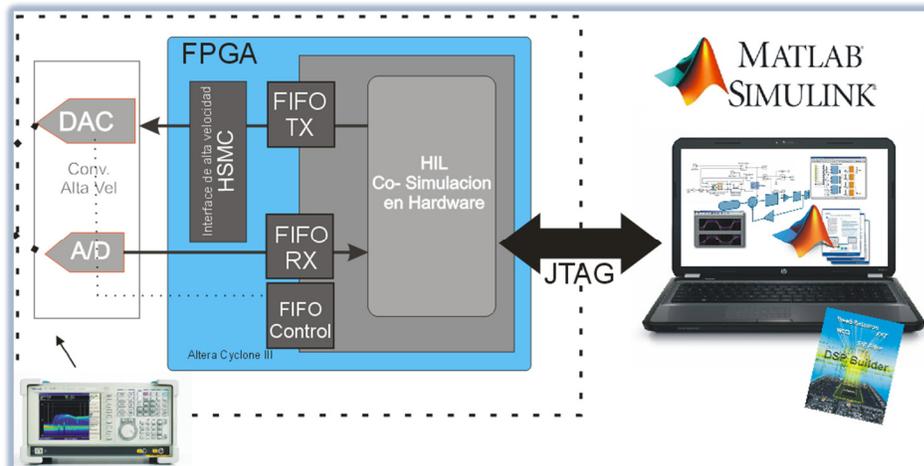


Figura 66. Esquema de co-simulación cumplido en este proyecto.

6.1 Fragmentando la solución del sistema

Una estrategia adecuada en el diseño de la arquitectura completa del sistema consiste en identificar las funciones que pretendan ser implementadas en lógica configurable. A pesar de que todos los componentes lógicos y de procesamiento en banda base (exceptuando las memorias de alto desempeño) puedan ser dispuestas en el FPGA sin inconveniente alguno, habrá que centrar el análisis en la sección crítica del radio, donde el diseño debe identificar los tipos de procedimientos requeridos y representación del procesamiento óptimo para cada operación. La ventaja de esto es que el algoritmo utilizado en la simulación se pueda probar de forma independiente en el dispositivo en cuestión, y todo antes de que sea integrado y desplegado en un sistema de comunicaciones pretendido, así la interconexión de los distintos bloques algorítmicos se realiza de manera confiada asegurando la operación adecuada en el sistema final.

6.2 Plataforma de desarrollo para la evaluación

Se han mencionado las herramientas donde se compone y modela el diseño, pero igual de importante son los recursos físicos para su implementación última. El objetivo de nuestro algoritmo será un FPGA Cyclone III EP3C25F324C8, el cual se encuentra en la tarjeta de evaluación ofrecida por Altera CO. (2009, <http://www.altera.com/products/devkits/altera/kit-cyc3-starter.html>). Esta tarjeta servirá de plataforma ya que cuenta con las principales características:

- Bajo consumo del dispositivo Cyclone III EP3C25 en empaquetado FineLine BGA (FBGA) de 324-pines
- Conector expandible de alta velocidad *High Speed Mezzanine Card* (HSMC)
- Memoria 32-megabytes (MB) DDR SDRAM
- Memoria 16-MB dispositivos flash paralelo para configuración y almacenado

Las anteriores son solamente algunas de las particularidades básicas. Una completa descripción de la plataforma puede encontrarse en (Altera, 2012b). En resumen, ésta opción posibilita la implementación del diseño en un FPGA permitiendo la

configuración y comunicación directa con el dispositivo Cyclone III vía JTAG, que es un estándar de acceso y programación a la circuitería utilizado ampliamente en el desarrollo de sistemas embebidos. Además tienen bajo consumo de energía y un puerto de alta velocidad para la incorporación de convertidores DAC y ADC requeridos para las señales reales analógicas. Esta plataforma es una de las versiones más económicas que ofrece esta compañía para el diseño modular. En el apéndice C, se muestran imágenes de la tarjeta e información detallada del esquemático.

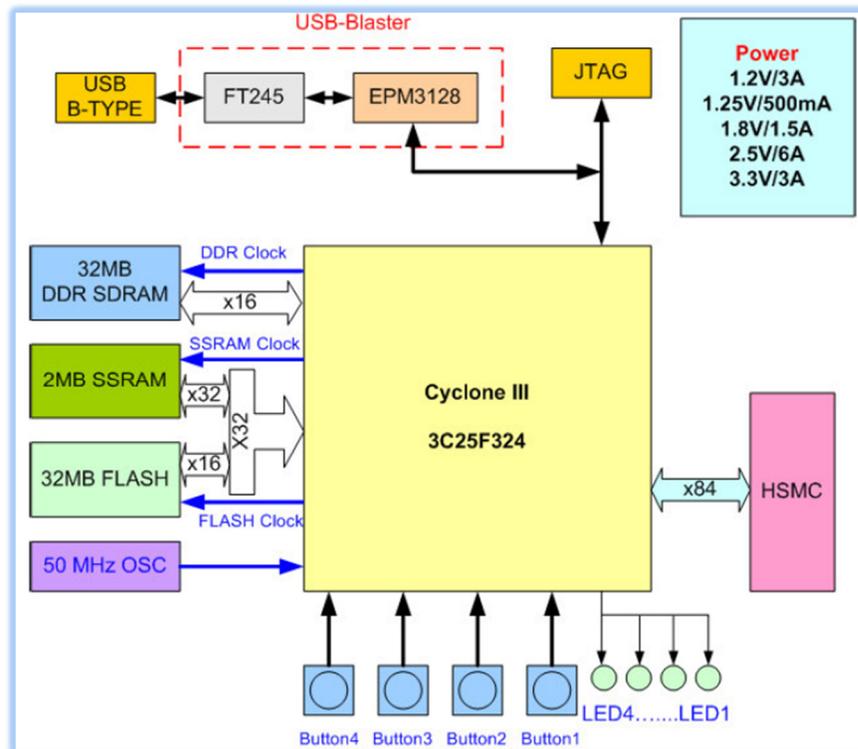


Figura 67. Diagrama funcional de la tarjeta de implementación EP3C25 utilizada para el Cyclone III FPGA.

6.3 Co-simulación y verificación en HW (HIL)

Existen múltiples maneras de verificar y probar la funcionalidad de un diseño digital para una implementación en hardware, a continuación se describe como se realiza utilizando un FPGA como DUT:

Se parte del diseño modular con un alto nivel de abstracción y se busca llegar a la implementación en un contexto holista. Como se indicó en el capítulo anterior, es viable combinar el desarrollo algorítmico de simulación y prueba construyendo un ambiente completo de desarrollo y verificación del Hardware conocido como co-simulación software (*SW*)/hardware (*HW*), o en nuestro caso RIL (Radio In the Loop). Así se provee un método directo en tiempo real para la verificación del hardware involucrado en el proceso de simulación y ejecución en paralelo del *SW* y *HW* que permita evaluar el algoritmo implementado dentro de una simulación que “corre” al mismo tiempo que en el *FPGA*. Así los resultados del archivo compilado son establecidos en el dispositivo en vez de ser emulados en software. *HIL* soporta funciones avanzadas incluyendo salida de puertos de entrada/salida, y permite el uso de componentes de hardware conectados al *FPGA*, logrando con esto, la interfaz para la conversión digital/analógica de alta velocidad. De esta manera la comunicación permite la asociación de datos generados en el programa para la verificación y comparación de resultados. Esta capacidad de co-simulación genera la síntesis, mapeo lógico, el enrutamiento y finalmente el archivo binario de programación para el *FPGA* en la tarjeta de evaluación correspondiente, proporcionando el canal de comunicación para enviar y recibir datos desde y hacia Simulink.

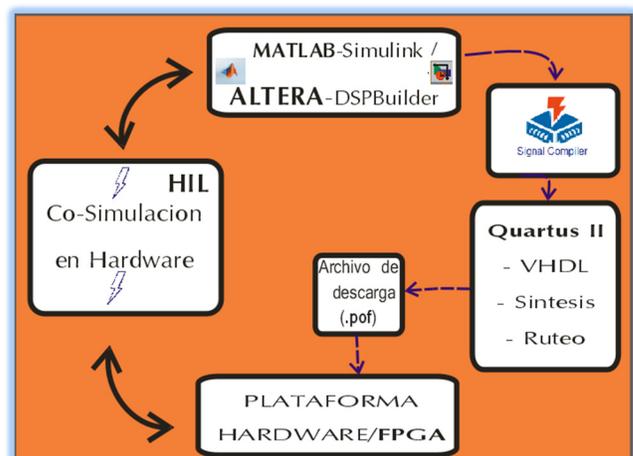


Figura 68. Flujo a nivel sistema usado la herramienta DSP Builder, modelado en Simulink, elaboración e implementación en hardware vía DSPBuilder y verificación en hardware HIL.

Para utilizar el método HIL es necesario una plataforma de desarrollo de FPGA con comunicación de interfaz 'USB-Blaster™ cable' entre Simulink y la tarjeta con el FPGA en concreto. Los bloques compuestos con librerías estándares de Simulink conforman el algoritmo general, mientras que los bloques que define la arquitectura a realizar son dispuestos por la herramienta DSP-Builder de Altera, que para efectos del modelo son equivalentes para implementarlos en el FPGA. Finalmente, después del cómputo paralelo los datos son analizados y comparados nuevamente en el contexto de módulos de instrumentación estándar de Simulink.

6.4.2 Prueba en la plataforma experimental para la validación.

En este apartado se muestra y discuten los resultados de manera que podamos evaluar lo comprendido y el desempeño real de la propuesta SDR utilizando HIL. Para probar el sistema presentando datos generados por Matlab/Simulink, símbolos según su respectiva constelación que deben pasar por el elemento de prueba en Hardware, posteriormente por el modelo del canal y, por último, al receptor en la etapa de decodificación y detección para la recuperación de la información original. La disposición experimental del diseño se articuló en la forma de mezclador complejo (típico en sistemas de comunicaciones) y en donde el NCO (oscilador digital en cuadratura) se descargó en el dispositivo lógico programable, de manera que se especificara el método RIL, obteniendo con esto la capacidad de movilidad en el espectro dentro de nuestro sistema de comunicación.

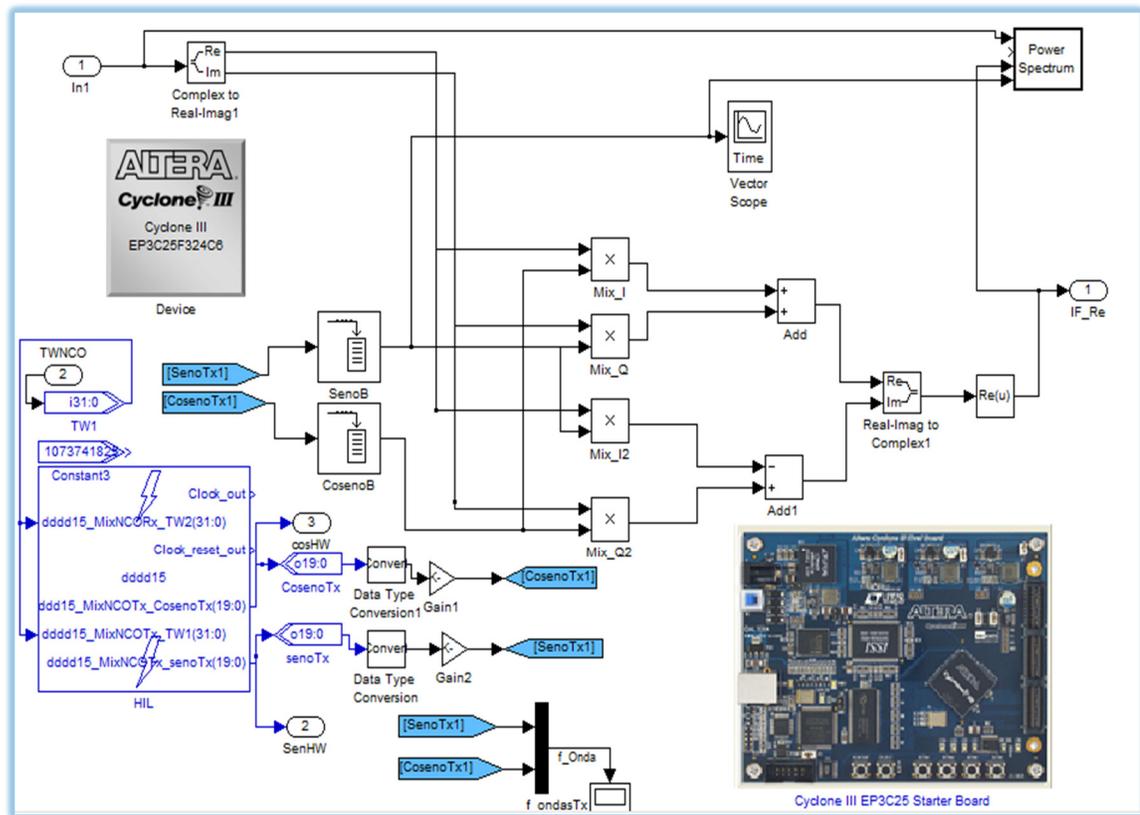


Figura 69. Modulador complejo en cuadratura que incluye el componente que será evaluado en el FPGA Cyclone III.

Ya que el modelado de los algoritmos se haya probado en alto nivel, el diseño puede ser sintetizado y empotrado en el FPGA de Atera.

A continuación se explica la puesta en operación del enlace entre Simulink y la tarjeta con el FPGA usando HIL de acuerdo a los siguientes pasos:

1. Se crea un proyecto de Quartus II que define la funcionalidad que se quiera cosimular en el Hardware, utilizando el bloque *Signal Compiler* para compilar el proyecto a través del enrutador de Quartus II
2. Se agrega un bloque HIL al modelo de Simulink y se importa el proyecto compilado de Quartus II al bloque HIL. Así mismo se puede colocar instrumentación al bloque HIL de las librerías de Simulink. En caso de que el diseño original contenga un reloj con periodo distinto a los valores nominales, habrá que incorporar un bloque de reloj con los mismos valores que el bloque HIL.

3. Se especifican los parámetros del bloque HIL
 - a. El proyecto de Quartus II que defina la funcionalidad
 - b. Las terminales de reloj y reset
 - c. El nivel de activación de reset
 - d. Las características (formato numérico) de los puertos (I/O)
 - e. El modo de simples muestras, o modo ráfaga.
4. Se compila el bloque *HIL* para generar el archivo objeto (.sof) para la co-simulación en hardware.
5. Se busca la interface *JTAG* conectada al dispositivo *huésped*.
6. Se programa la tarjeta que contiene el *FPGA*.
7. Se simula combinando el sistema mediante software y hardware dentro del ambiente de Simulink.



Figura 70. Bloque SC en la librería AltLab, del conjunto de bloques de Altera DSP Builder que permite la generación del archivo VHDL.

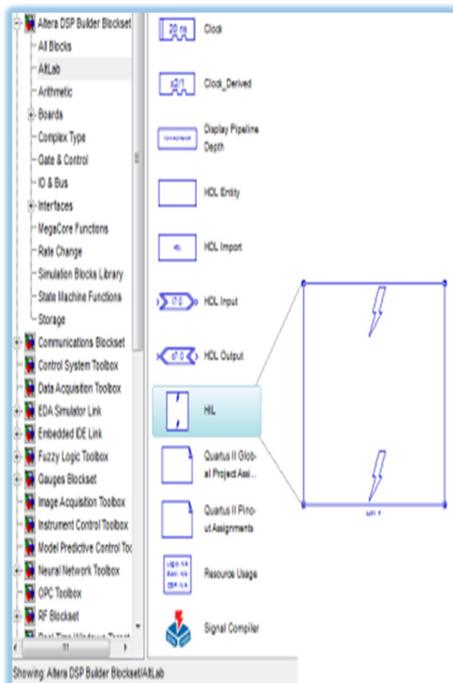


Figura 71. Bloque HIL en la librería AltLab del conjunto de bloques de Altera DSP Builder que permite la funcionalidad y representa la lógica implementada en el FPGA.

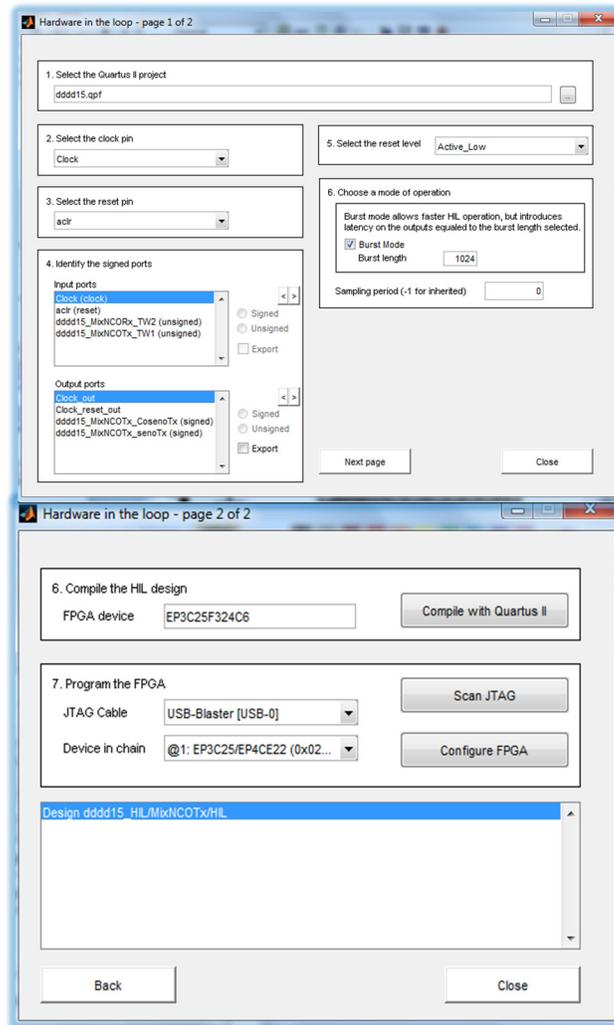


Figura 72. Parámetros de configuración y compilación para HIL.

Parámetros de corrida

- Tipo de datos en transmisión: **Aleatorio**
- Adaptación automática de tasa y esquema de modulación (**BPSK, QPSK, 16-QAM**) que depende de niveles de SNR.
- Medición de BER en la excursión completa del valores SNR: **0db-22db**
- Trayectoria **punto flotante** (DSP Toolbox) y **punto fijo** (FPGA)
- Método de generación de sinusoides en punto fijo: **CORDIC**.
- Niveles de reducción de componentes espurias: **Medio**.
- La Función NCO incluye **2 canales** de salida: seno y coseno (osciladores en fase y cuadratura).

Resultados

La primera métrica que resulta de la comparación Simulink / (DSP-Builder) se enfoca a los valores de BER obtenidos a completa excursión de posibilidades de SNR (0-26dB).

Tabla 11. Resultados comparativos y certificación del algoritmo a excursión completa.

Excursión completa	Errores en Punto Flotante	Errores en Punto Fijo (FPGA)
1ra	33	33
2da	26	22
3ra	35	16
4ta	9	39
5ta	37	35
6ta	7	14
7ma	30	19
8va	34	40
9na	33	52
10ma	18	16
Errores Totales	262	286
Datos Totales	4.951e5	4.838e5
BER	0.0005292	.0005912

Discusión

Se identifica en la información proporcionada por la tabla 10, la minúscula discrepancia en cuanto al desempeño general de ambos trayectos, de manera que el recurso que procesa la modulación en la etapa de IF en hardware presenta un desempeño competente y operable para los niveles de BER admitidos para un enlace satelital típico de 10^{-4} (Miller, Vucetic, & Berry, 1993). Es importante también justificar a favor del algoritmo en Hardware que además de la adaptación dinámica al esquema de modulación (BPSK, QPSK y 16-QAM), el mezclado digital también tiene un comportamiento dinámico, cambiando instantáneamente la frecuencia intermedia de modulación y demodulación del oscilador local para los distintos esquemas a 4, 6 y 8 MHz respectivamente. Con la introducción del código aleatorio que esparce los

armónicos o frecuencias espurias a lo largo del ancho de banda operante, y según el análisis de pureza espectral podemos atribuir la diferencia del desempeño a estos factores. Así que, aunque el resultado final se compara en términos de BER de los algoritmos con punto flotante y el algoritmo de punto fijo que se ha desplegado en hardware, la capacidad y adaptabilidad al canal en tiempo real facilita nuestra propuesta SDR implementada en el FPGA.

Resultado de la síntesis en el FPGA

La segunda métrica que se ha de valorar es aquella en lo concerniente a los recursos físicos necesarios para implementar el algoritmo en el FPGA. En la tabla 12 se muestra el resumen de este resultado.

Tabla 12. Resumen final de recursos de Hardware desplegados para el segmento implementado.

Flow Status	Successful - Fri Aug 24 15:56:30 2012
Quartus II 32-bit Version	11.1 Build 173 11/01/2011 SJ
Revision Name	Final
Family	Cyclone III
Device	EP3C25F324C6
Total logic elements	2,465 / 24,624 (10 %)
Total combinational functions	2,138 / 24,624 (9 %)
Dedicated logic registers	1,570 / 24,624 (6 %)
Total registers	1570
Total pins	108 / 216 (50 %)
Total memory bits	245,760 / 608,256 (40 %)
Embedded Multiplier 9-bit elements	0 / 132 (0 %)
Total PLLs	0 / 4 (0 %)

Es de resaltar los totales de recursos utilizados, específicamente los de elementos lógicos que se llegaron a implementar en un décimo de la capacidad del FPGA, lo cual indica la subutilización del dispositivo y la cabida a incluir aún más lógica integrada en el radio digital. Otro factor a resaltar es el 40% de recursos en memoria

y la nula utilización de unidades multiplicativas empotradas. Lo anterior fue sintetizado en el dispositivo EP3C25F324C6, es parte de la tercera generación de la familia *Cyclone* que está orientada para aplicaciones de bajo consumo de potencia. Este dispositivo satisface los objetivos de este trabajo para tener una plataforma de bajo costo sobre medios de bajo consumo para aplicaciones de vanguardia aeroespacial.

Resultado de envío de datos de telemétricos

Hasta ahora se han contemplado datos aleatorios para el diseño y análisis, sin embargo, la razón de esta propuesta se centraliza en el envío de información de carga científica útil, por lo que específicamente se considera una imagen con características enunciadas en la tabla 13. Esta fuente de datos es transferida de un archivo en memoria e introducida pixel por pixel y descompuesta de forma binaria, procesada por el modelo propuesto de *Software Radio* con la modalidad *Radio In the Loop*, de manera que se requiere el procesamiento en hardware del algoritmo en cuestión. Se ha incorporando una manera de reconocimiento visual para probar la funcionalidad, no solo del Radio sino del sistema en general, utilizando el bloque *Matrix Viewer* de Simulink, en el cual se despliega la imagen en 2-dimensiones de 256 pixeles cuadrados. En la Figura 74 se muestran las imágenes monocromáticas transmitida y recibida en escala de grises después de pasar por el procesamiento y canal correspondiente. La Tabla 13 muestra los resultados cualitativos y cuantitativos del experimento.

Tabla 13. Descripción de la información de carga útil científica.

Tipo de Archivo	JPEG image (.jpg)
Tamaño	15.3 KB (15,669 bytes)
Tamaño en disco	16.0 KB (16,384 bytes)
Dimensiones de matriz	256X256X3
Dimensiones totales	196,608 Bytes
Clase de dato	Entero 8bits sin signo (uint8)
Datos de información útil	65,536x1 [uint8]

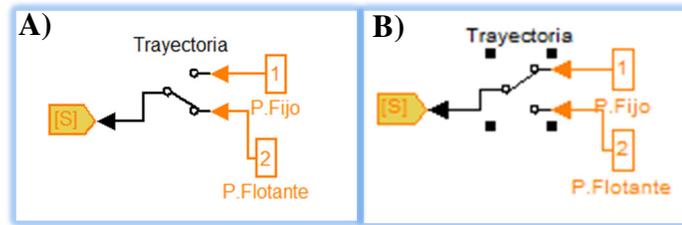


Figura 73. Trayectorias de valoración del sistema. A) Algoritmo en punto flotante (simulink); B) la trayectoria del algoritmo de punto fijo (FPGA).

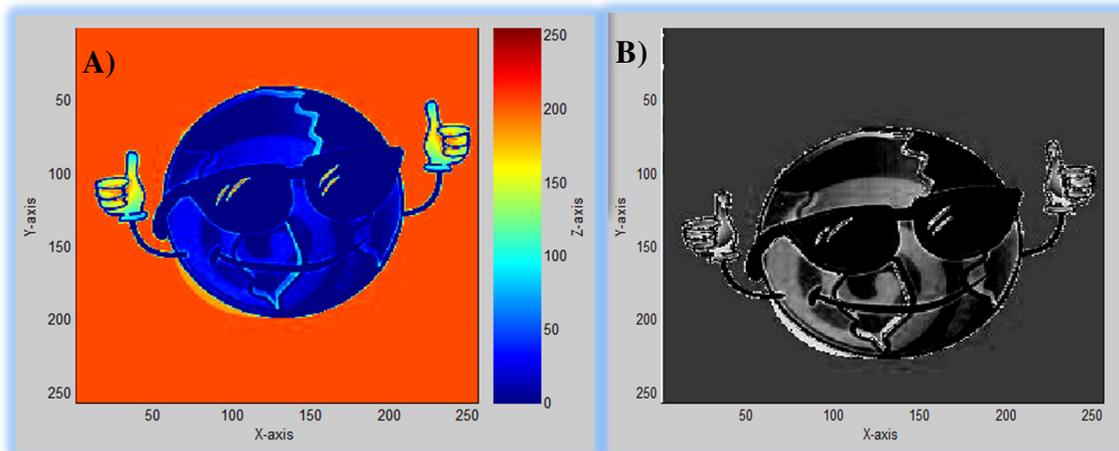


Figura 74. Imagen utilizada para validar el algoritmo en hardware. A) Transmitida; B) Recibida. Royalty-Free License: Earth Sunglasses Thumbs Up © Madartists

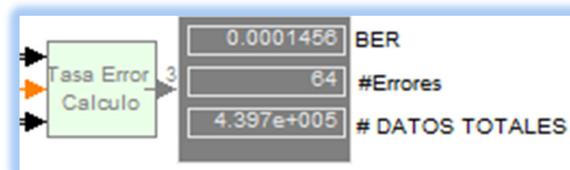


Figura 75. Resultado final en términos del número de errores y BER de ambas trayectorias estos valores se obtuvieron con condiciones de canal de 22 dB, y una constelación de 16-QAM.

Discusión final

Con los resultados de errores mostrados y las ilustraciones gráficas se prueba y acredita nuestra solución en hardware fijada en el modelo completo de enlace de comunicaciones para el nano satélite. Cabe precisar que el corrimiento en la imagen de recepción se debe al tiempo de procesamiento y propagación de la señal, así mismo existe una ligera pérdida de información debido a la falta de establecimiento en la profundidad del algoritmo de corrección de errores.

Capítulo 7

Conclusiones generales

Se concluye que este trabajo permite una solución versátil con importantes prerrogativas en sistemas de comunicaciones inalámbricas ofreciendo al reto telemétrico ventajas no presentes en el estado de la técnica, alejando las rígidas condiciones paramétricas de los diseños actuales. Los presupuestos de enlace de comunicación satelital ya no son calculados considerando el escenario más adverso del recorrido orbital ya que, dadas las condiciones dinámicas del canal en una órbita baja (LEO), puede mejorar sus características a partir del momento de avistamiento, evitando así la subutilización de los recursos disponibles del subsistema de comunicación. Se aplica con esto, el concepto de *radio adaptativo* en aplicaciones aeroespaciales logrando tener en todo momento una mayor eficiencia del sistema.

Al explorar el contexto integral se identifica plenamente la justificación específica en el diseño de esta propuesta de solución al problema. Se presentó preponderantemente el marco tecnológico, la interacción y fusión de tres tecnologías de vanguardia como son: La tecnología de satelital, Radio Definida en Software (SDR) y la Lógica Programable en Campo (FPGA), las cuales se plantearon para resolver problemas apremiantes de la ciencia espacial aplicadas para satélites pequeños.

Estos métodos, incorporan unidades de modelado para condiciones cambiantes y, en consecuencia, la habilidad para modificar los parámetros de operación pudiendo soportar nuevas funciones aún en órbita, brindando con esto una aproximación al concepto de *Radio Cognitivo*.

El sistema comprendido en el presente trabajo, además de su implementación exitosa, brinda también una plataforma experimental y su flujo de diseño que desde la concepción original, la definición algorítmica hasta la implementación física en el

hardware, y pretende junto con sus herramientas brindar un gran potencial para la expansión y futuros mejoramientos de reingeniería.

Se concluye también que un radio especificado en una plataforma SDR (motivo de este trabajo) desplegado dentro de tecnología FPGA en comparación con GPP y DSP, ofrece ventajas importantes, no obstante desafíos aún por resolver, la tendencia sigue siendo el regreso a lógica programable (FPGA) como la plataforma estándar para banda ancha.

La implementación en hardware del método de sintetizado de señal en la etapa de mezclado complejo en cuadratura IF digital, se estudió en términos de pureza espectral respecto a distintos algoritmos y generadores de osciladores locales con el fin de lograr un compromiso adecuado entre los recursos con los que se contaba para implementar la solución y asegurar su eficacia.

La última parte se dedicó a la co-simulación en hardware, y se obtuvo el análisis comparativo en términos del BER de ambas trayectorias (la de referencia y la propuesta para el vuelo), y se pudo corroborar que entre mayor sea el orden del esquema de modulación, se amplía la eficiencia espectral y si bien esto implica un mayor ancho de banda o mas capacidad sobre el mismo, existe siempre el compromiso con estos ordenes elevados de mayor vulnerabilidad a distorsiones, lo que resulta en un incremento en el numero de errores.

Aunque no se verificó el efecto *Doppler*, se puede indicar que la arquitectura es lo suficientemente versátil para corregir este fenómeno de manera eficaz para satélites LEO.

En cuanto a la codificación de canal, implementada para la detección y corrección de errores que posibilita preservar nuestros gastos de potencia ya que sin estos habría la necesidad de aumentar los consumos de potencia de transmisión que se vería reflejado en costos y exigencias mayores para el satélite. Sin embargo, estos códigos comprometen el caudal eficaz e incorporan procesamiento a bordo, es por eso que se piensa en volver adaptable también ésta etapa de codificación para el mejor desempeño, que sería factible de incorporar en base a nuestra plataforma.

7.1 Aportaciones

Como contribuciones de esta tesis, primeramente se describe el ambiente específico de un sistema satelital de orbita terrestre baja, exponiendo la problemática actual relacionada a ésta tecnología espacial, y se ofrece como propuesta elementos de vanguardia de hardware donde se despliega la funcionalidad, así como el procedimiento (programas y herramientas de compilación), donde se da el proceso de desarrollo para emigrar del concepto a la implantación, detallándose como robusto, versátil, simple, pero lo suficientemente sofisticado para los distintos cometidos donde se pueda implementar y experimentar con algoritmos tan complejos como se exija. Después de hacer una revisión detallada se puede apreciar la ausencia de esto en los sistemas de comunicaciones para satélites pequeños contenidos en el estudio de Klofas (2008), y aunque muy recientemente se han propuesto sistemas SDR en FPGA implementando QPSK (Rodriguez, Mensinger, Ahn, & Lu, 2011), BPSK (Krivic & Štimac, 2011), inclusive se ha presentado la opción de modulación adaptable al canal en aplicaciones para picosatélites (Wilke, Ralf. 2011). Sin embargo no se encuentran en el estado de la técnica dichas tecnologías desplegadas en una sola plataforma con las particulares aquí expuestas, por lo que eventualmente este trabajo puede desembocar en un mejoramiento en aplicaciones que aporten a la tecnología SDR aplicada al espacio.

Aunque se evaluaron distintas alternativas de diseño para la implementación de la solución, seleccionamos la herramienta de alta especialización que aplica Mathworks junto con Altera y su familia de dispositivos Cyclone III (en específico el EP3C25F324C6N) en la plataforma de evaluación de Altera. Se logró implementar el modelo del algoritmo y descargar eficientemente el código de programación para transmisión de un esquema de modulación en la herramienta integral de desarrollo. Finalmente se consiguió la validación de estas tecnologías, que al implementarse en algún caso en específico siempre es un reto, sobre todo en su optimización.

El desarrollo de este trabajo tendrá un impacto potencial al establecer un modelo confiable del enlace de comunicación de datos telemétricos donde se describa el concepto de SDR en la etapa de pasa banda (IF) de un sistema de telecomunicación para satélites, implementado en hardware de bajo costo relativo y convenientemente

flexible, el cual puede reproducirse y aplicarse a distintos escenarios de solución en comunicaciones inalámbricas, más allá de misiones con satélites pequeños, en general proyectos móviles digitales con recursos limitados.

Relativo a estas y otras posibles aplicaciones, se ofrece este trabajo como referencia positiva dentro de un ambiente integrado de análisis, diseño y verificación, que aspira a contribuir en lo posible, a dejar las bases del desarrollo de un subsistema de Telemetría, Telecomando y Control (TTyC), con las características enunciadas en los objetivos. Además, permitirá a los ingenieros y desarrolladores en el área aeronáutica/espacial, contar con una plataforma de modelado rápido, para el diseño de subsistemas de comunicaciones aéreas/satelitales con los más altos niveles de sofisticación que al día de hoy se tienen.

7.2 Trabajo futuro

Las implicaciones y potencialidades de éstas tecnologías apenas se comienzan a vislumbrar, sin embargo seguramente serán explotadas al máximo a largo plazo. Mirando hacia el futuro inmediato, la tecnología *SDR* es una propuesta atractiva para sistemas de comunicaciones que hoy se consideran de alto interés en la investigación. En proyectos académicos se entrevén estas inclinaciones para su desarrollo, lo mismo con los dispositivos de lógica programable que aún es un campo fértil y con mucho fondo para futuros avances científicos.

Debido a la conveniencia de la plataforma de diseño que se planteó para la implementación, ésta permite incluir más ideas para robustecer el subsistema de comunicación, por lo que se plantea para mediano plazo:

- Incluir en el FPGA mayor lógica y procesamiento en banda base, entre los bloques que pueden cómodamente incluirse están los de multiplicación y filtrado digital, y en cuanto al manejo de Banda Base la incorporación del mecanismo FEC adaptativo para la corrección de errores, así como el mapeo digital.

- Incluir un procesador embebido en el FPGA donde autonomice y se establezcan los protocolos de capas superiores en el contexto integral de la solución.
- Agregar al receptor un método de recepción no coherente

Con todo, el radio ideal definido por software, que digitaliza una señal recibida de Radio Frecuencia (RF) inmediatamente después de la antena, actualmente se ve limitado por las altas frecuencias de las señales de los Sistemas Satelitales. Esto aún constituye una barrera para la incorporación de sistemas SDR ideales, básicamente por la ausencia de tecnología de tal velocidad, y convertidores de datos con suficiente poder de procesamiento y de bajo consumo de energía. Es por esto que se proyecta a largo plazo trabajar con electrónica de conversión más rápida, incluir la etapa de RF en la propuesta completa, y así se tenga la posibilidad de constituir el sistema completo en todos sus segmentos en un solo dispositivo integrado.

Respecto a la autonomía, a este trabajo le resta incorporar funcionalidades al procedimiento de Tele-Comando y Control, para con esto acercarse cada vez al concepto de 'Radio-Inteligente'. Y en lo relativo al segmento en tierra, la idea de Radio Definido por Software está llamada a ser la tecnología de las estaciones terrenas adaptativas, por lo que habría que contemplar también migrar de los paradigmas tradicionales de las actuales estaciones terrenas, con el fin de aprovechar al máximo las ventajas de la innovación tecnológica en el sector aeroespacial.

Referencias bibliográficas

- Accellera Systems Initiative. (2012). System C 2.2. Retrieved July 13, 2012, from <http://www.accelera.org/home/>
- Allnut, J., Pratt, T., & Bostian, C. (2002). *Satellite Communication* (2nd Ed.). Wiley.
- Altera. (2010). NCO MegaCore Function Version: 11.0. *User Guide*. Retrieved May 28, 2012, from http://www.altera.com/literature/ug/ug_nco.pdf
- Altera. (2012a). Software Defined Radio. *Home > End Markets > Wireless > Enabling Technologies*. Retrieved May 23, 2012, a from <http://www.altera.com/end-markets/wireless/advanced-dsp/sdr/wir-sdr.html>
- Altera. (2012b). Cyclone III FPGA Starter Kit. Retrieved b from <http://www.altera.com/products/devkits/altera/kit-cyc3-starter.html>
- Altera CO. (2009). Cyclone III Device Handbook, 1-2.
- Altera-Mathworks. (2012). DSP Builder. *Design Tools & Services > Design Software > DSP Builder*. Retrieved June 13, 2012, from <http://www.altera.com/products/software/products/dsp/dsp-builder.html>
- Analog Devices. (1999). A Technical Tutorial on Digital Signal Synthesis. Retrieved from <http://www.analog.com>
- Analog Devices. (2010). 1 GSPS Quadrature Digital Upconverter with 18-Bit I / Q Data Path and 14-Bit DAC, 1-64.
- Analytical Graphics, I. (2012). STK 9.2.4. Retrieved from <http://www.agi.com/products/>
- Andraka, R. (1998). A survey of CORDIC algorithms for FPGA based computers. *PoLAR*, 10. Retrieved from www.andraka.com/cordic.htm
- Baylis, C. (2002). *The Communications Method of Tomorrow*. Department of Electrical Engineering, University of South Florida.
- Brannon, B. (2003). Correlating highspeed ADC performance to multicarrier 3G requirements. Retrieved May 23, 2012, from <http://rfdesign.com/mag/radio/correlating/highspeed/adc>
- Chapin, J. (2002). *Software Engineering for Software Radios: Experiences at MIT and Vanu, Inc.* Wiley.

- Clarke, A. (1945). Extra -Terrestrial Relay: Can Rocket Stations Give World Wide Radio Coverage? *Wireless World*, 305-308. Retrieved from http://lakdiva.org/clarke/1945ww/1945ww_oct_305-308.html
- Creaney, S., & Kostarnov, I. (2008). Designing Efficient Digital Up and Down Converters for Narrowband Systems. *Xilinx*, 1113, 1-76.
- Crols, J., & Steyaert, M. (1997). *C-MOS Wireless Transceiver Design*. Kluwer Academic Publishers.
- Cummings, M., & Haruyama, S. (1999). The Software Radio. *IEEE Communications Magazine*, 37(2), 108-112.
- Frerking, M. E. (1993). *Digital Signal Processing in Communication Systems*. Van Nostrand Reinhold.
- Goldberg, B. (1996). *Digital Techniques in Frequency Synthesis*. McGraw-Hill.
- Haykin, S. (1994). *Communication Systems* (3rd Ed.). Wiley.
- Heidt, H., PuigSuari, J., Moore, A., Nakasuka, S., & Twiggs, R. (2001). CubeSat: A new Generation of Picosatellite for Education and Industry Low-Cost Space Experimentation. 14th AIAA/USU Small Satellite Conference.
- Hentschel, T., Henker, M., & Fettweis, G. (1999). The Digital Front-End of Software Radio Terminals. *Personal Communications, IEEE*, 6(4), 40-46.
- Herrera Lozada, J. C., & González Robles, J. C. (2000). Arquitectura FPGA. *Tecnologías Programables*. CIDETEC – IPN.
- Huie, J., Price, A., Pelt, R., & Jentz, B. (2005). Synthesizing FPGA cores for Software Defined Radio. Retrieved from <http://people.ece.cornell.edu/land/courses/ece5760/CPUs/SoftwareRadio.pdf>
- Klofas, B., & Anderson, J. (2008). A Survey of CubeSat Communication Systems. *Micro*, 1-25. Retrieved from <http://www.klofas.com/papers/CommSurveyDraft.pdf>
- Kramer, H., & Cracknell, A. (2008). An overview of small satellites in remote sensing. *International Journal of Remote Sensing*, 29, 1-15. Retrieved from <http://www.tandfonline.com/doi/abs/10.1080/01431160801914952>
- Kriegler, W. (2009). *Fixed-Point DSP Architecture for SDR. Transformation*. University of Stellenbosch.
- Krivić, P., & Štimac, G. (2011). *FPGA Implementation of BPSK Modem for Telemetry Systems Operating in Noisy Environments*. MIPRO. Opatija, Croatia: MIPRO. Retrieved from <http://www.scribd.com/doc/81726469/05967341>

- Long, M., Lorenz, A., Rodgers, G., Tapio, E., Tran, G., Jackson, K., Twiggs, R., et al. (2002). A CubeSat derived design for a unique academic research mission in earthquake signature detection,. Logan, Utah: 16th Annual AIAA/USU Conference on Small Satellites,.
- Lund, D. (2002). *Baseband Processing for SDR*. Wiley.
- Lynaugh, K. (2011). Approaches Communication Architectures, 17. Retrieved from <http://ppmo.arc.nasa.gov/media/Lynaugh.pdf>
- Lyons, R. (2008). Quadrature Signals : Complex, But Not Complicated. Retrieved from http://www.ieee.li/pdf/essay/quadrature_signals.pdf
- MathWorks. (2012). Filter Design and Implementation. *Signal Processing Toolbox*. Retrieved May 29, 2012, from <http://www.mathworks.com/help/toolbox/signal/ug>
- Miller, M., Vucetic, B., & Berry, L. (1993). *Satellite Communications: Mobile and Fixed Services*. (M. Miller, B. Vucetic, & L. Berry, Eds.). Springer.
- Mitola, J. (1992). *Software Radios Survey, Critical Evaluation and Future Directions*. *IEEE National Telesystems Conference*. Washington, DC.
- Mitola, J. (1995). The Software Radio Architecture. *IEEE Communications Magazine*, 33 No.5, 26-38.
- Pratt, T., Bostian, C. W., & Allnutt, J. E. (2003). *Satellite Communications* (2nd Ed.). Wiley.
- Proakis, J. (2002). *Digital Communications* (4th Ed.). McGraw Hil.
- Reed, J. (2002). *Software Radio: A Modern Approach to Radio Engineering*. Prentice Hall.
- Rodriguez, A., Mensinger, M., Ahn, I. S., & Lu, Y. (2011). Model-based Software-defined Radio (SDR) Design Using FPGA. *Electro/Information Technology (EIT)*, (May), 1- 6. Mankato, MN.
- SDRForum. (2012). <http://www.wirelessinnovation.org/>. Retrieved May 5, 2012, from <http://www.wirelessinnovation.org/>
- Serway, R., & Jewett, J. (2004). *Physics for Scientists and Engineers*. (Thomson Brooks, Ed.) (6th Ed.).
- Sklar, B. (2001). *Digital Communication*. Prentice Hall.

- Smith, S. (1999). *The Scientist and Engineer's Guide to Digital Signal Processing* (2nd Ed.). California Technical Publishing. Retrieved from <http://www.dspguide.com>
- Surrey. (2011). Surrey Space Centre, University of Surrey. Small satellites home page. Retrieved from <http://centaur.sstl.co.uk/SSHP/index.html>
- Texas Instruments. (2012). ADC12D1800. *ADC12D1800 12-Bit, Single 3.6 GSPS Ultra High-Speed ADC (Rev. L)*. Retrieved May 24, 2012, from <http://www.ti.com/product/adc12d1800>
- The MathWorks, I. (2012). Sitio oficial de Matlab. Retrieved May 30, 2012, from <http://www.mathworks.com>
- The MathWorks Inc. (2008). IEEE 802.16-2004 OFDM PHY Link, Including Space-Time Block Coding. published with Matlab 7.7.
- United Nations. (2011). *Towards Long-term Sustainability of Space Activities : Overcoming the Challenges of Space Debris Towards Long-term Sustainability of Space Activities : Overcoming the Challenges of Space Debris* (Vol. 80543, pp. 1-59). Retrieved from http://www.esa.int/SPECIALS/ECSL/SEMW2G58BOG_0.html
- Vladimirova, T., Wu, X., Sidibeh, K., Barnhart, D., & Jallad, A. (2006). Enabling Technologies for Distributed Picosatellite Missions in LEO. (A. H. and Systems, Ed.) *Adaptive Hardware and Systems*, pp. 330-337. First NASA/ESA Conference.
- Wilke, R. (2011). Adaptive Communication System for Pico Satellites. *Institute of High Frequency Technology*, 1-5. Retrieved from http://www.ihf.rwth-aachen.de/fileadmin/Download/Adaptive_Communication_System_for_Pico_Satellites.pdf
- Xilinx Inc. (2012). All Programmable technologies and devices. *Celebrating Customer Innovation*. Retrieved June 6, 2012, from <http://www.xilinx.com/about/customer-innovation/index.htm>
- Zyren, J., & Petrick, A. (1998). Tutorial on Basic Link Budget Analysis. *intersil*, 2. Retrieved from <http://www.sss-mag.com/pdf/an9804.pdf>

Apéndice A

Reporte de Generación del algoritmo NCO

Generation - NCO



Generation Report - NCO v11.1

Entity Name	nco_v11_2_st
Variation Name	nco_v11_2
Variation HDL	VHDL
Output Directory	C:\Users\AG\Documents\MATLAB\Pro4_HILDSPBuilder_dddd15_HIL_import

File Summary

The MegaWizard interface is creating the following files in the output directory:

File	Description
nco_v11_2.vhd	A MegaCore [®] function variation file, which defines a VHDL top-level description of the custom MegaCore function. Instantiate the entity defined by this file inside of your design. Include this file when compiling your design in the Quartus II software.
nco_v11_2.cmp	A VHDL component declaration for the MegaCore function variation. Add the contents of this file to any VHDL architecture that instantiates the MegaCore function.
nco_v11_2.bsf	Quartus [®] II symbol file for the MegaCore function variation. You can use this file in the Quartus II block diagram editor.
nco_v11_2_st.v	Generated NCO synthesizable netlist. This file is required for Quartus II synthesis. It will be added to your Quartus II project
nco_v11_2.vho	VHDL IP Functional Simulation model.
nco_v11_2_tb.vhd	VHDL Testbench
nco_v11_2_vho_msim.tcl	ModelSim TCL Script to run the VHDL IP Functional Simulation model and generated VHDL testbench in the ModelSim simulation software
nco_v11_2_wave.do	ModelSim Waveform File
nco_v11_2_model.m	MATLAB m-file describing a MATLAB bit-accurate model.
nco_v11_2_tb.m	MATLAB Testbench
nco_v11_2_sin_f.hex	Intel Hex-format ROM initialization file.
nco_v11_2_cos_f.hex	Intel Hex-format ROM initialization file.
nco_v11_2_sin_c.hex	Intel Hex-format ROM initialization file.
nco_v11_2_cos_c.hex	Intel Hex-format ROM initialization file.
nco_v11_2_vec	Quartus II Vector File.
nco_v11_2_nativeLink.tcl	A Tcl script that can be used to assign NativeLink simulation testbench settings to the Quartus II project
nco_v11_2.qip	Contains Quartus II project information for your MegaCore function variation.
nco_v11_2.html	The MegaCore function report file.

MegaCore Function Parameters

Name	Value
use_mem	1
mem_type	M512
RAW	16
MAX	256
rfs1	xxx.hex
DPRI	7
DEVICE	CycloneII
ACCUM_SCLR	0
ARCH	TRIG_ARCH
TARGET	CycloneII
WANT_DITHER	YES
APRP	16
APRF	32
CK_VALUE	10
CK_UNIT	ns
CK_MULT	e-9
FSAMP_VALUE	50
FREQ_VALUE	1
MPR	20
APR	32
APRI	24

FSAMP_UNIT	MHz
FSAMP_MULT	1e6
FREQ_UNIT	MHz
FREQ_MULT	1e6
WANT_PMOD	NO
WANT_FMOD	NO
DUAL_NOT_SGL_OP	WANT_SIN_AND_COS
FMOD_PIPELINE	1
PMOD_PIPELINE	1
MULT_TYPE	LCELLS
CORDIC_TYPE	PARALLEL
CORDIC_PIPE	2
THROUGHPUT	1
NUMCH	2
NUMBA	1
WANT_VLOG_SIM	YES
WANT_VHDL_SIM	YES
WANT_MATLAB	YES
WANT_VEC	YES
PHI_INC	85899346
MODULE_NAME	nco_v11_2_st
NETLIST_FILE_NAME	nco_v11_2_st.v
PHASE_INC	4096
FREQ_INC	268435456
RCFC	nco_v11_2_cos_c.mif
RCVC	nco_v11_2_cos_c.v
RCHC	nco_v11_2_cos_c.hex
RCFF	nco_v11_2_cos_f.mif
RSVF	nco_v11_2_sin_f.v
RSHF	nco_v11_2_sin_f.hex
MAXC	81920
MAXF	81920
RAWC	12
RAWF	12
RNWC	4096
RNWF	4096
RDV	20
NUM_LCELLS	3041
NUM_MEM_BITS	245760
NUM_EABS	27
NUM_DSP_BLOCKS	0

MegaCore Function Variation File Ports

Name	Direction	Width
phi_inc_i	INPUT	32
fsin_o	OUTPUT	20
fcos_o	OUTPUT	20
clk	INPUT	1
reset_n	INPUT	1
clken	INPUT	1
out_valid	OUTPUT	1

Apéndice B

Código esencial en simulación; Mathworks-STK-Alterra

```

% Código .m pertinente al modelo de simulación Mathworks-STK-Alterra
% Autor: Armando González Rodríguez Copyright 2012
% Revisión: V.16 Fecha:30 Agosto 2012

agiInit;
%Para poder correr instrucciones dentro del stk
h = actxserver('STK9.application'); pause(1);
h.Visible = 1; pause(1); % STK visible
stk=h.Personality2;
%stk.registerevent('RootEvents')%%%attach the m-file RootEvents as an event
listener

scenario=stk.CurrentScenario;
%Carga escenario
stk.ExecuteCommand('Load / Scenario
"C:\STK_Simul_Data\Alumnos\Alejandro\Simulaciones\Programa_Armando\Simulacion_Armando\Pro001\Simulacion_Armando.sc"');
pause(1);
%Cambia todo a unidades de tiempo del escenario (pasos)
stk.UnitPreferences.Item('DateFormat').SetCurrentUnit('EpSec');
%%Elementos del escenario
satellite= stk.GetObjectFromPath('*/*Satellite/ciceSAT1');
facility= stk.GetObjectFromPath('*/*Facility/terrena');
%Para crear los accesos entre objetos
access1 = satellite.GetAccessToObject(facility);
access1.ComputeAccess;
%para meter el sensor
sensor = stk.GetObjectFromPath('*/*Satellite/ciceSAT1/Sensor/Sensor1')

sensor.Graphics.color= 0; %aplicamos color verde
sensor.VO.Pulse.Length= 100; %para cambiar valores del pulso
stk.PlayForward;

% Función recursiva para iteración STK/Simulink
function [Valout,mod]=armando_function(In1)
conid=1;
tempo= stkAnimTime;
[secData, secNames] = stkAccReport(
'*/*Satellite/ciceSAT1','*/*Facility/terrena','AER',tempo,tempo,1);
if (isempty(secData{1}))
    display('no hay enlace...');
    rangom=0;
else
rangom = stkFindData(secData{1}, 'Range')
end

if (rangom <= 444000)
    stkExec(conid, 'Graphics */Satellite/ciceSAT1/Sensor/Sensor1 SetColor green');
    stkExec(conid,'VO */Satellite/ciceSAT1/Sensor/Sensor1 Pulse Frequency fast
PulseLength 100000');
    no=0;
    modo=1;
end

if (rangom < 1248000 & rangom > 444000)
    stkExec(conid, 'Graphics */Satellite/ciceSAT1/Sensor/Sensor1 SetColor yellow');

```

```

    stkExec(conid, 'VO */Satellite/ciceSAT1/Sensor/Sensor1 Pulse Frequency medium
PulseLength 400000');
    no=0;modo=3;
end

if (rangom >= 1248000)
    stkExec(conid, 'Graphics */Satellite/ciceSAT1/Sensor/Sensor1 SetColor red');
    stkExec(conid, 'VO */Satellite/ciceSAT1/Sensor/Sensor1 Pulse Frequency slow
PulseLength 800000');
    no=0;modo=5;
end

if (rangom == 0)
    stkExec(conid, 'Graphics */Satellite/ciceSAT1/Sensor/Sensor1 SetColor black');
    no=40;
    modo=1;
end
mod=modo;
nr=rangom/2000000*25;
snr=(26-nr)-no
Valout=snr; % end

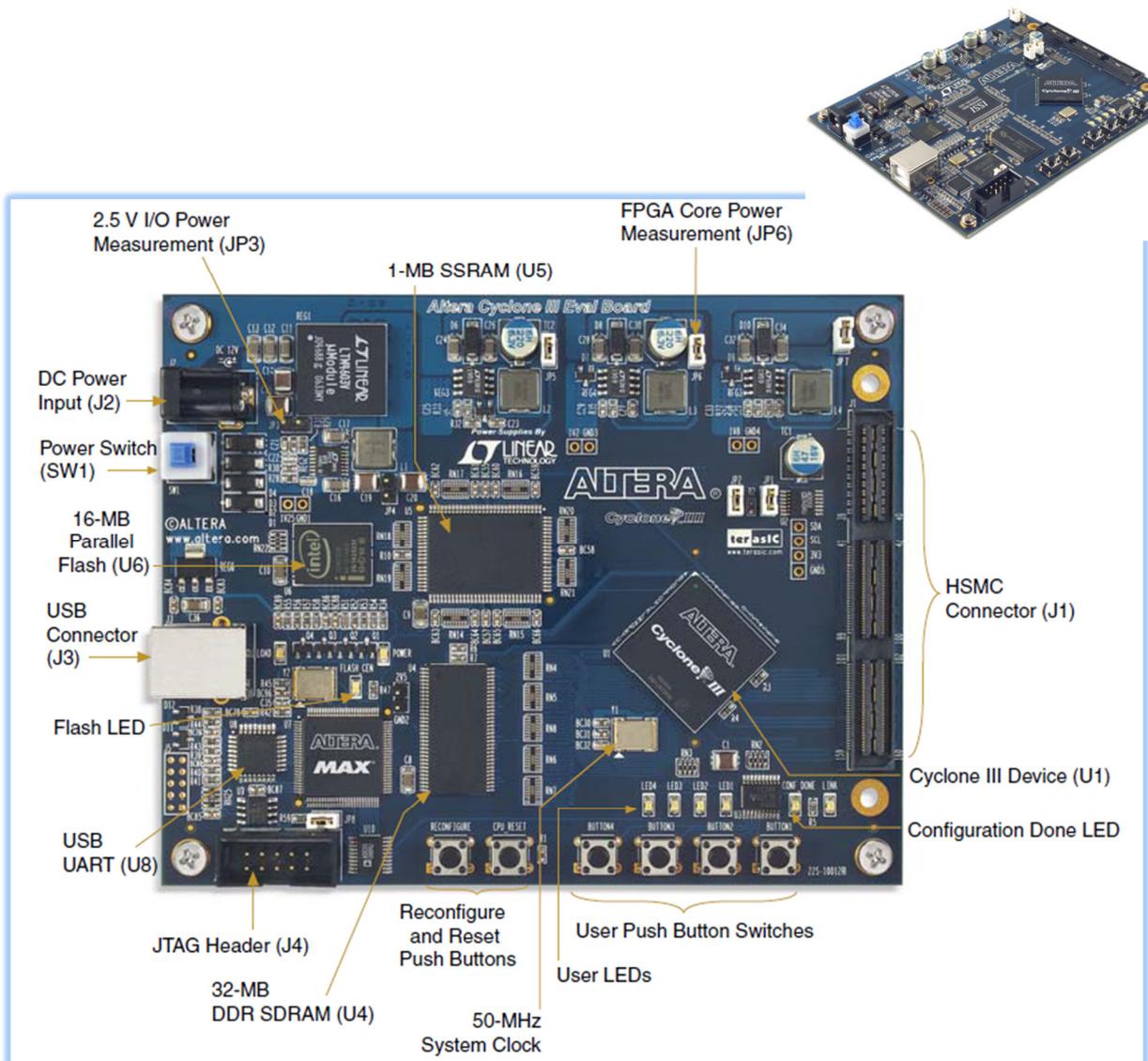
% Parámetros generales del modelo
compassbandmodParams.Fc = 2.5e6;
compassbandmodParams.F1 = compassbandmodParams.Fc/3+.5e5;
freq_off = 10;
Fs = 96000;
Ts = 1/Fs;
Fmod = Fs/4;
% DSPBuilder Start
alt_dspbuilder_update_model(bdroot)
%% DSPBuilder End
ss=1;

% Lectura de la imagen de entrada para la prueba del radio
test_img = imread('ARM01018ttt.jpg');
test_img = test_img(:,:,1);
data = uint8(reshape(test_img, 256*256,1));
a.time = []; %datat';
a.signals(1).values = data;
a.signals(1).dimensions = 1;

```

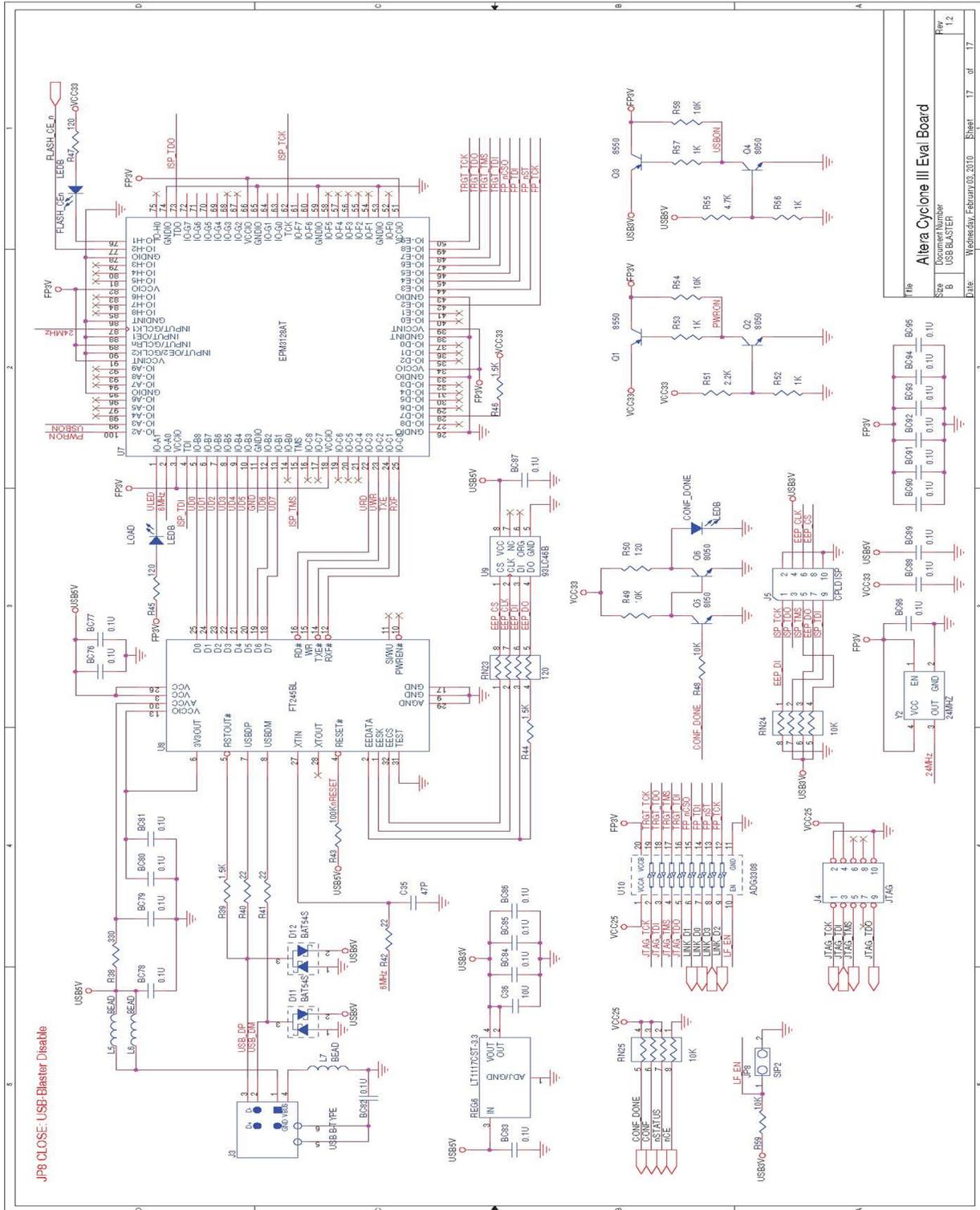
Apéndice C

Plataforma de evaluación Altera; FPGA Cyclone III



Tarjeta de evaluación FPGA económica y de bajo consumo Cyclone III EP3C25
<http://www.altera.com/products/devkits/altera/kit-cyc3-starter.html>

Esquemático de la plataforma de evaluación Hardware Altera Cyclone III



File	Altera Cyclone III Eval Board
Sheet	9
Revision Number	USB3V0/EN
Rev	1.2
Date	Wednesday, February 03, 2010
Sheet	17 of 17