

CENTRO DE INVESTIGACION CIENTIFICA Y DE
EDUCACION SUPERIOR DE ENSENADA

DISEÑO Y CONSTRUCCION DE UNA MATRIZ DE
CONMUTACION DIGITAL

TESIS
MAESTRIA EN CIENCIAS

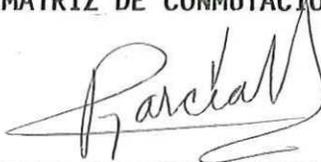
FERNANDO HERNANDEZ DIAZ

RESUMEN de la tesis de FERNANDO HERNANDEZ DIAZ presentada como requisito parcial para obtener el grado de MAESTRO EN CIENCIAS en FISICA APLICADA con opción en ELECTRONICA Y TELECOMUNICACIONES .

Ensenada, Baja California, México, Noviembre de 1982.

DISEÑO Y CONSTRUCCION DE UNA MATRIZ DE CONMUTACION DIGITAL

Resumen aprobado:



DR. ROBERTO GARCIA MUÑOZ.*
Director de Tesis

Se describe el diseño y la construcción de una Matriz de Conmutación Digital de baja capacidad para fines educativos y/o también para su uso en zonas rurales.

La matriz de conmutación cuenta en su estructura con las características más relevantes de una central telefónica. Está formada por cuatro bloques temporales y uno espacial. Haciéndose la conmutación de la información en tiempo-espacio-tiempo.

En su construcción se han empleado las técnicas más modernas tanto en circuitería como en programación.

* El Dr. Roberto García sustituye al Dr. José Carlos Pomalaza en ausencia. El Dr. Pomalaza fue el asesor desde el inicio hasta la conclusión del proyecto.

CENTRO DE INVESTIGACION CIENTIFICA Y DE EDUCACION
SUPERIOR DE ENSENADA

DIVISION DE FISICA APLICADA

DISEÑO Y CONSTRUCCION DE UNA MATRIZ DE CONMUTACION DIGITAL

T E S I S

QUE PARA CUBRIR PARCIALMENTE LOS REQUISITOS NECESARIOS PARA
OBTENER EL GRADO DE MAESTRO EN CIENCIAS PRESENTE

FERNANDO HERNANDEZ DIAZ

ENSENADA, B. C., DICIEMBRE DE 1982

TESIS APROBADA PARA SU DEFENSA POR:



Dr. Roberto García Muñoz, Director del Comité



Dr. Jorge Valerdi Caram, Miembro del Comité



M.C. Jaime Sánchez García, Miembro del Comité



M.C. Sergio Reyes Coca, Miembro del Comité



M.C. Martín Celaya Barragán, Director de la División de Ciencias
Físicas



Dr. Enrique Carrillo Barrios-Gómez, Director Académico

Tesis presentada en Diciembre 2, 1982.

DEDICATORIA

A MIS PADRES

A mis hermanos, HECTOR, NORA, ALFREDO y OLIVIA

A mi Tía ESPERANZA

A MARIA DE LOURDES BRAMBILA M.

A G R A D E C I M I E N T O S

A mi Asesor y Director de Tesis, DR. JOSE CARLOS POMALAZA DIAZ , por el gran apoyo recibido de él durante el desarrollo de este trabajo.

Al DR. JORGE VALERDI CARAM , por su ayuda e interés, invaluable.

Al DR. ROBERTO GARCIA MUÑOZ , por haber representado al Dr. José Carlos Pomalaza Díaz durante mi examen de grado.

Al M. en C. MARTIN CELAYA , por el apoyo y la confianza que me brindó durante el desarrollo de mis estudios en el C.I.C.E.S.E.

A los miembros de mi comité de Tesis: M. en C. JAIME SANCHEZ GARCIA, y M. en C. SERGIO REYES COCA , por su dedicación en la revisión, crítica constructiva y sugerencias a este trabajo.

A la SRA. MA. DEL ROSARIO LAFARGA DE ROSALES , por su valiosa ayuda en la mecanografía del texto.

A todo el personal del CENTRO DE INVESTIGACION CIENTIFICA Y DE EDUCACION SUPERIOR DE ENSENADA, B. C.

Y finalmente, a todos mis compañeros, especialmente a: MIGUEL JUAREZ V., JOSE GUSTAVO PEREZ, ANGEL R. JIMENEZ I. , por su compañerismo y amistad desinteresados.

A TODOS ELLOS GRACIAS!

C O N T E N I D O

| | <u>Página</u> |
|---|---------------|
| I. INTRODUCCION | 1 |
| II. OBJETIVOS Y ESPECIFICACIONES | 5 |
| III. ARQUITECTURA DEL SISTEMA | 8 |
| IV. CIRCUITERIA | 15 |
| IV.1 Red de Conmutación Temporal | 15 |
| IV.1.1 Circuito de la Unidad de Línea | 15 |
| a) Descripción del filtro | 17 |
| b) Descripción del Codec | 19 |
| c) Circuito Asignador de Ranuras | 21 |
| IV.1.2 Definiciones de Conmutación Temporal | 27 |
| IV.1.3 Circuitos de Conversión de la Velocidad de Transmisión de la Información | 31 |
| a) Definiciones | 31 |
| b) Descripción del Circuito | 32 |
| 1) Circuito de Interfaz de Lógica CMOS a TTL y ducto de las Señales | 34 |
| 2) Registros y Compuertas | 36 |
| 3) Base de Tiempos de la Matriz Temporal | 40 |
| 4) Ducto de Señales | 40 |
| 5) Interfaz de Lógica CMOS a TTL | 42 |
| IV.2 Red de Conmutación Espacial | 43 |
| IV.2.1 Consideraciones Generales | 43 |
| IV.2.2 Arreglo Espacial | 44 |
| IV.2.3 Circuito de Control del Arreglo Espacial | 48 |
| a) Banco de Registros | 48 |
| b) Control Central | 51 |

| | <u>Página</u> | |
|------|--|----|
| IV.3 | Unidad de Control de la Red Completa | 55 |
| | a) Microprocesador | 55 |
| | b) Memoria | 57 |
| | c) Circuitos de Interfaz | 57 |
| | d) Mapa de Memoria | 58 |
| IV.4 | Circuito de Reloj y Base de Tiempos | 61 |
| | IV.4.1 Circuito de Reloj | 61 |
| | IV.4.2 Base de Tiempos | 63 |
| | a) Base de Tiempos para la Matriz Temporal | 64 |
| | b) Base de Tiempos para la Matriz Espacial | 66 |
| | PROGRAMACION | 69 |
| V.1 | Programa Principal de la Matriz de Conmutación | 69 |
| V.2 | Subrutinas que establecen la Trayectoria | 70 |
| V.3 | Subrutina que realiza la Desconexión de los Abonados | 71 |
| | RESULTADOS EXPERIMENTALES Y CONCLUSIONES | 83 |
| VI.1 | Resultados de Laboratorio | 83 |
| VI.2 | Conclusiones | 86 |
| VI.3 | Recomendaciones | 88 |
| | LITERATURA CITADA | 89 |
| | GLOSARIO | 91 |
| | APENDICE: Listado de Programas | 95 |

LISTA DE FIGURAS

| <u>Figura</u> | | <u>Página</u> |
|---------------|---|---------------|
| 1.1 | Procesador MINI-PRO | 2 |
| 3.1 | Elementos de un Conmutador Digital | 10 |
| 3.2 | Diagrama a Bloques de la Matriz de Conmutación | 11 |
| 3.3 | Matriz de Conmutación | 13 |
| 4.1 | Unidad de Línea | 17 |
| 4.2 | Diagrama a Bloques del Filtro MC14413 | 19 |
| 4.3 | Diagrama a Bloques del CODEC MC14404 | 21 |
| 4.4 | Marco de Transmisión (Formato CEPT) | 22 |
| 4.5 | Diagrama a Bloques del TSAC MC14418 | 23 |
| 4.6 | Diagrama de Tiempos de las Señales del TSAC | 25 |
| 4.7 | a) Transmisión b) Recepción | 27 |
| 4.8 | Conmutador de Ranuras de Tiempo (TSI) | 30 |
| 4.9 | Diagrama a Bloques de la Matriz Temporal | 34 |
| 4.10a | Interfaz de Lógica CMOS a TTL | 33 |
| 4.10b | Compuerta "Y" Alambrada | 35 |
| 4.11a | Registro de Transmisión | 36 |
| 4.11b | Control de la Frecuencia del Reloj | 37 |
| 4.12a | Selector de la Ranura de Tiempo Interna | 38 |
| 4.12b | Diagrama de Tiempos | 39 |
| 4.13 | Registro de Recepción | 40 |
| 4.14a | "0" Alambrado | 41 |
| 4.14b | "Y" Alambrada | 41 |
| 4.15 | Interfaz de TTL a CMOS | 42 |
| 4.16a | Matriz Espacial | 45 |
| 4.16b | Control Rectangular X Y | 45 |
| 4.17 | Arreglo de Nodos Controlado por el Banco de Registros | 46 |
| 4.18 | Circuito de Control de los Planos de la Matriz Espacial | 47 |

LISTA DE FIGURAS (cont.)

| <u>Figura</u> | | <u>Página</u> |
|---------------|---|---------------|
| 4.19 | Uno de los 64 Registros que forman el Banco | 49 |
| 4.20 | Diagrama a Bloques del Control Central | 51 |
| 4.21 | Registro de Entrada Paralelo y Salida Serie | 53 |
| 4.22 | Señales de Control del Registro 74166 | 54 |
| 4.23 | Diagrama a Bloques de la Unidad de Control de la Matriz de Conmutación | 55 |
| 4.24 | Diagrama a Bloques del Microprocesador 6809 | 56 |
| 4.25 | Circuito de Reloj | 60 |
| 4.26 | Base de Tiempos de la Matriz Temporal | 63 |
| 4.27 | Diagrama de Tiempos de los Pulsos STDA | 65 |
| 4.28 | Base de Tiempos de la Matriz Espacial | 66 |
| 5.1 | Programa Principal de la Matriz de Conmutación | 69 |
| 5.2 | Subrutina que Define los PIAs Usados en la Selección de los Planos de la Etapa Espacial de la Matriz de Conmutación | 70 |
| 5.3 | Subrutina que Establece la Trayectoria entre los Abonados | 72 |
| 5.4 | Subrutina que Asigna Ranuras Internas libres a los Abonados A y B | 73 |
| 5.5 | Subrutina que Identifica a que Bloque Pertenece el Abonado | 74 |
| 5.6 | Subrutina que Busca una Ranura Interna Libre | 75 |
| 5.7 | Subrutina que da el Status Quo del arreglo de Nodos de una Ranura Interna | 76 |
| 5.8 | Subrutina que es la Agenda de los Abonados en Servicio | 78 |
| 5.9 | Subrutina que Define las Ranuras Externas | 79 |
| 5.10 | Subrutina que Programa al TSAC que corresponde al Abonado que desea ser Enlazado | 80 |
| 5.11 | Subrutina que Libera la Trayectoria entre los Abonados | 81 |

LISTA DE TABLAS

| <u>Tabla</u> | | <u>Página</u> |
|--------------|---|---------------|
| I | Especificaciones Típicas de Cada Filtro | 19 |
| II | Formato de las Palabras AD y DI | 26 |
| III | Estándares PCM Adoptados por el CCITT | 28 |
| IV | Mapa de Memoria | 59 |

DISEÑO Y CONSTRUCCION DE UNA MATRIZ DE CONMUTACION DIGITAL

I. INTRODUCCION

La introducción de tecnología digital en la red telefónica nacional, ha requerido la formación urgente de recursos humanos a nivel técnico. Se vió la necesidad de una herramienta de entrenamiento en conmutación digital, surgiendo el proyecto COTEMI (Conmutador Telefónico Controlado por Microprocesador). Por otro lado, en el CICESE se imparte el curso de Telefonía y Conmutación Digital, y considerando que sólo se cuenta con material teórico, se vió la necesidad de construir una maqueta educativa que simule un conmutador telefónico para formar parte del material práctico del curso. Asimismo, se tomó en cuenta que en otras instituciones y empresas telefónicas, se imparten cursos teóricos referentes a esta área, por lo cual se reafirmó la necesidad de la construcción de dicha maqueta educativa que muestre, paso a paso, el principio operacional del control y procesamiento digital de una llamada.

En cursos de telefonía y conmutación digital se enseñan métodos para llevar a cabo el control de un sistema telefónico (Bilkeroth, et al., 1978). Uno de ellos es la técnica SPC (Store Program Control), que consiste en realizar las funciones telefónicas por medio de programas y datos almacenados que serán procesados por una minicomputadora.

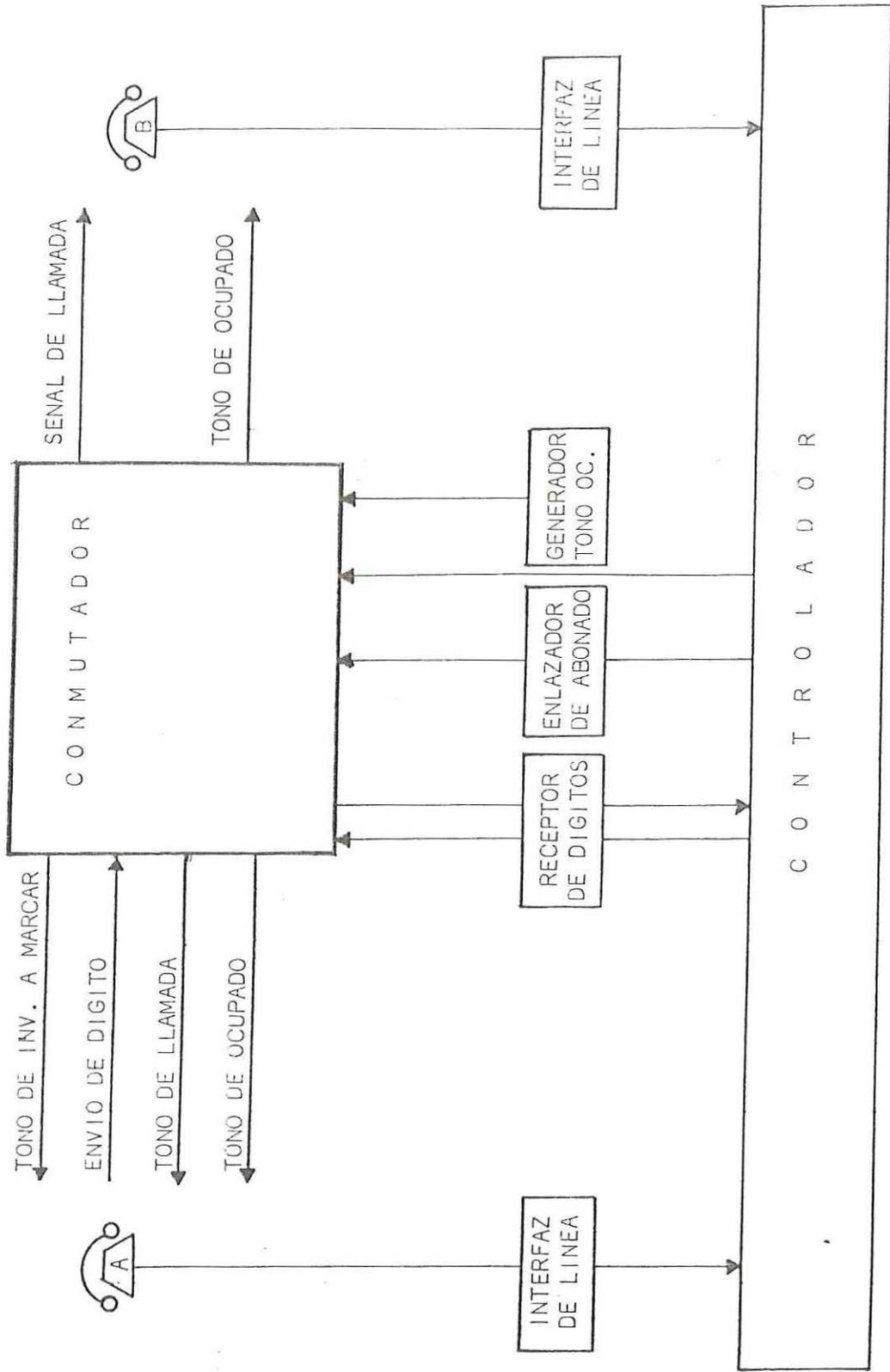


Figura 1.1 Procesador MINI-PRO

El instructivo mencionado es uno de los textos de entrenamiento de personal que utiliza Teleindustria Ericsson, S.A. (TIM), para la preparación de recursos humanos en el área de telefonía, especialmente en la aplicación de la técnica SPC. Este diseño del procesador MINI-PRO, se tomó como base para planear las especificaciones técnicas y funcionales de la maqueta. El MINI-PRO es un procesador (Fig. 1.1) diseñado con circuitería TTL que lleva el control de un sistema telefónico de 4 canales; su conmutación se realiza por medio de equipo electromecánico.

Teniendo como antecedente al procesador MINI-PRO, en CICESE se ha diseñado un sistema que mejora sustancialmente la capacidad y funcionamiento del procesador MINI-PRO para lograr de esta manera un conmutador avanzado capaz no sólo de servir como una herramienta didáctica, sino también, como un conmutador digital para 120 teléfonos.

La maqueta educativa, tal como fué concebida en el CICESE, consta de 4 partes:

- El controlador digital de la secuencia que requiere una llamada telefónica
- La Unidad de Línea
- Red de Conmutación
- Panel ilustrativo de las funciones del sistema

El controlador se basa en un microprocesador que lleva a cabo el control de las funciones características de un sistema telefónico: recibe y envía señales de abonado, detecta colgado-descolgado, etc. Todo lo anterior interaccionando con la unidad de línea que es la que provee información sobre el estado del abonado.

La parte de conmutación digital es del tipo tiempo-espacio-tiempo (T-E-T) y conecta un teléfono con otro o un teléfono con canal de señalización de acuerdo a las indicaciones que le envía el controlador.

El panel de la maqueta consiste en un gabinete demostrativo, el cual tiene indicadores (diodos emisores de luz), para señalar las funciones que se están realizando. También consta de un teclado por medio del cual se maneja el sistema, ya sea para verificar el estado del proceso en un momento dado, o para visualizar paso a paso la secuencia de una llamada.

El presente trabajo de tesis trata sobre la parte de la matriz de conmutación. La estructura es del tipo T-E-T. Esta configuración fue adoptada para que ingenieros y técnicos relacionados con la conmutación telefónica digital aprendan las nuevas técnicas que están siendo usadas en las modernas centrales telefónicas comerciales. Los subsistemas T son unidades de multicanalización y demulticanalización temporal (que se definen con mayor detalle en la sección 4.2.1). En ellos se le asigna a

cada abonado una ranura de tiempo (ver sección 3.1). El subsistema E es un matriz espacial conmutada a intervalos de media ranura, que sirve para interconectar los subsistemas T, (Hernández y Pomalaza, 1981).

El presente trabajo de tesis está ordenado de la siguiente manera:

En el capítulo II se dan los objetivos que se pretenden alcanzar con este trabajo, así como las especificaciones que tendrá. La descripción del sistema general está dado en el capítulo III. En el capítulo IV se da la descripción técnica de todos los circuitos que componen a la matriz de conmutación. La programación que se requiere para llevar a cabo todas las funciones de la matriz se explica en el capítulo V. Finalmente, en el capítulo VI se dan los resultados obtenidos y las conclusiones.

II. OBJETIVOS Y ESPECIFICACIONES

ANTECEDENTES:

En la actualidad la herramienta didáctica en materia de conmutación digital con que cuentan las empresas del campo de la telefonía en México no tiene los adelantos que ha alcanzado la electrónica digital en los últimos años; es por ello que surge la necesidad de la realización de un sistema de conmutación digital que tenga las técnicas mas modernas para de esta manera actualizar los métodos didácticos de la Industria Telefónica Nacional.

El propósito de este trabajo de tesis es el de elaborar una matriz de conmutación que será utilizada dentro de un conmutador digital que deberá contar con los métodos mas recientes de la conmutación telefónica digital; considerando que su empleo también puede extenderse a la red telefónica nacional utilizándose en poblados donde el número de habitantes es pequeño.

OBJETIVOS:

- 1) Será una matriz de conmutación digital de tiempo-espacio-tiempo, que forme parte de una maqueta educativa.

- 2) Se emplearán técnicas que usen electrónica avanzada.
- 3) La programación estará hecha en base a métodos modernos que le dan claridad a los algoritmos empleados.
- 4) Que además cumpla con los siguientes requerimientos:
 - Que en lo posible contenga los elementos básicos de un sistema de conmutación comercial, para cumplir con los objetivos educacionales que se persiguen.
 - Usar control por programa almacenado (SPC), empleando para ello un microprocesador con características tales que pueda llevar a cabo la tarea satisfactoriamente.
 - Utilización de recientes circuitos integrados CMOS a muy grande escala especializados en comunicaciones, obteniendo con ello un sistema de bajo consumo de potencia, poco espacio, confiable y facilitando la modularización del sistema.

ESPECIFICACIONES DE LA MATRIZ DE CONMUTACION:

Diseñar un sistema de conmutación que tenga las siguientes características:

- 1) Permitir la conmutación de ciento veinte abonados más ocho canales que pertenecen a la señalización y sincronía.
- 2) Que cumpla con las normas CCITT en cuanto a la velocidad de muestreo de la información telefónica y la estructura de los marcos de la señal multicanalizada.
- 3) La programación será realizada de tal forma que pueda ser modificada con facilidad para incluir el uso de técnicas más avanzadas, a medida que el sistema vaya siendo mejorado en el futuro, como son rutinas de autoprueba, detección de errores, etc.

III. ARQUITECTURA DEL SISTEMA

INTRODUCCION:

Una red de conmutación digital puede tomar la forma dentro de una gran variedad de estructuras diferentes. Generalmente toma la forma de una simple etapa temporal si el sistema es pequeño o de varias etapas temporales y espaciales para sistema grandes (Skaperda, 1979). No obstante que la matriz de nuestro sistema es pequeña, ha adoptado la estructura tiempo-espacio-tiempo, por razones mencionadas en la Introducción. En este capítulo se dará la descripción de esta estructura.

3.1 SISTEMA GENERAL

El esquema general de un sistema de conmutación digital está compuesto por el controlador, la matriz de conmutacion y la interfaz telefónica, como se ilustra en la Fig. 3.1.

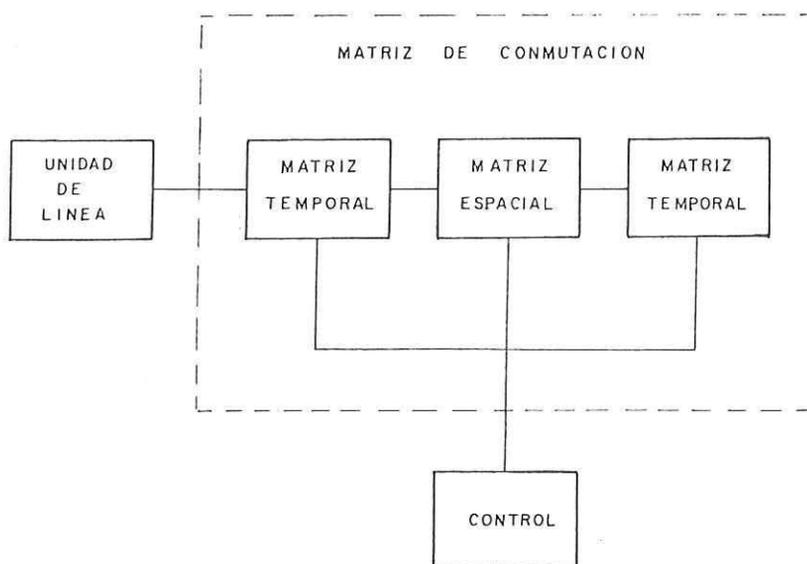


Fig-3-1 ELEMENTOS DE UN CONMUTADOR DIGITAL

En este diagrama se pueden apreciar los tres bloques básicos:

- Unidad de Línea (o troncal)
- Control Central
- Matriz de Conmutación Digital

La función de la interfaz de línea es la de interconectar el sistema telefónico con el mundo externo, (e.g. líneas de abonado, troncales), convertir señales analógicas en señales digitales, y en ciertos sistemas concentrar el tráfico.

La tarea del controlador central es la de proporcionar un control por programa almacenado tanto para el sistema como para la máquina que sirve de interfaz con el hombre.

La función básica de la red de conmutación digital es la de realizar operaciones de enrutamiento de llamadas, es la que se encarga de interconectar, bajo comando del controlador, a dos ó más terminales telefónicas. Sin embargo, se debe notar que las redes digitales son capaces de dar una conmutación sin bloqueo o casi sin él, de manera económica, lo cual no es posible con los sistemas analógicos espaciales. Además, puesto que la red sólo conmuta señales digitales, también puede ser usada para conmutar datos en adición a las señales de información.

En la fig. 3.2 se ilustra un diagrama a bloques de la estructura que tiene la matriz de conmutación que se ha diseñado en este trabajo de tesis.

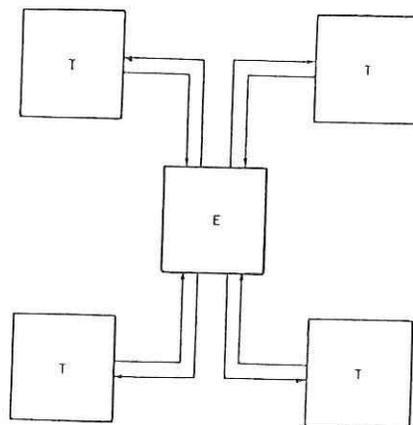


FIG. 3.2 DIAGRAMA A BLOQUES DE LA MATRIZ DE CONMUTACION

Esta configuración de Tiempo-Espacio-Tiempo (T-E-T) fue seleccionada principalmente por motivos de educación mas que técnicos, pues dada la baja capacidad de nuestro sistema, una red temporal hubiera sido suficiente. Sin embargo, con el objeto de ilustrar la estructura básica que la mayoría de las centrales telefónicas tienen, se utiliza la matriz T-E-T.

Un diagrama más detallado de todo el sistema de conmutación digital, se muestra en la fig. 3.3 donde se pueden ver a las unidades de línea, compuestas por un circuito "SLIC"* que hace algunas de las funciones "BORSCHT"* tales como la conversión híbrida de 2 a 4 hilos, señales de timbre, protección de sobrevoltaje y prueba. Además, aunque el filtro y el CODEC físicamente pertenecen a la unidad de línea, se han puesto como elementos de la matriz temporal para indicar que a partir del CODEC, por medio de los pulsos de control del TSAC, se realiza la primera etapa de la conmutación temporal, (para mayor detalle ver sección 4.2.2). Como se podrá ver, la matriz de conmutación está compuesta de cuatro bloques o matrices temporales y una espacial. Los bloques temporales se comunican entre sí a través de la matriz espacial aunque la función de la matriz espacial va más allá, pues no sólo sirve para comunicar a los bloques temporales entre sí sino también a las unidades de línea que están contenidas dentro del mismo bloque temporal.

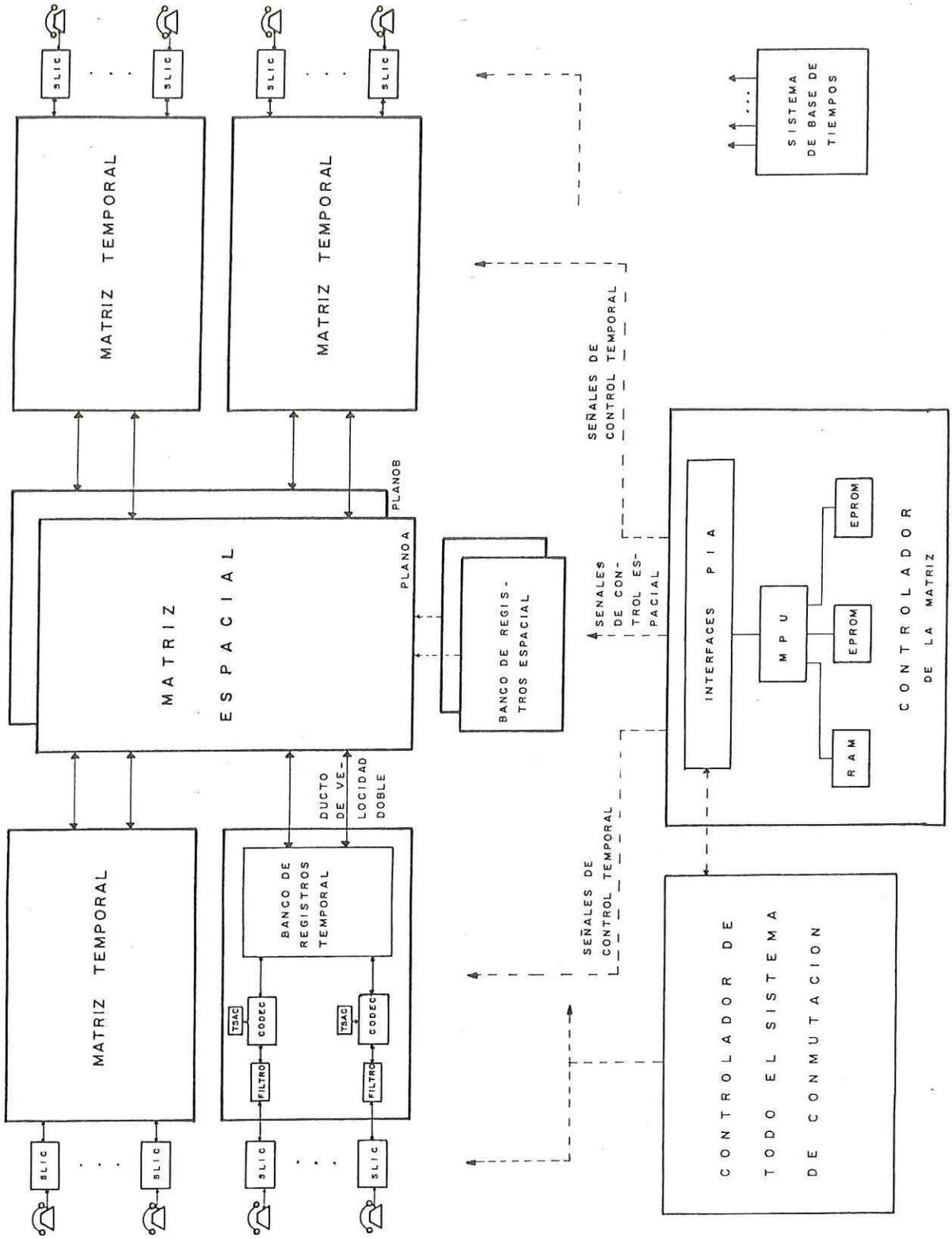


FIG.3.3) SISTEMA DE CONMUTACION

La conmutación temporal se realiza por medio de dos etapas y son las que componen básicamente a la matriz temporal. Estas fases son, la formada por el CODEC-TSAC y la constituida por un banco de registros, en los párrafos 4.2.2 y 4.2.3 da una descripción de estas partes. La matriz espacial que está formada por un arreglo de nodos y también por un banco de registros, es del tipo "División en Tiempo", es decir en cada intervalo de tiempo (llamadas también ranuras de tiempo y que se definen en el párrafo 4.2.1), el estado de apertura o cierre de la configuración de nodos cambia, dependiendo de las conversaciones que están en proceso. Para que toda la matriz sea del tipo de bloqueo nulo, es necesario entonces que la matriz espacial tenga dos arreglos de nodos cada uno con su banco de registros. A cada configuración de nodos junto con el banco de registros se le denomina plano, y ahí vemos en la fig. 3.3 que la matriz espacial está compuesta de dos planos, plano A y plano B. Las razones del porqué se necesitan dos de estos planos para que la matriz total sea de bloqueo nulo se dan en la sección 4.2.3 a).

La sincronía de todos estos bloques que deben tener entre sí para poder operar eficientemente es dada por el sistema de base de tiempos, compuesta por un circuito de reloj, un circuito de base de tiempos para la matriz temporal y un circuito de base de tiempos para la matriz espacial. Este sistema se explica en la sección 4.1.

El controlador de la matriz de conmutación lleva la cuenta de cuales abonados están en servicio y por ende que trayectorias están utilizando. Cuando se pide que se establezca una nueva conversación dá las señales a las matrices temporales y espacial por medio de los bancos de registros, que se necesitan para establecer la conexión, de los abonados, asimismo las que se requieren al hacer la desconexión cuando la conversación ha llegado a su fin. El controlador está compuesto por un microprocesador versátil, memorias de lectura exclusiva y de lectura-escritura, y circuitos de interfaz llamadas PIAs. En la sección 4.4 se explica más ampliamente este sistema de control.

Todos estas partes que han sido descritas son las que pertenecen a la matriz de conmutación.

Lo correspondiente al controlador del conmutador digital ha sido objeto de otro trabajo de tesis.

La comunicación entre el controlador de la matriz de conmutación y el controlador es a través de los circuitos de interfaz (PIAs). De esta manera, si el controlador tiene información que mandarle a la matriz lo hace mandando primeramente una señal de interrupción por medio del PIA del controlador al PIA del controlador de la matriz, éste último PIA le contesta al primero que su señal de interrupción ha sido reconocida luego se procede al envío de la información. La información consiste en indicar de cuáles abonados se trata y de si se desea conexión o desconexión.

IV. C I R C U I T E R I A

En este capítulo se describen todos los circuitos que constituyen a la matriz de conmutación, de acuerdo con el diagrama general presentado en el Capítulo III.

IV.1 Red de Conmutación Temporal.

IV.1.1 Circuito de la Unidad de Línea.

La función básica de la unidad de línea se ha mencionado en el capítulo III. Aquí daremos una descripción de la unidad de línea empleada en nuestro sistema.

La unidad de línea está compuesta básicamente por los elementos que se muestran en la fig. 4.1.

El SLIC (Subscriber Loop Interface Circuit) compuesto solamente por el circuito integrado MC3419 realiza las funciones básicas de la interfaz de línea, (Salcido, 1982).

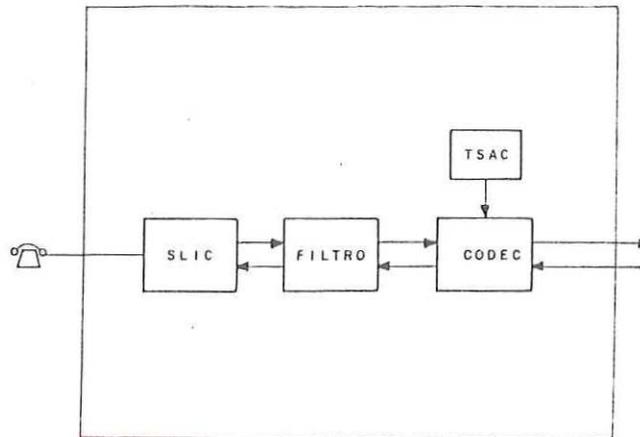


FIG. 4.1) UNIDAD DE LÍNEA

Alimentación (Corriente directa al teléfono).

Conversión de señales ac de 2 a 4 líneas (función híbrida).

Protección contra altos voltajes.

Salida digital del estado del teléfono (colgado, descolgado).

Prueba y supervisión.

La parte que resta de la unidad de línea es la que se relaciona mas directamente con la red de conmutación y por ello se describirá con mayor detalle.

a) Descripción del filtro.

La señal que proviene del SLIC llamada señal de transmisión (V_{tx}) debe primeramente ser limitada a un ancho de banda de 4 KHz. Esto previene la distorsión de la señal debida al muestreo que se realiza durante el proceso de codificación. Además cualquier armónica de 60 Hz o mas bajas que se encuentran presentes en la señal deberán ser eliminadas. El circuito integrado MC14413 tiene un filtro que satisface estos requisitos y además el mismo CI proporciona en la recepción un filtro pasabajas que recupera la señal analógica de voz después del proceso de decodificación. En la fig. 4.2 se da un diagrama a bloques de este CI. El filtro de transmisión consiste de una sección pasabajas elíptica de orden 5 que opera a una razón de muestreo de 128 KHz. Este filtro provee el ancho de banda necesario para prevenir el traslape de la señal de entrada en el CODEC. Además de la sección pasabajas, el filtro de transmisión posee un filtro chebyshev pasa-altas para dar el rechazo de las armónicas de 50/60 Hz y la de 15 Hz.

El filtro de recepción está formado solamente por una sección pasabajas elíptica de orden 5 que opera a una razón de muestreo de 128 KHz. Es igual al de la sección pasa-bajas del filtro de transmisión con la diferencia de que tiene en su entrada un pre-muestreador de 8 KHz con un

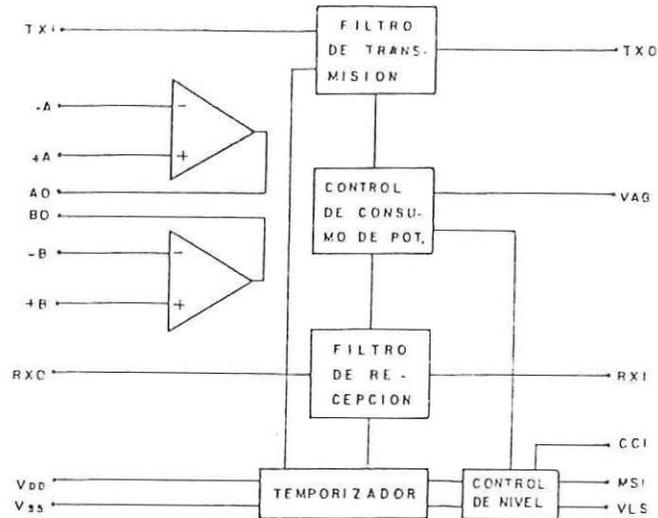


Fig. 42) DIAGRAMA A BLOQUES DEL FILTRO MC14413

ciclo de trabajo de $1/8$. Esto elimina la distorsión $\text{sen}x/x$ de la señal de salida del CODEC que viene en PAM (modulación en amplitud de pulsos) (Anon., 1979)

En la Tabla I se muestran las especificaciones de este CI MC14413.

| TABLA I | |
|--|------------|
| Especificaciones Típicas de cada filtro | |
| Ganancia | + 0.10 dB |
| Rizo dentro de banda | 0.12 dB |
| Estabilidad de la Ganancia y del rizo | .001 dB/oc |
| Rango Dinámico | 86 dB |
| Respuesta a 60 Hz | -24 dB |
| Protección contra Diafonía | 80 dB |
| Rechazo de la Interferencia de la Fuente de Alimentación | 40 dB |

b) Descripción del CODEC

Las funciones de codificación y decodificación de la señal de voz son llevadas a cabo por el circuito integrado MC14404. Este circuito muestrea la señal limitada en banda que viene del filtro MC14413 típicamente a una frecuencia de 8 KHz y convierte estas muestras en una modulación digital PCM de 8 bits usando la ley A. Esta palabra de 8 bits es transmitida en serie a la matriz de conmutación. El CODEC MC14404 también decodifica una palabra en PCM, que proviene de la matriz, convirtiéndola en una señal PAM, que a su vez es filtrada por la sección pasabajas del MC14413. El CODEC contiene un subsistema analógico que consiste de un compresor y un expansor de 8 bits, de circuitos muestreadores y retenedores tanto a la entrada como a la salida, comparadores, etc.; la parte digital consiste de circuitos lógicos para señalización, registros para almacenamiento de la información, lógica para comunicación en serie. El subsistema digital tiene secciones independientes para la recepción y la transmisión de la información, que operan a frecuencias desde 64 KHz a 3.088 MHz. En la fig. 4.3 se da un diagrama a bloques del CODEC MC14404, (Anon., 1979).

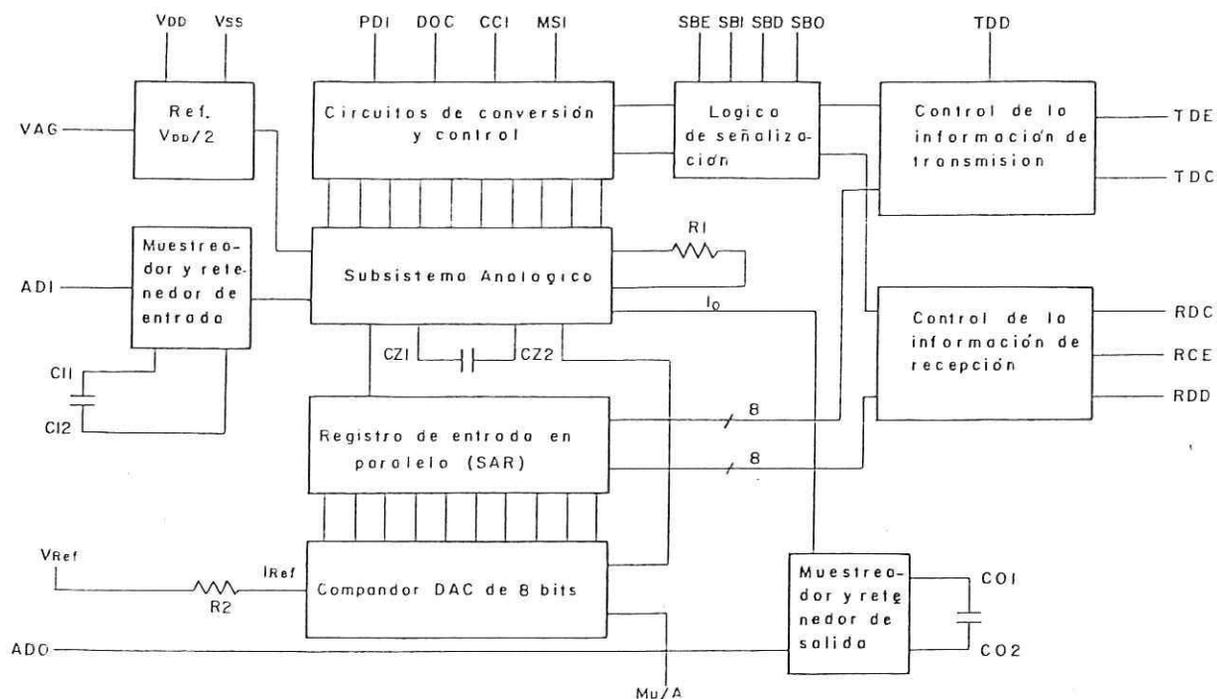


Fig. 4.3) Diagrama a bloques del CODEC MC14404.

c) Circuito Asignador de Ranuras (TSAC)

Una función vital que la tarjeta de línea tiene es la del control de la canalización que es llevada a cabo por el circuito MC14418 llamado TSAC. Esta función consiste en asignar la ranura de tiempo adecuada a la información que está siendo transmitida (TX) o recibida (RX) por el CODEC

a través del ducto de información multicanalizado. (El estándar CEPT es el que se usará en este sistema, por tanto el marco de transmisión o recepción tendrá el formato que se ilustra en la fig. 4.4. En la fig. 4.5 se presenta un diagrama a bloques del MC14418, (Motorola 1979, y Wellenstein 1980).

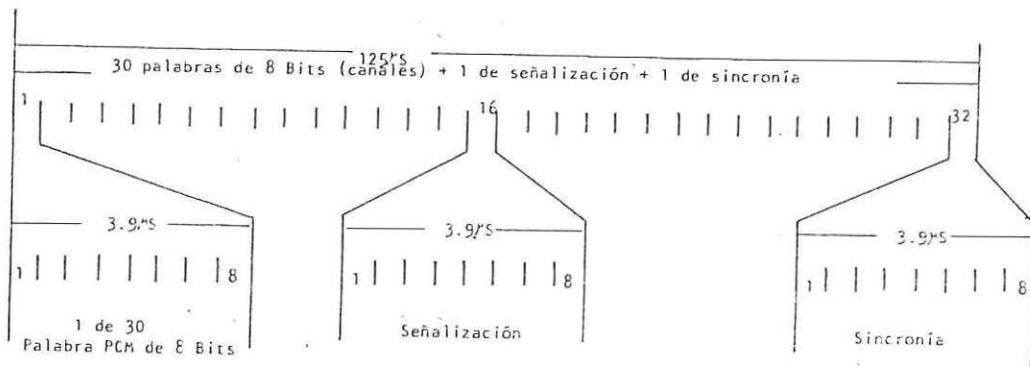


FIG. 4.4) MARCO DE TRANSMISION (FORMATO CEPT)

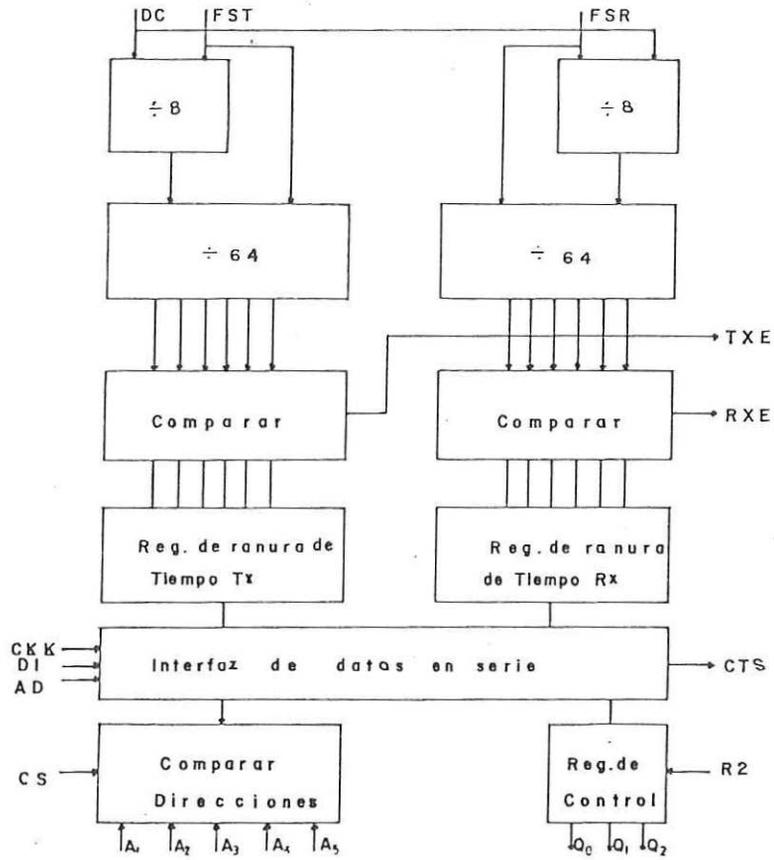


Fig. 4.5) DIAGRAMA A BLOQUES DEL TSAC MCI4418

Con la entrada CS se selecciona al TSAC correspondiente. Esta entrada puede conectarse en paralelo (y de hecho esto es lo que usualmente se hace) con las entradas CS correspondientes a otros circuitos TSAC, pudiéndose formar de esta manera hasta un grupo de 32 de estos circuitos integrados, que se seleccionan al mismo tiempo. Después en las líneas de entrada AD y DI se presentan 8 bits en serie sincronizados con la señal de reloj CLK que es generada por el microprocesador. Los últimos 5 bits de los 8 que llegan a la entrada AD dan la dirección de uno de los circuitos TSAC del grupo que ha sido previamente seleccionado por CS. La dirección de cada TSAC es alambrada en el mismo CI a través de las entradas A1 a A5. Cuando una dirección es reconocida, los primeros 3 bits dados en la línea AD y los últimos 6 bits dados en la línea DI son capturados dentro del circuito y entonces la salida CTS se pone en nivel bajo durante un período de marco. Los primeros 3 bits de AD programan a las tres salidas de control Q0, Q1 y Q2. Los últimos 6 bits de DI contienen información sobre la ranura de tiempo. Los primeros dos bits de DI son bits que dan el modo de operación del control que debe ejercer el TSAC sobre el CODEC. La Tabla II muestra el formato de las palabras de AD y DI, (Anon., 1979; Wellenstein, 1980).

FST y FSR son entradas de sincronía para el marco de transmisión y recepción respectivamente. TXE y RXE son las salidas de los pulsos de control que dan origen a las ranuras de tiempo. Cada pulso de control tiene una duración de 8 pulsos del reloj maestro, dado en la entrada DC

(para el estándar que hemos adoptado y que es el CEPT, la frec. del reloj es 2.048 MHz), después de un número entero de ranuras de tiempo a partir del frente de subida de los pulsos de sincronía o FSR respectivamente, (Anon., 1979; Wellenstein, 1980).

El MC14418 puede ser completamente reprogramado, si ello es necesario, cada dos marcos o lo que es lo mismo, cada 250 μ seg. En la fig. 4.6 se da un diagrama de tiempos de estas señales.

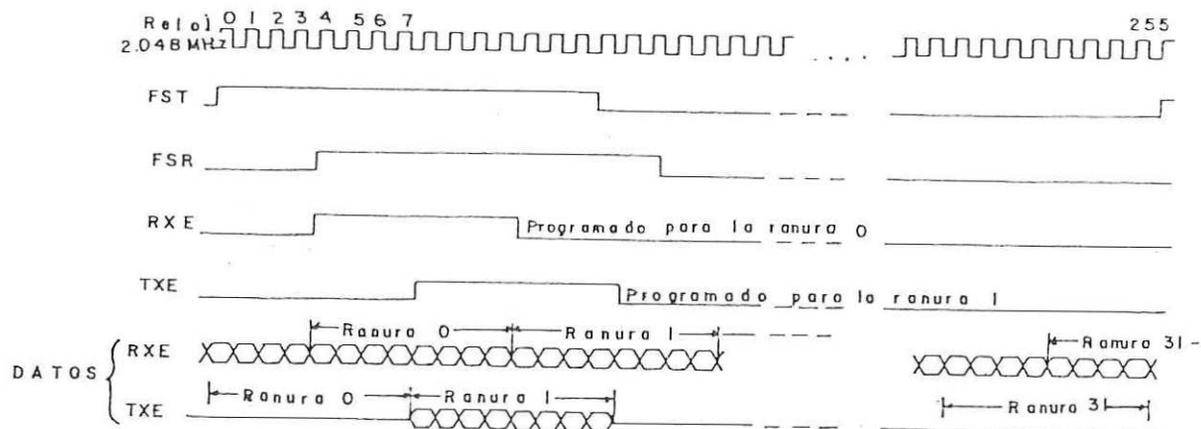


Fig. 4.6) DIAGRAMA DE TIEMPOS DE LAS SEÑALES DEL TSAC

TABLA II
FORMATO DE LAS PALABRAS AD Y DI

| ACCION RESULTANTE DE LA CONFIGURACION DE BITS | PALABRA DI | | PALABRA AD | |
|--|----------------------|---------------------|-------------------|-----------------------|
| | MODO DE OPERACION | RANURA DE TIEMPO | BITS DE ESTADO | DIRECCION DEL TSAC |
| Asigna al TSAC 16 la 1a. ranura de tiempo para recepción y transmisión y poner los bits de estado en 011. | 0 0 | 0 0 0 0 0 0 | 0 1 | 1 1 0 0 0 0 |
| Asigna al TSAC 1 la ranura de tiempo 8 para recibir solamente y poner los bits de estado en 011. | 1 0 | 0 0 1 0 0 0 | 0 1 | 1 0 0 0 0 1 |
| Asigna al TSAC 8 la ranura de tiempo 2 para transmitir solamente, y poner los bits de estado en 011. | 0 1 | 0 0 0 0 1 0 | 0 1 | 1 0 1 0 0 0 |
| Programa al TSAC 4 en estado de espera (no hay ranuras de tiempo activadas) y poner los bits de estado en 011. | 1 1 | X X X X X X | 0 1 | 1 0 0 1 0 0 |
| Poner al CODEC 1 en bajo consumo de potencia. | X X | X X X X X X | 1 1 | 1 0 0 0 1 0 |

IV.1.2 Definiciones de Conmutación Temporal.

Una matriz temporal digital está compuesta básicamente por los elementos que se encuentran en las figs. 4.7a) y 4.7b) (Anon., 1981)

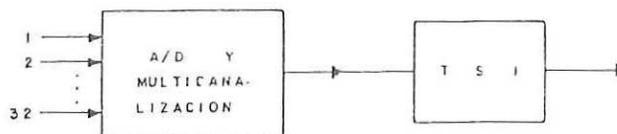


Fig. 4.7a) TRANSMISION

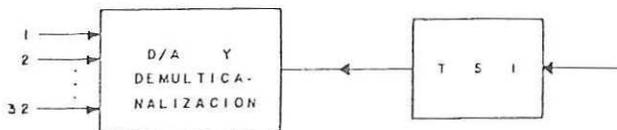


Fig. 4.7b) RECEPCION

Como cualquier matriz de conmutación, la función que hace es la de interconectar en pares a los abonados de manera que se establezca la comunicación deseada.

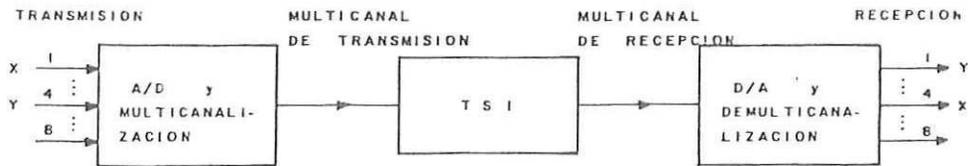
La información de cada abonado que viene en forma analógica es digitalizada y luego puesta en un canal de transmisión llamado también ranura de tiempo.

El elemento que realiza la conversión analógico digital y viceversa es llamado CODEC, este puede ser compartido en tiempo por varios abonados o puede haber uno por abonado. Cuando hay un CODEC por abonado, es el componente principal de la unidad de línea. Como se ha dicho antes, la función básica del CODEC es la de convertir la señal de voz en un tren de pulsos codificados cuando está en el modo de transmisión, si por el contrario, se encuentra en el modo de recepción realiza la decodificación del tren de pulsos y los convierte en la señal analógica de voz. El tipo de codificación que se usa es PCM; existen dos estandares PCM adoptados por el CCITT, estos se muestran en la Tabla III.

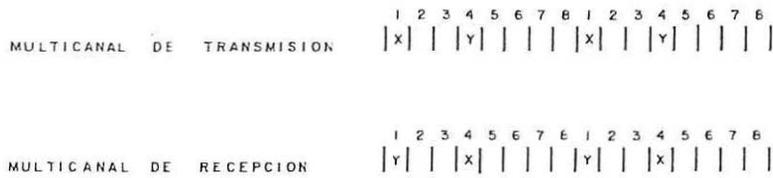
| TABLA III | | |
|---------------------------------------|--|----------------------------------|
| ESTANDARES PCM ADOPTADOS POR EL CCITT | | |
| | USA | CEPT |
| MUESTREO | 8 KHz | 8 KHz |
| MODULACION | PCM DE 8 BITS | PCM DE 8 BITS |
| COMPRESION | μ 255 | A 87.6 |
| MARCO | 24 RANURAS DE TIEMPO +1/ BIT POR MARCO. | 32 RANURAS DE TIEMPO |
| SEÑALIZACION | EL BIT MENOS SIGNIF. ROBADO CADA 6 MARCOS | 1 CANAL COMUN DE DOS PALABRAS |
| FRECC. DE TRANSM. | 1.544 MBITS | 2.048 MBITS |
| DETECCION DE MARCO | BIT DE MARCO CODIFICADO | PALABRA DE MARCO DE 8 BITS. |

De la tabla se nota que ambos estándares tienen la misma frecuencia de muestreo y usan palabras de 8 bits. Sin embargo, en la cuantización (ó Ley de compresión) y en la multicanalización difieren (como por ejemplo, número de canales por marco, en la forma de derivar las señales de control y en la manera de detectar el inicio de un marco).

La operación que realiza el TSI (siglas en inglés que significan "conmutador de ranuras de tiempo o canales de voz"), se ilustra en la fig. 4.8 (Anon.,, 1981). A manera de ejemplo, se suponen solamente 8 abonados, la función del TSI se muestra con los abonados 1 y 4. La información X transmitida por el abonado 1 aparece en la ranura de tiempo 1 del multicanal de transmisión (para su definición ver glosario). El TSI retarda a X desde la ranura de tiempo 1 hasta la ranura de tiempo 4 en el multicanal de recepción (ver glosario) como se muestra en la fig. 4.8 (b), por lo tanto X llega al abonado 4. Análogamente, la información Y transmitida por el abonado 4, es retardada desde la ranura de tiempo 4 en el multicanal de transmisión hasta la ranura de tiempo 1 en el multicanal de recepción. De esta manera ha quedado establecida una trayectoria de comunicación entre los abonados 1 y 4.



(a)



(b)

Fig. 4.8) CONMUTADOR DE RANURAS DE TIEMPO (TSI)

El TSI y el multicanal mostrados en la fig. 4.8, son independientes uno de otro, sin embargo, se puede lograr una economía si se hace una cierta dependencia. Por ejemplo, al tener un CODEC por unidad de línea, el muestreo y la codificación puede ser realizada en la ranura de tiempo en que la información sea requerida en el multicanal de recepción, combinando de esta forma las funciones del multicanal de transmisión y del TSI. Esto es lo que se hará en el sistema descrito por esta tesis.

Una red de conmutación temporal puede ser diseñada con una probabilidad de bloqueo deseada. En general se hacen de tal forma que dicha probabilidad tienda a cero. Para hacer esto, se necesita que el número de ranuras de tiempo sea igual al de los abonados.

IV.1.3 Circuitos de Conversión de la velocidad de transmisión de la información

a) Definiciones

Como se ha visto, la asignación de ranuras de tiempo a los canales de información es llevada a cabo en la unidad de línea, por tanto, es aquí donde tenemos la primera fase de la conmutación digital. La velocidad de transmisión en esta parte es la del estándar adoptado, es decir de 2.048 MHz. Para que la probabilidad de bloqueo en la matriz temporal sea cero, es necesario que la cantidad de ranuras de tiempo sea igual a la cantidad de abonados, es por ello que la matriz temporal que tiene 32 ranuras de tiempo tendrá 32 abonados. Ahora bien, la configuración de la matriz completa es T-E-T, por tanto debemos considerar la probabilidad de bloqueo que se tiene en la parte espacial, este análisis sale fuera del alcance de este trabajo, sin embargo, podemos decir que a medida que el número de ranuras de tiempo en la matriz espacial sea mayor que en la matriz temporal la probabilidad de bloqueo de la red TET será menor y está dada por la siguiente relación (McDonald, 1978).

$$p = \frac{(p-1)!}{r!} \frac{2^{2(p-1)-r} \tau^{r(2-\tau)}}{2^{2(p-1)-r}} \quad (1)$$

donde:

P = Probabilidad de bloqueo

p = número de ranuras de tiempo en el multicanal de transmisión

r = número de ranuras de tiempo en la etapa espacial

t = tráfico del multicanal dado en Erlangs

en el caso del presente trabajo se tiene $r = 2p$ y por tanto la red es no bloqueable, es decir, la probabilidad de bloqueo es cero. Para poder obtener lo anterior es necesario entonces doblar la velocidad de transmisión dentro de la matriz espacial. Esto se logra a través de un banco de 32 registros (uno para cada ranura de tiempo que provienen del multicanal y que de ahora en adelante se llamarán ranuras externas) usados en la transmisión, análogamente para la recepción es necesario que la velocidad de transmisión que viene de la matriz espacial sea convertida a la velocidad del estándar y así poder pasar al conjunto de las unidades de línea, esta conversión de velocidad (ó frecuencia) es lograda también por otro banco de 32 registros.

b) Descripción del Circuito

Primeramente, se observa que los bancos de registros son de la lógica

TTL (transistor-transistor-logic) por operar esta familia con señales de gran velocidad, por tanto se requiere de un circuito de interfaz para que la unidad de línea pueda ser conectada a estos registros. En la figura 4.9 se dá un diagrama a bloques del circuito total.

A continuación se detallarán brevemente cada uno de estos bloques.

1) Circuito de Interfaz de lógica CMOS a TTL y ducto de las señales.

Dado que la lógica de la unidad de línea es diferente a la del banco de registros, es necesario un circuito que haga la interfaz de una a otra. Esto se logra con el circuito de la fig. 4.10a), existiendo un circuito por cada unidad de línea. En la misma figura se ve que la salida del

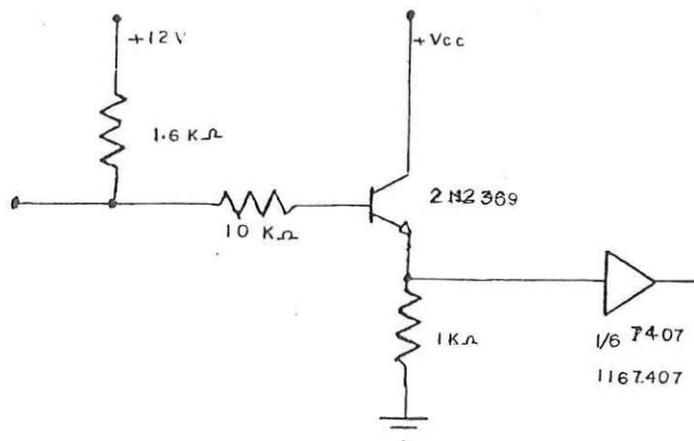
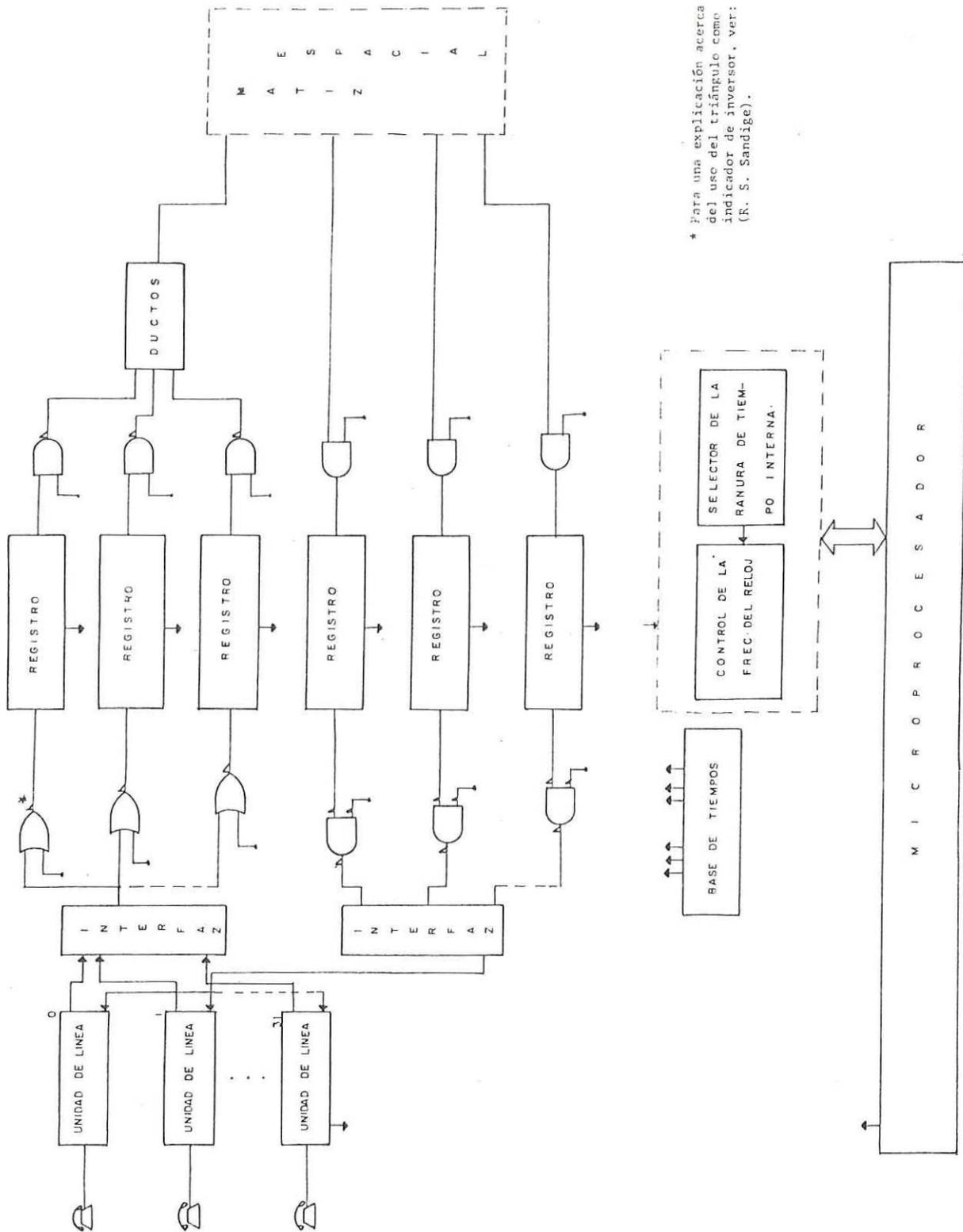


Fig. 4.10 a) INTERFAZ DE LOGICA CMOS A TTL



* Para una explicación acerca del uso del triángulo como indicador de inversor, ver: (R. S. Sandige).

-Fig 4.9 DIAGRAMA A BLOQUES DE LA MATRIZ TEMPORAL

circuito va conectada a una compuerta no inversora a colector abierto cuya salida se unirá a la salida de las demás compuertas que pertenecen a los circuitos de interfaz de las restantes unidades de línea. Al unirse dichas salidas se forma lo que se conoce como una compuerta "y alambrada" fig. 4.10b (Sandige, 1978). La salida contiene la información de todas las unidades de línea, es decir, tenemos un ducto de transmisión de las señales de todos los abonados.

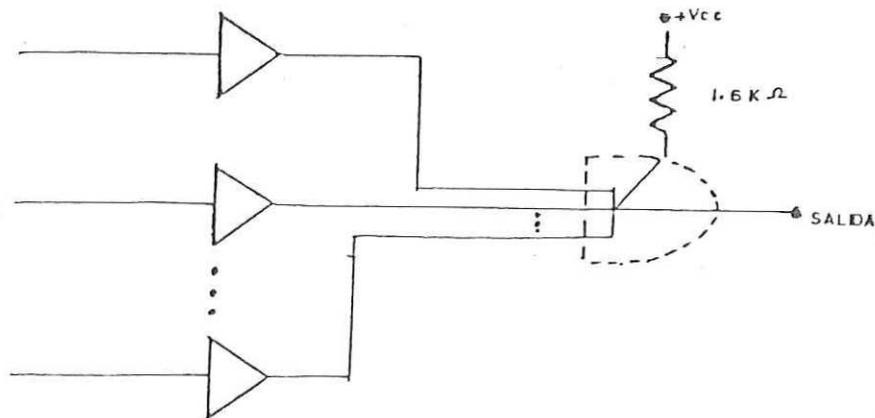


FIG 4.10b) COMPUERTA "Y ALAMBRADA"

2) Registros y Compuertas

La información que proviene del circuito de interfaz entra por igual a todas las compuertas que van a la entrada de los registros. En la fig. 4.11a se ilustra un solo registro con sus compuertas de entrada y salida.

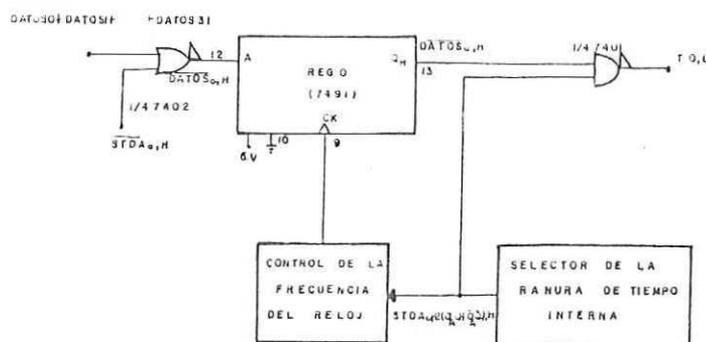


FIG 4.11a) REGISTRO DE TRANSMISION

La compuerta de entrada solo permite pasar la información contenida en la ranura de tiempo externa que le corresponde al registro (esto está determinado por el pulso de control STDA que proviene de la base de

tiempos), que en el caso de la Fig. 4.11a es la señal DATOS 0. El registro accesará los bits de DATOS 0 en cada frente de subida del pulso del reloj. EL reloj tiene dos frecuencias de operación una que es la de 2.048 MHz que opera cuando la información de la ranura externa entra al registro y otra que es del doble (4.096 MHz) y que funciona cuando la señal sale del registro convertida en una ranura de tiempo interna. La selección de una de las frecuencias está determinada por el circuito de control del reloj. En la fig. 4.11b se dá un esquema de este circuito.

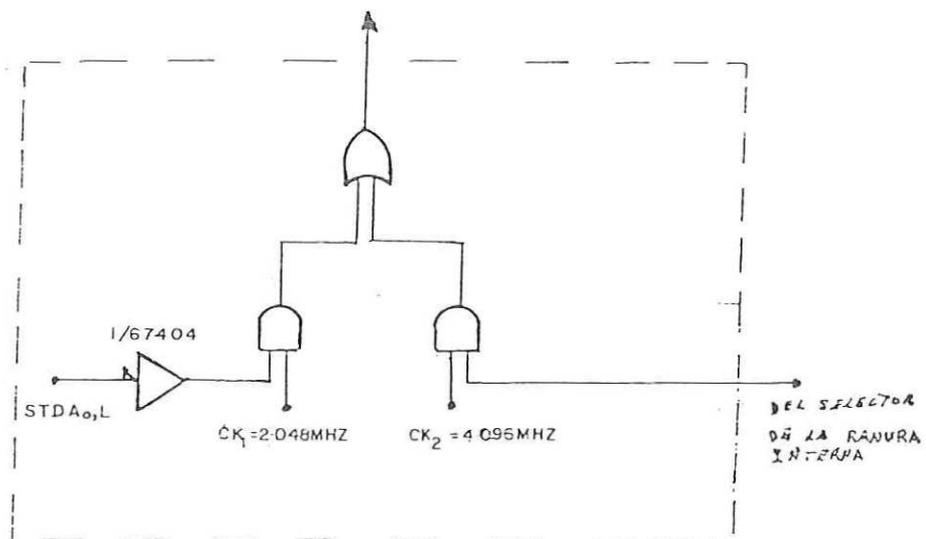


FIG. 4.11 b) CONTROL DE LA FRECUENCIA DEL RELOJ.

La velocidad de las ranuras internas es del doble de la de las ranuras externas, y por lo tanto en la ocurrencia de una externa se dan dos internas. Ahora bien, en solo una de las ranuras internas se pondrá la información de la ranura externa, la elección de una de ellas es precisamente la función que realiza el circuito selector de la ranura de tiempo interna. El diagrama de este circuito, junto con los diagramas de tiempos se da en la fig. 4.12a.

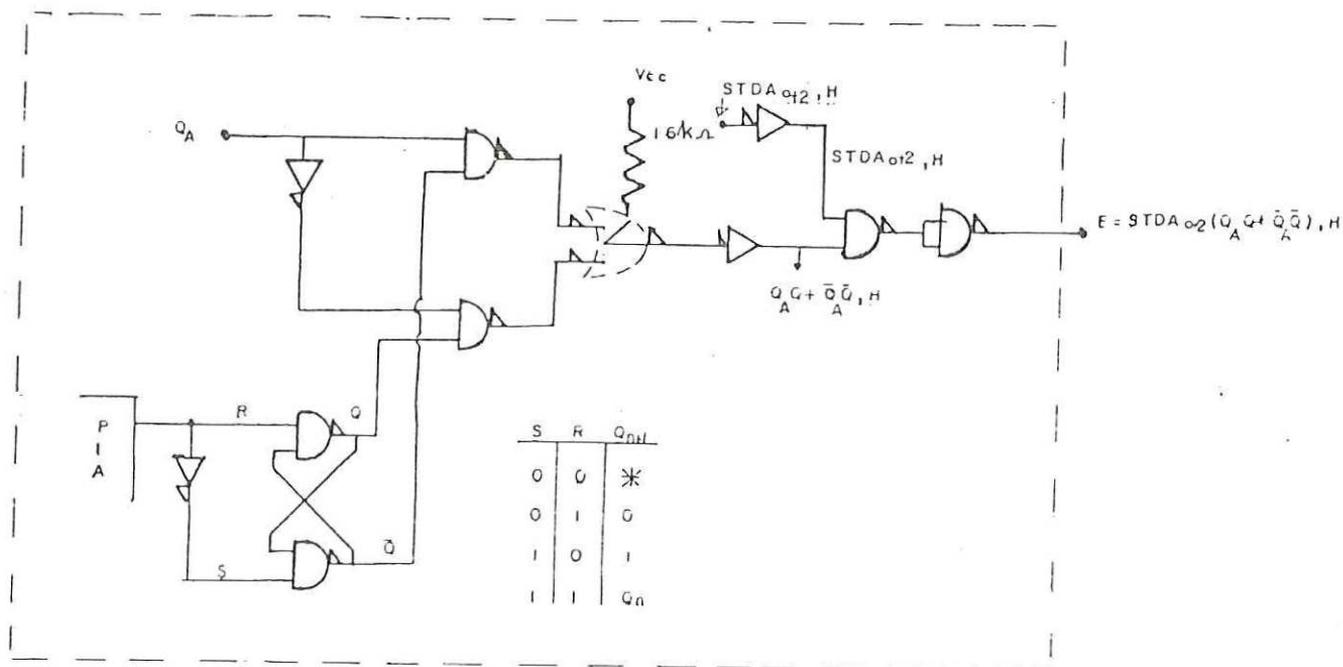


Fig.4.12a) SELECTOR DE LA RANURA DE TIEMPO INTERNA.

La salida del circuito F está activada con un nivel alto (H). Este circuito selecciona una u otra ranura (éstas se muestran en la fig. 4.12b bajo la señal de control que proviene del puerto de salida).

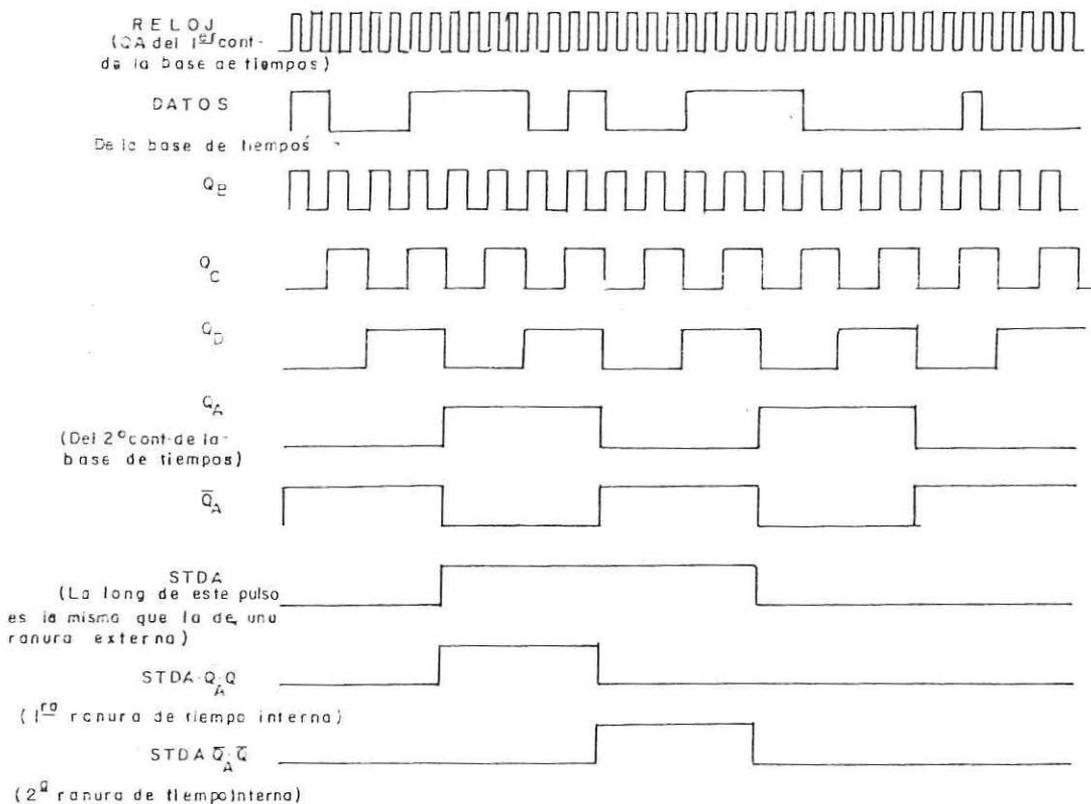


Fig. 4.12b) DIAGRAMA DE TIEMPOS

El circuito de control de la frecuencia del reloj y el selector de la ranura de tiempo interna son los mismos para el registro de recepción correspondiente. Así por ejemplo el Reg. 0 queda como se vé en la Fig. 4.13.

A cada par de registros (uno en transmisión y otro en recepción) les corresponden circuitos como éstos.

El conjunto de los circuitos anteriores (que en su totalidad lo componen 32 pares, uno de transmisión y uno de recepción) forman el bloque "control de la velocidad de transmisión de la información" mostrado en la fig. 4.9. Aunque en esta figura se ilustra como si fuera centralizado, la verdad es que se encuentra distribuído a lo largo de todos los registros.

3) Base de Tiempos de la Matriz Temporal

Este circuito ya ha sido descrito en la sección 4.1.2 del presente trabajo de tesis.

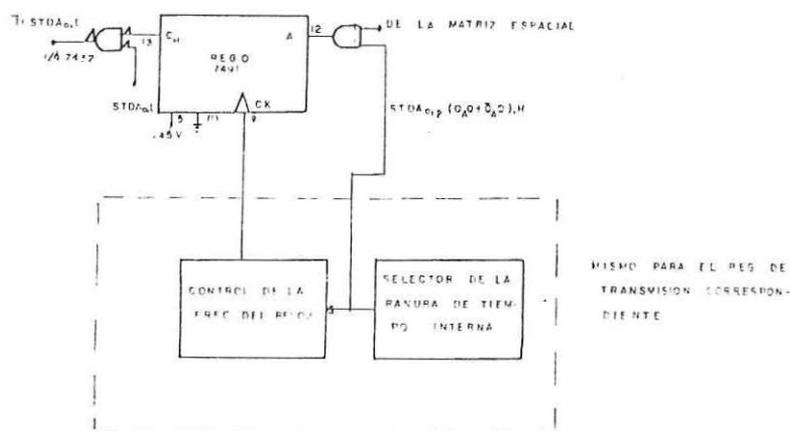


FIG 4.13) REGISTRO DE RECEPCION

4) Ducto de Señales

Para que las 32 señales provenientes de las unidades de línea queden multicanalizadas en tiempo en un alambre, lo que se hace es realizar una suma (ó multiplicación) lógica "alambrada" aprovechando las características de las compuertas a colector abierto (que se encuentran a la salida de los registros). Este se ilustra en las figs. 4.14a y 4.14b. (Sandige, 1978).

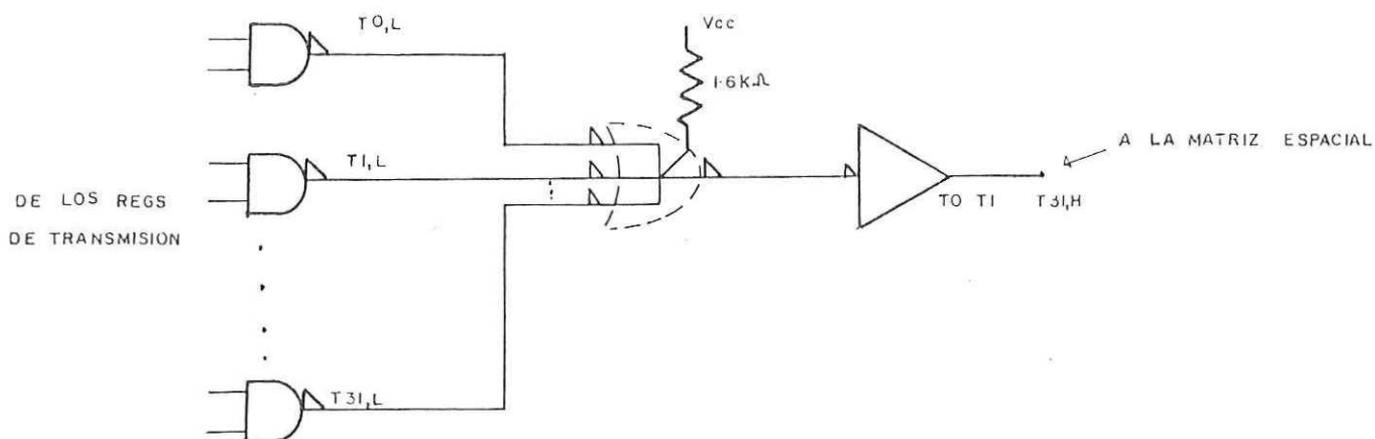


Fig. 4.14a) "0" ALAMBRADO

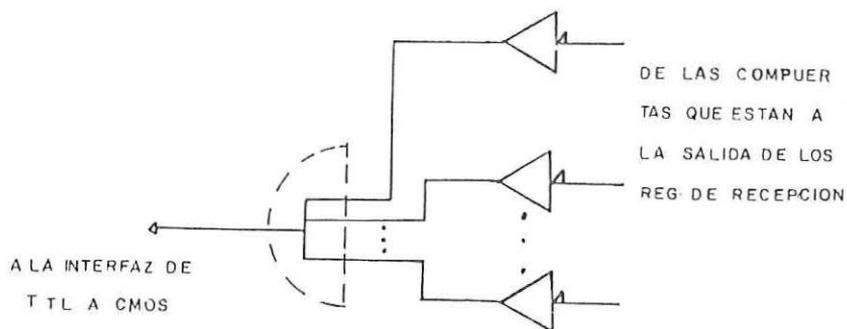
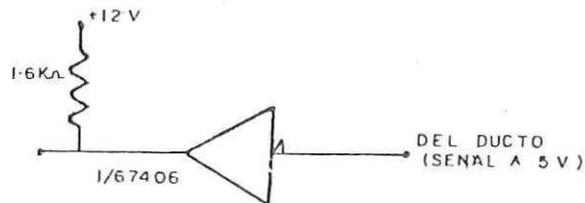


Fig. 4.14b) "Y" ALAMBRADA

5) Interfaz de Lógica CMOS a TTL

Al igual que para el ducto de señales, se aprovecha otra característica de las compuertas con salida a colector abierto, y es la selección del voltaje de salida cuyo rango se encuentra entre 0v y 30v aproximadamente. Por tanto las señales que vienen con un nivel de voltaje de TTL (5 volts) pueden ser subidas al nivel de la lógica CMOS (12 volts), ésto se muestra en la fig. 4.15.



Fíg. 4.15) INTERFAZ DE TTL A CMOS

Con ésto se termina de describir el circuito que compone la 2a. parte de la matriz temporal.

IV.2 Red de Conmutación Espacial

IV.2.1. Consideraciones Generales

Una red de conmutación espacial digital puede estar formada por una o varias matrices espaciales, ésto es, arreglos de puntos de cruce que conectan digitalmente a un conjunto de canales múltiples que forman las filas con otro que componen las columnas de la matriz haciendo diferentes estados de conexión en cada ranura de tiempo. A continuación se dan las propiedades que en modo general son significativas (Bollman, et al., 1977)

- 1) Cada matriz espacial que conecta n (filas) con m (columnas) es equivalente a $K.n.m$ puntos de cruce, donde K es el número de canales (o ranuras de tiempo).
- 2) Dados n y m , la memoria de control necesaria crece linealmente con K .
- 3) Los puntos de cruce pueden ser compuertas lógicas o interruptores analógicos de banda ancha.

Con respecto a las entradas y las salidas de una matriz, se dan tres casos a saber:

- a) $n < m$ la matriz se denomina concentrador
- b) $n > m$ la matriz es de expansión
- c) $n = m$ la matriz solamente distribuye las señales

donde,

n = número de entradas (o filas) de la matriz

m = número de salidas (o columnas) de la matriz

IV.2.2 Arreglo espacial

La matriz espacial del sistema que se describe en esta tesis, pertenece al tercer caso ($n=m$) de orden 4, ésto se muestra en la figura 4.16 donde cada línea, tanto en la recepción como en la transmisión, es un multicanal de 32 ranuras de tiempo. Además los puntos de cruce o nodos de la matriz están implementados con compuertas lógicas. La apertura o cierre de cada nodo es hecha a través de pulsos de control que están direccionados bidimensionalmente, quedando por lo tanto cada nodo

controlado por un par de pulsos. Estos pulsos tienen la duración de una ranura interna y son generados por el circuito de control que se describe en el siguiente párrafo.

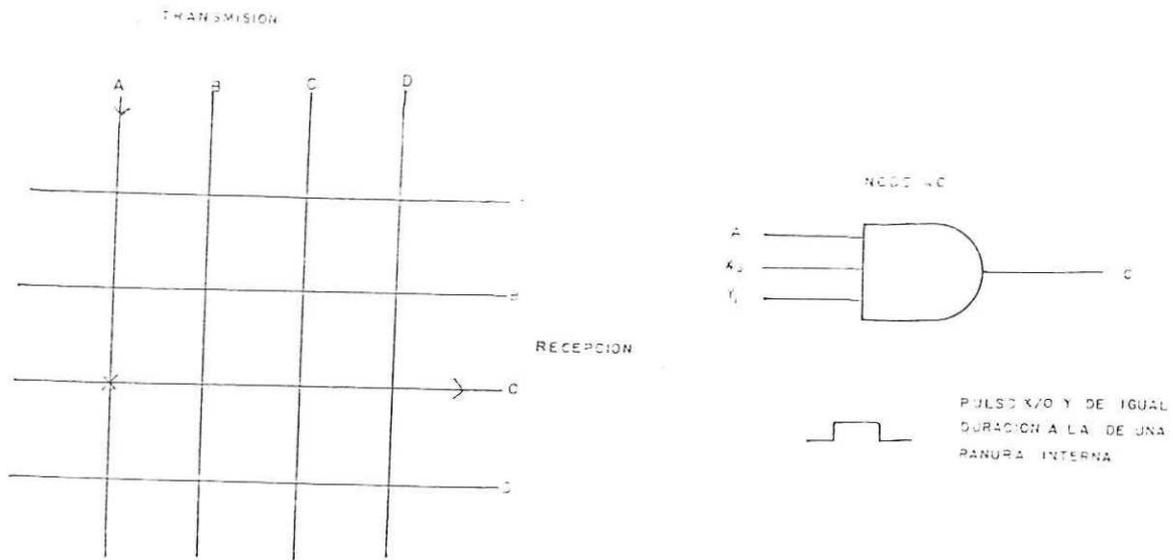


Fig 416 b) CONTROL RECTANGULAR X Y

Fig 416 a) MATRIZ ESPACIAL

Para que la matriz espacial sea estrictamente no bloqueable, se requiere que haya al menos el doble de ranuras internas con respecto a las conversaciones. El número de las conversaciones que se pueden hacer es de 64 por lo tanto se necesitan 128 ranuras internas, ésto es dos por conversacion (una por cada abonado). El arreglo espacial mostrado en la fig. 4.17 da solo 64 de las 128 ranuras internas necesarias y es por ello que se necesita otro arreglo similar al ya descrito. Por tanto la

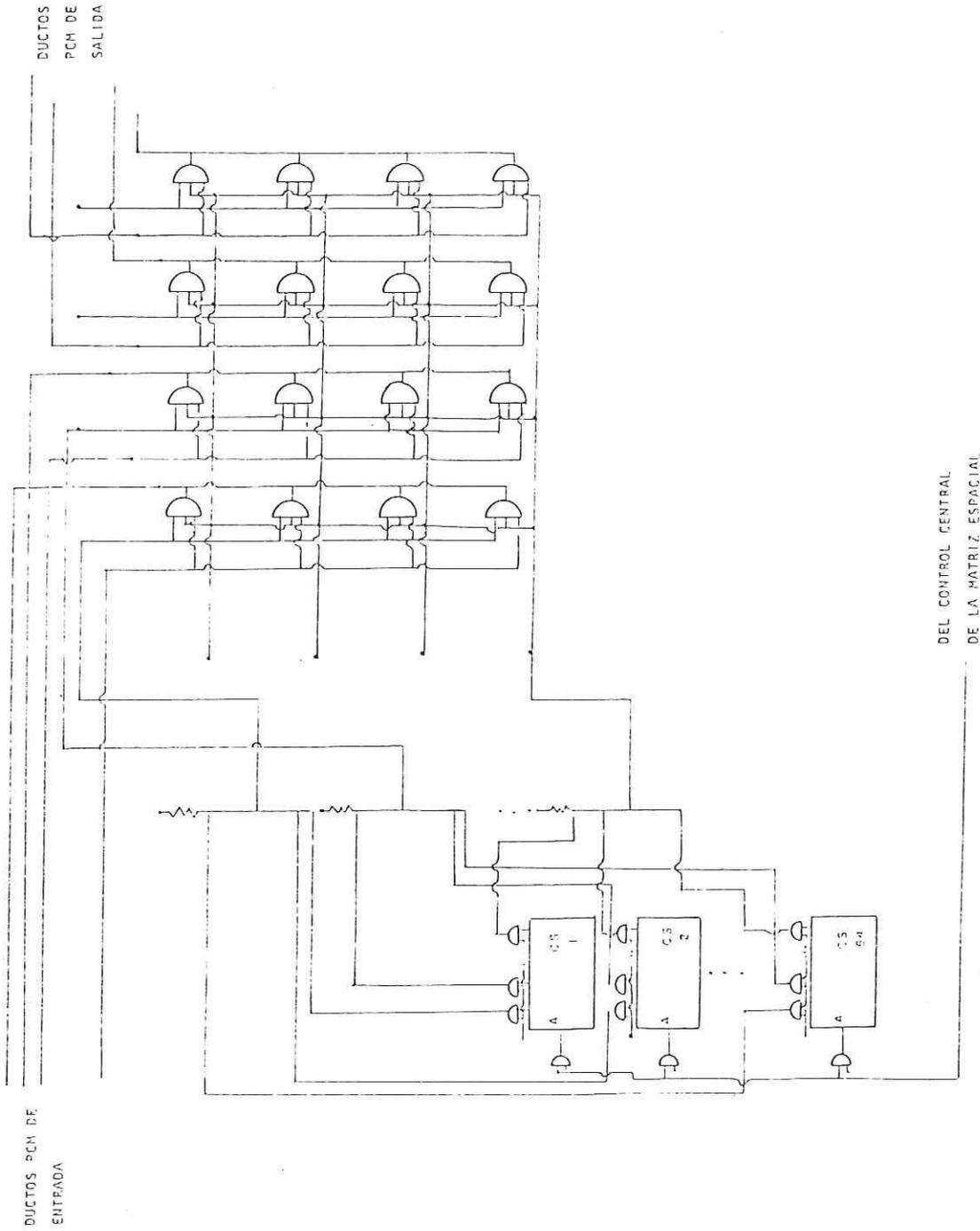


Fig. 417 ARREGLO DE VÍOSOS CONTROLADOS POR EL BIANCO DE NEGROS

configuración final está constituida por dos arreglos idénticos y que llamaremos PLANO A y PLANO B para diferenciarlos uno del otro. La selección de uno u otro plano se hace a través del circuito de control mostrado en la fig. 4.18. Este circuito permite el paso de la señal de voz proveniente de la matriz temporal a través del PLANO A o del PLANO B según sea el caso.

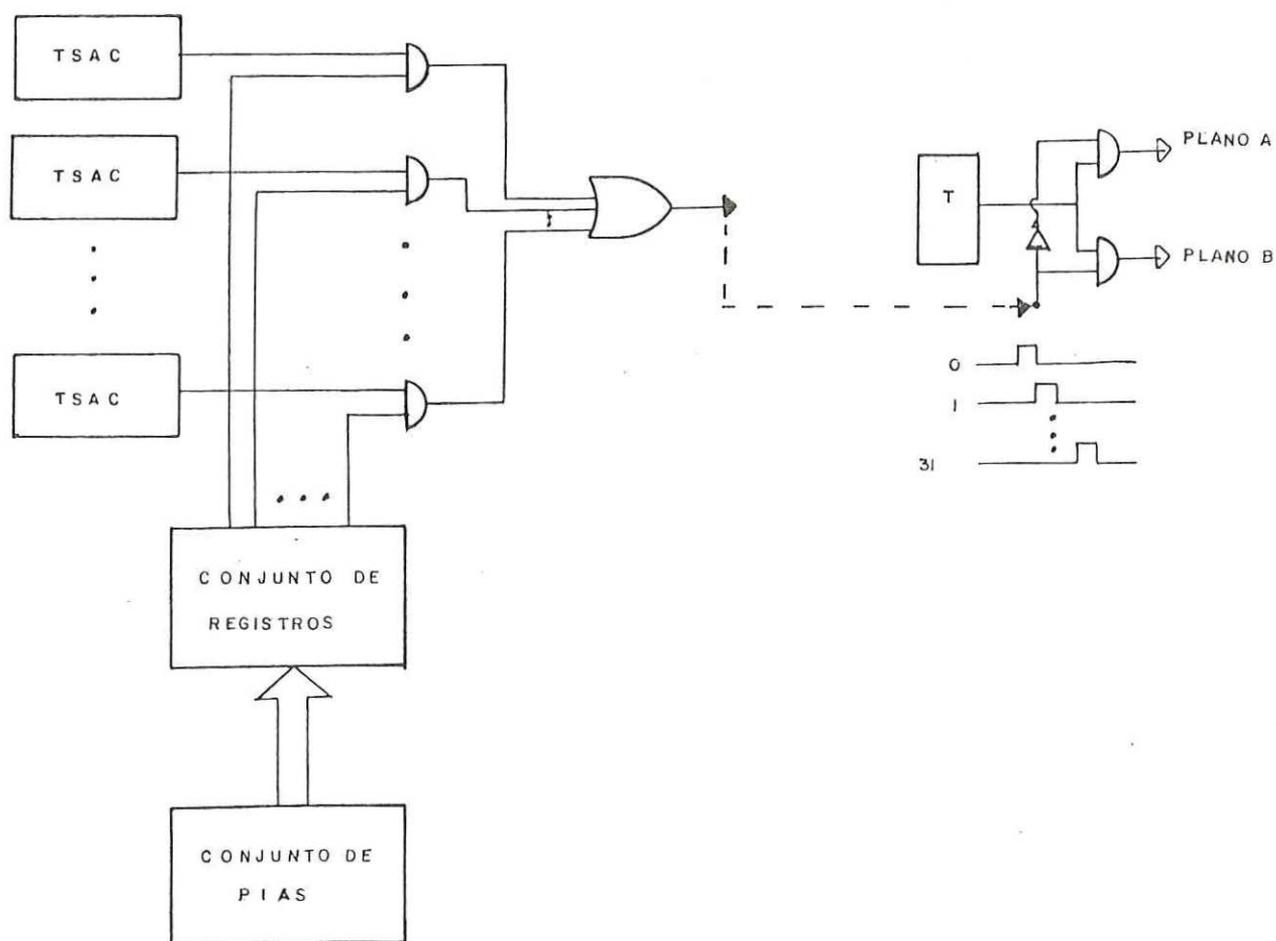


Fig. 4.18) CIRCUITO DE CONTROL DE LOS PLANOS DE LA MATRIZ ESPACIAL.

IV.2.3 Circuito de control del arreglo espacial.

Para su descripción este circuito se dividirá en dos partes, una que es el conjunto de registros que contienen la información del estado de conexión de los nodos para cada ranura interna y la otra que es la parte que determina el contenido de los registros y que se denominará control central.

a) Banco de registros

Estrictamente hablando existen dos bancos de registros iguales entre sí, uno para el PLANO A y el otro que es usado en el PLANO B por tanto solo es necesario describir a uno de ellos.

El banco de registros está formado por 64 circuitos de registros, habiendo uno por ranura interna, que contienen la información del estado de conexión de los nodos de la matriz la cual varía de una ranura a otra. Como ya se mostró anteriormente, la fig. 4.17 ilustra el conjunto de registros conectados al arreglo de nodos. La descripción de uno de los registros que forman al banco se da a continuación:

Como ejemplo se puede ver en la fig. 4.19 al reg. 0 que genera los pulsos de control que forman el estado de conexión del arreglo de nodos a través de las compuertas 7401 que están en las salidas Q_A a Q_H del registro. Esta información de conexión de los puntos de cruce estará

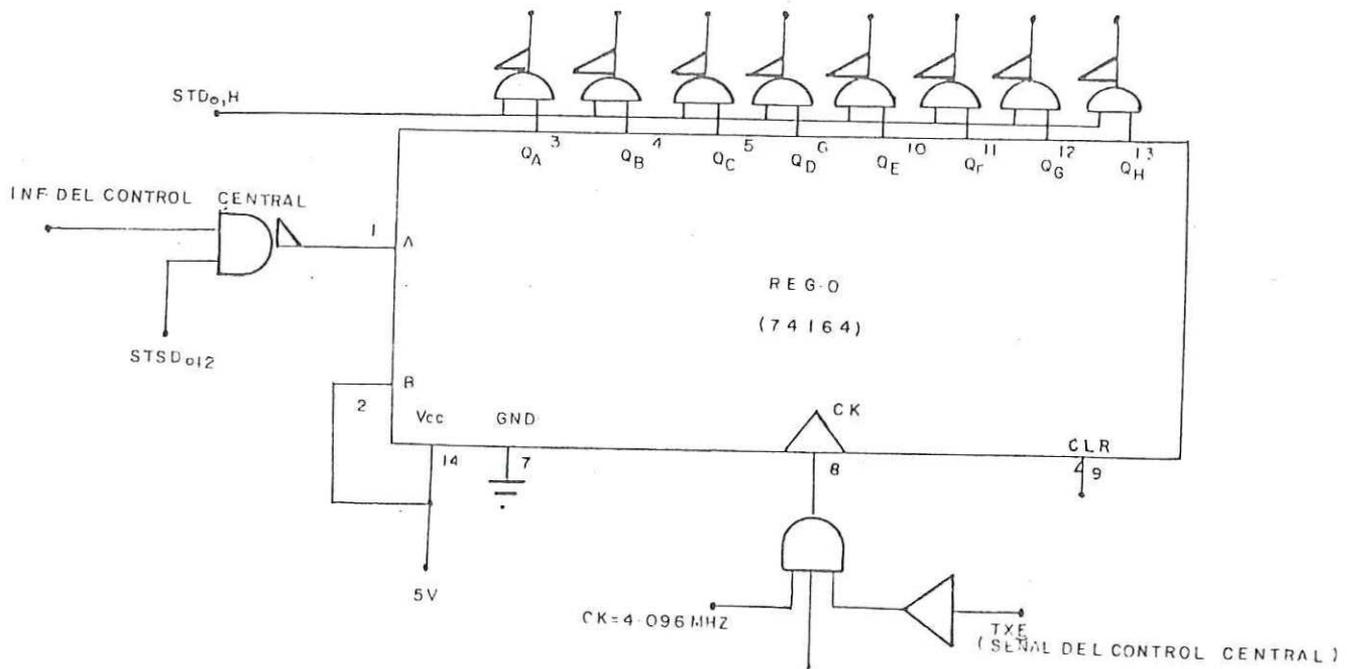


Fig. 4.19) UNO DE LOS 64 REG. QUE FORMAN EL BANCO

presente en las salidas de las compuertas sólo durante la ocurrencia del pulso $STSD,H$ (generado por la base de tiempos espacial descrito en la sección 4.4.2) después del cual volverán a quedar inhabilitados (estado alto H). Dado que las compuertas son de salida a colector abierto, se formará una suma lógica alambrada al conectar entre sí a las compuertas

que corresponden a las salidas Q respectivas de cada uno de los registros. Por ejemplo, la compuerta conectada a Q_A del registro 0 tendrá su salida unida a las salidas de las compuertas que están conectadas al Q_A respectivo de los 63 registros restantes y así de igual manera para las compuertas "0" alambradas de 64 entradas cada una formando las ocho líneas de la matriz, cuatro filas y cuatro columnas teniendo de esta forma el control bidimensional del arreglo de los nodos mencionado anteriormente.

Durante el transcurso del tiempo el estado de conexión de los puntos de cruce puede cambiar para una ranura de tiempo dada teniendo que modificar entonces el contenido del registro correspondiente. Esto se logra por medio de la compuerta conectada en la entrada A. El paso de la nueva información es permitido cuando aparece el pulso $STSD_{x+2}$ (donde x representa a uno de los 64 registros) y además que la señal TXE ocurra haciendo que los pulsos de reloj queden habilitados. De otra manera, a pesar de que la información pase a través de la compuerta, no será reconocida por el registro.

Finalmente, se dirá que al encendido del sistema todos los registros se inicializarán con un nivel bajo (L), ésto se obtiene por medio del circuito de "RESTABLECEDOR" (ilustrado en la siguiente sección) que pone

un nivel bajo en la entrada CLR de cada uno de los registros.

b) Control Central

El circuito llamado "control central" está compuesto de un registro de entrada paralelo y salida serie, un TSAC y un circuito de interfaz (PIA) para comunicación con el microprocesador además de circuitos de lógica combinatoria. El diagrama a bloques de este circuito se dá en la fig.

4.20

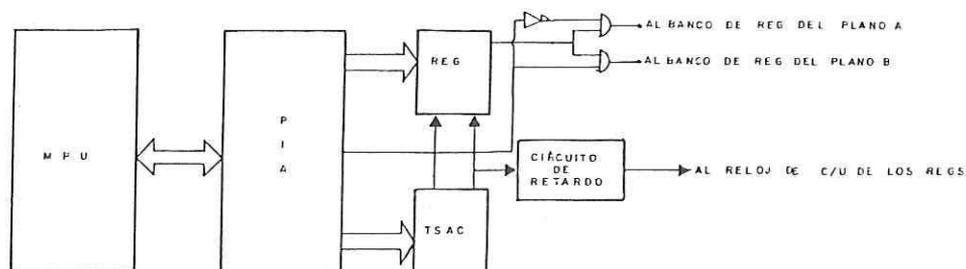


Fig. 4.20 DIAGRAMA A BLOQUES DEL CONTROL CENTRAL .

El circuito integrado MC6821 llamado PIA es un circuito que contiene puertos de salida programables, éste hace la interfaz del ducto de datos del microprocesador con el circuito periférico (que en este caso son el

registro y el TSAC). Cada 6821 consta de dos puertos de ocho líneas cada uno, que pueden ser programados individualmente como entradas o salidas. Se asignará un puerto completo al registro de entrada paralelo-salida serie a través del cual se enviará la información del estado de conexión de los nodos. Del otro puerto solo se usarán cinco líneas que darán las señales requeridas por el TSAC en su comunicación con el microprocesador. De las tres líneas restantes se empleará una de ellas para indicar en que plano se va a llevar a cabo la modificación de la información contenida en el registro correspondiente a la ranura interna que será usada.

El TSAC (MC14418) ya ha sido descrito en el párrafo correspondiente al circuito de línea, y por tanto solo se dirá su empleo. Aquí se usa como circuito de control, le indica al registro cuando debe recibir la información que proviene del microprocesador a través del PIA, cuando debe mandarla al banco de registros y a éstos cuando recibirla (ésto se logra haciendo que la señal del TSAC, denominada TXE, habilite la compuerta para permitir la entrada de los pulsos del reloj al ocurrir el pulso $STSD_{x=+2}$). En la fig. 4.21 se muestra el registro junto con los pulsos de control que le manda el TSAC.

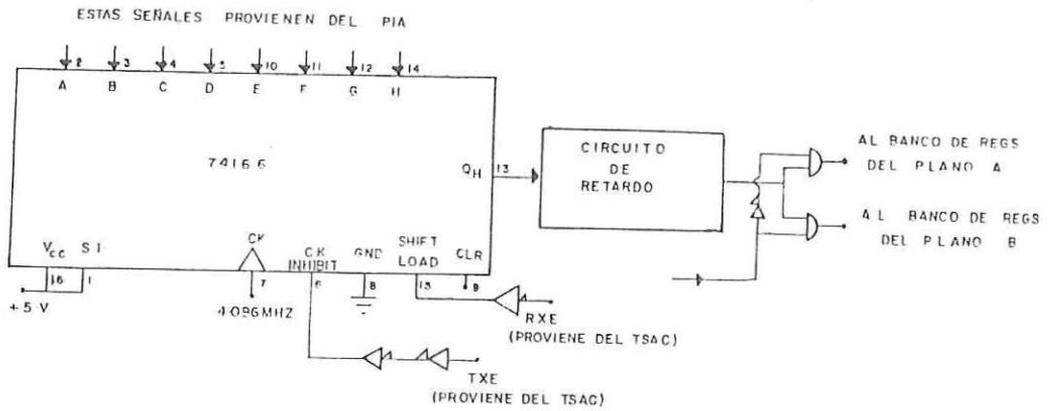


Fig 421) REGISTRO DE ENTRADA PARALELO Y SALIDA SERIE

Para que la información del estado de conexión del arreglo de nodos proveniente del microprocesador sea cargada al 74166 es necesario que las entradas, que son controladas por el TSAC, SHIFT/LOAD y CK INHIBIT estén en nivel bajo (L), inmediatamente después SHIFT/LOAD y CK INHIBIT se ponen en nivel alto para que la información sea enviada al banco de regs.

CK INHIBIT permanece en nivel alto solo durante el tiempo de una ranura

interna volviendo luego al nivel bajo, ésto se hace para que la información no esté saliendo del registro todo el tiempo, sino solo durante el tiempo determinado. SHIFT/LOAD sin embargo, puede quedar en nivel alto. El diagrama de tiempos de estas entradas se dá en la fig. 4.22

Con ésto terminamos de describir al circuito que llamamos control central y con ello además terminamos la descripción de la red de conmutación espacial.

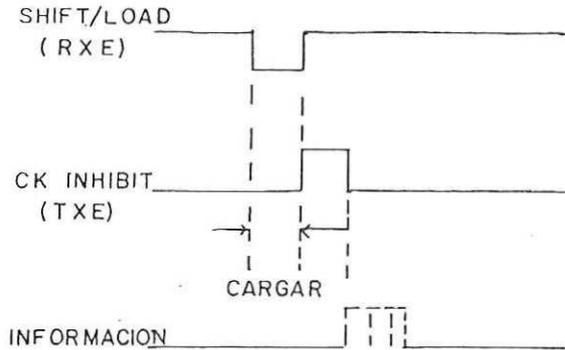


Fig.4.22) SEÑALES DE CONTROL DEL REG. 74166

IV.3 Unidad de Control de la Red Completa

Básicamente esta unidad es una microcomputadora en su forma mas elemental compuesta solo por las partes mas esenciales como el microprocesador, la memoria y la interfaz. El diagrama general se muestra en el fig. 4.23. Describiremos brevemente cada una de estas partes.

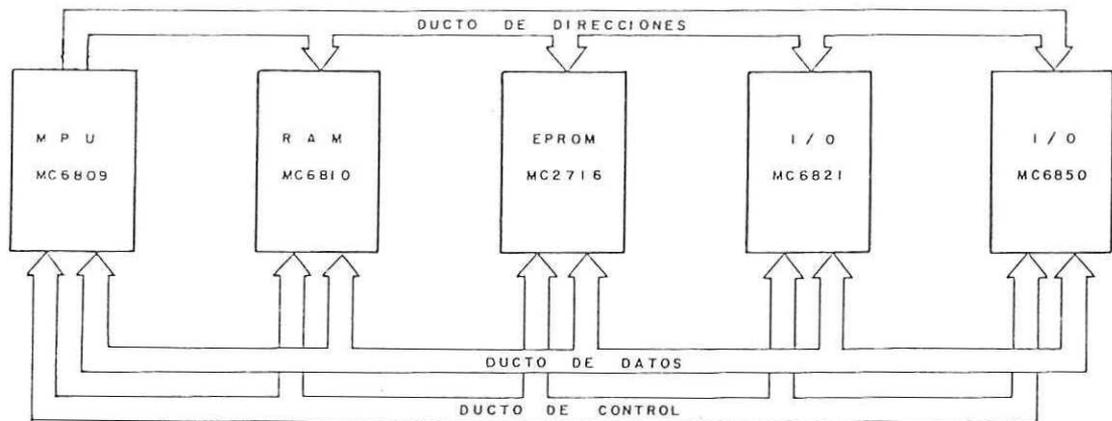


Fig. 4.23) DIAGRAMA A BLOQUES DE LA UNIDAD DE CONTROL DE LA MATRIZ DE CONMUTACION.

a) Microprocesador

El componente principal de la unidad de control de la red lo constituye el microprocesador MC6809. Al igual que la mayor parte de los microprocesadores, tiene tres ductos por los cuales le llega la información necesaria: un ducto de direcciones, un ducto de datos y un

ducto para las señales de control. Es un dispositivo que pertenece a la tercera generación de microprocesadores con características avanzadas en su circuitería. La configuración interna se muestra en la fig. 4.24

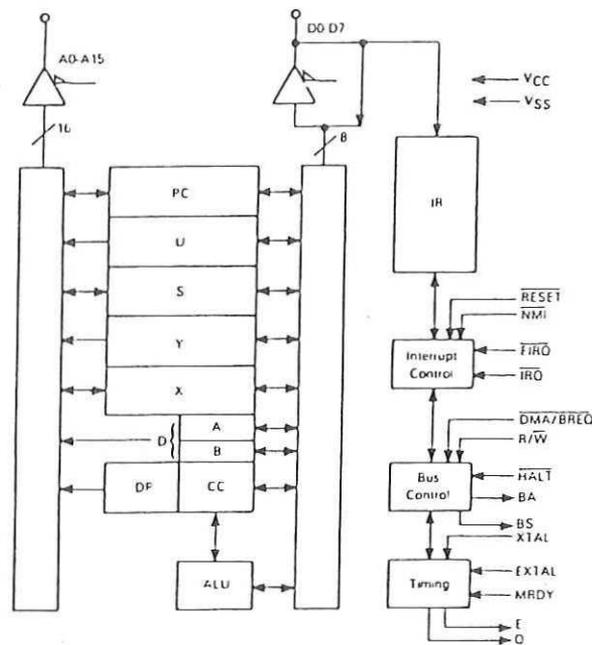


Fig. 4.24 DIAGRAMA A BLOQUES DEL MICROPROCESADOR 6809

Con referencia a la programación, posee ventajas muy superiores sobre otros tipos de microprocesadores, principalmente en sus modos de direccionamiento y facilidad para crear programas independientes de la posición de memoria.

b) Memoria

Desde el punto de vista mas general hay básicamente dos principales tipos de memoria: (1) volátil RAM (memoria de acceso exclusivo), (2) no volátil ROM (memoria de lectura exclusiva). En este último tipo existe una subclasificación llamada EPROM que es un tipo de memoria no volátil que se puede programar y borrar por el usuario. Como se ha mostrado en la fig. 4.23 el sistema de control de la matriz de conmutación emplearía memorias RAM MCM6810 y memorias EPROM MCM2716. La primera está organizada en 128 palabras de 8 bits, se usarán cuatro de ellas inicialmente que hacen medio Kbyte de memoria RAM. La memoria MCM2716 tiene una capacidad de 16384 bits organizadas en 2048 palabras de 8 bits. Se tendrán dos de estas pastillas, logrando tener aproximadamente 4 Kbytes de memoria de lectura exclusiva.

c) Circuitos de Interfaz

Hay dos clases principales de circuitos de interfaz, los que manejan la información en paralelo y los que la trabajan en serie. Cuando la comunicacion es en paralelo se emplea el circuito MC6821 llamado comúnmente PIA, (Parallel Interface Adapter). Este es un dispositivo programable de entrada-salida que contiene dos puertos de 8 líneas cada uno. Las líneas son programadas como entradas o como salidas

independientemente una de la otra. (Anon., 1979). La matriz de conmutación hace un uso extensivo de este circuito pues es la manera mas eficaz de comunicación de la matriz con el microprocesador. En principio se tendrán 4 PIAS, sin embargo su número se puede incrementar a medida que la capacidad de la matriz aumente. La interfaz en serie es empleada cuando el periférico manda o recibe los datos de la información en serie. El circuito MC6850 es un circuito de interfaz asíncrono llamada ACIA, siglas del nombre en inglés "Asynchronous Communications Interface Adapter". Este circuito especial toma los 8 bits en paralelo del ducto de datos del microprocesador y los convierte al modo en serie para el dispositivo periférico.

Tentativamente se han puesto estos circuitos en la unidad de control, aunque no serán empleados en este trabajo, su uso será necesario cuando la matriz se integre al sistema total, en donde tendrá que haber comunicación con un monitor compuesto principalmente por una terminal.

d) Mapa de Memoria

En las últimas generaciones de microprocesadores, ya no se hace distinción entre los dispositivos de memoria y los de entrada y salida.

De esta forma se ve a la memoria y a los dispositivos de entrada y salida como elementos periféricos que contienen uno o mas registros en los cuales se almacena información temporal o permanentemente. Es obvio que una unidad de memoria tal como una RAM o una ROM contienen muchos registros de memoria y que una PIA o una ACIA contienen solo unos pocos. Sin embargo el punto esencial es que el MPU no hace distinción entre un elemento de memoria y uno de entrada y salida.

A la unidad de control de la matriz se le ha asignado el mapa de memoria que se muestra en la Tabla IV.

| TABLA IV | |
|---------------------|--------------------|
| MAPA DE MEMORIA | |
| <u>DISPOSITIVOS</u> | <u>DIRECCIONES</u> |
| EPROM1 | 3FFF - 3800 |
| EPROM2 | 37FF - 3000 |
| RAM1 | 2FFF - 2F80 |
| RAM2 | 2F7F - 2F00 |
| RAM3 | 2EFF - 2E80 |
| RAM4 | 2E7F - 2E00 |
| PIA | 27FF - 27FC |
| PIA | 27FB - 27FB |
| PIA | 27F7 - 27F4 |
| PIA | 27F4 - 27F0 |
| ACIA1 | 1FF0 - 1FFC |
| ACIA2 | 1FFB - 1FFA |

IV.4) Circuitos de Reloj y Base de Tiempos.

En esta sección se describen los circuitos que proporcionan las diferentes señales de reloj para el sistema digital. No se intentará desarrollar toda la teoría relativa al diseño de estos circuitos, sino solamente se presentarán con una explicación de porqué se escogió la configuración dada.

IV.4.1) Circuito de Reloj

El circuito de reloj dá la señal de referencia para todas las funciones que se realizan en todo el sistema de la matriz de conmutación. El diagrama esquemático del reloj que se empleará está dado en la Fig. 4.25.

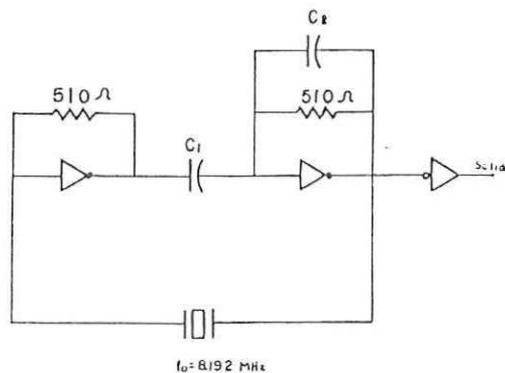


Fig. 4.25 CIRCUITO DE RELOJ

Siendo f_0 la frecuencia del cristal, que en este caso será de 8.192 MHz (aunque la frecuencia de los datos de la señal de voz requiere 2.048 MHz, se usa la frecuencia de 8.192 MHz que es cuatros veces más alta para así poder generar los pulsos que dan origen a las ranuras internas que se usan en la matriz espacial, más adelante se verá lo que es una ranura interna). Para calcular el valor de los capacitores se tiene:

$$X_C = 0 \text{ en } f_0, \text{ así: } \frac{1}{2 f_0 C} = 0, \text{ seleccionamos 1 como valor } \quad (2)$$

pequeño, luego:

$$C_1 = \frac{1}{2 f_0 \cdot 1} = \frac{1}{2 \times 8.192 \times 10^6 \times 1} = 19.4 \text{ nf} \quad (3)$$

$X_{C2} = 510$ en f_0 , luego:

$$\frac{1}{2 f_0 C_2} = 510 \text{ de donde } C_2 = 38.1 \text{ pf} \quad (4)$$

Ventajas de esta configuración:

- 1) Estabilidad en la frecuencia
- 2) Oscilador a cristal sencillo
- 3) Alta frecuencia
- 4) Siempre está inicializado

Desventajas:

- 1) Costo
- 2) No tiene ajuste para simetría

En esencia el circuito propuesto es adecuado a las necesidades del sistema.

IV.4.2) Base de Tiempos

Con el nombre de base de tiempos se pretende llamar a los circuitos que generan las diferentes señales que se usarán para la sincronía de los diferentes circuitos que forman al sistema de la matriz.

La base de tiempos está compuesta de varios circuitos tales como compuertas, contadores y decodificadores. La matriz de conmutación llevará dos de estos circuitos, uno para la parte temporal y otro para la espacial.

a) Base de tiempos para la matriz temporal

Un diagrama del circuito se muestra en la Fig. 4.26. De la figura se puede ver que el circuito está compuesto por tres contadores 74161, dos decodificadores 74159, un 7404 que contiene dos biestables tipo D, y compuertas (inversores y reforzadores).

Los contadores deben de ser síncronos pues de otro modo aparecerían aleas en las salidas de los decodificadores.

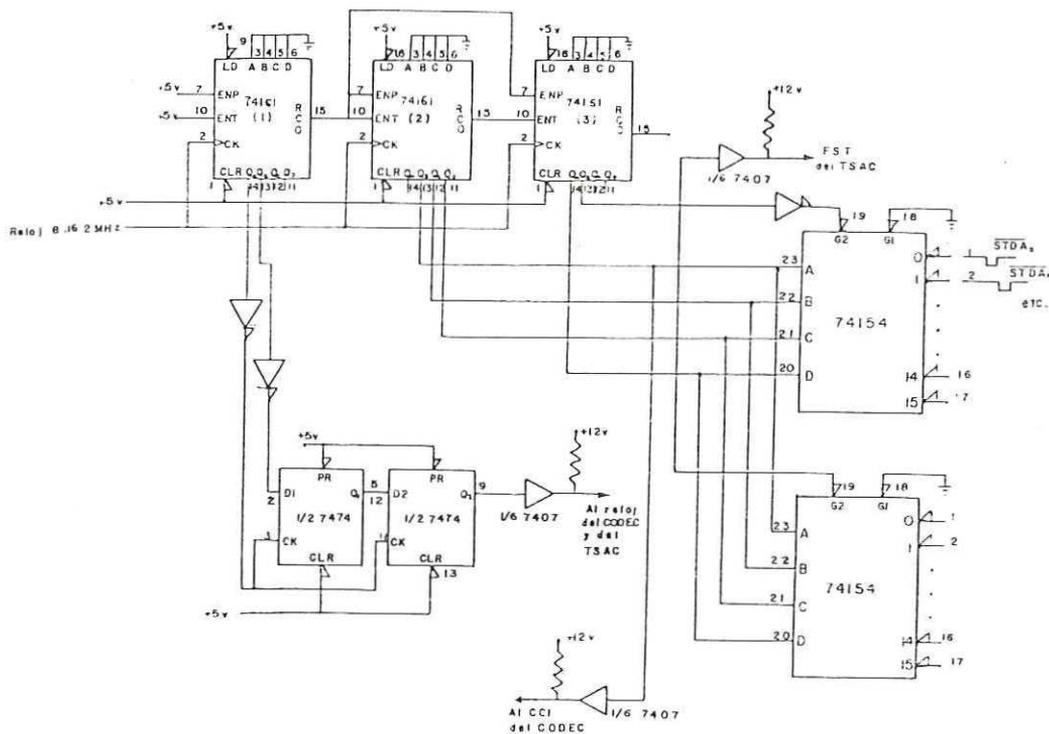


Fig. 4.26 BASE DE TIEMPOS DE LA MATRIZ TEMPORAL

Los decodificadores son empleados para generar pulsos que son llamados "pulsos de sincronía de tránsito de datos" abreviando STDA. Estos pulsos sirven, para controlar el paso de la información a través de las diferentes partes que componen a la matriz temporal. La duración de cada pulso es la misma que la de una ranura de tiempo externa (ver secc. 4.2.1). Existen tantos pulsos STDA como canales de información, siendo treinta y dos los que tiene la matriz temporal de este sistema. En la Fig. 4.27 se muestra un diagrama de tiempos de estos pulsos. Estos pulsos están referidos al pulso de sincronía de marco "FST" (Un marco es la duración del intervalo en que ocurren las 32 ranuras de tiempo).

Volviendo a la Fig. 4.26 se pueden notar los dos biestables que contiene el circuito integrado 7404, éstos sirven para retardar a la señal del reloj del CODEC y del TSAC (expedidos en el párrafo 4.1.2) ya que las señales provenientes de éstos circuitos están adelantadas con respecto a los pulsos "STDA".

Los reforzadores 7407 que se muestra en la figura 4.26, son de colector abierto y son usados para elevar el nivel del voltaje de +5 a +12 volts, pues tanto el CODEC como el TSAC trabajan a +12 volts.

El inversor está conectado a la entrada G para seleccionar a un decodificador o al otro, dependiendo de la salida Q_B del contador.

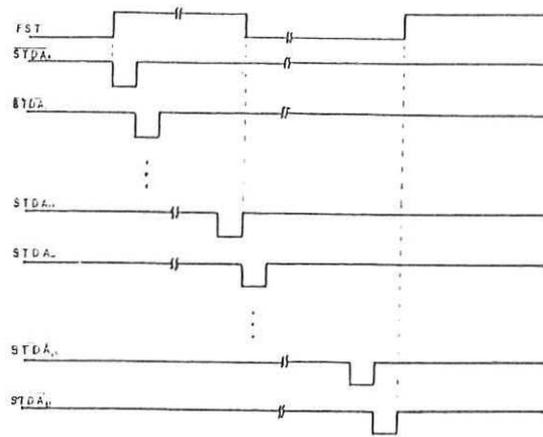


Fig. 4.27 DIAGRAMA DE TIEMPOS DE
LOS PULSOS STDA

b) Base de tiempos para la matriz espacial

El diagrama de este circuito se da en la Fig. 4.28. En esta figura solamente se tienen decodificadores y además compuertas empleadas como reforzadores.

Se utilizan cuatro decodificadores que se usan para generar los sesenta y cuatro pulsos de control llamados "STSD", de modo similar a como se generaron los pulsos STDA de la matriz temporal. Cada pulso STSD tiene la duración de una ranura interna habiendo por tanto uno por cada ranura interna. Los pulsos "STSD" sirven para controlar las salidas de los registros que contienen la información del estatus de los nodos de la matriz espacial. El contador (formado por los tres CI 74161) que se usa

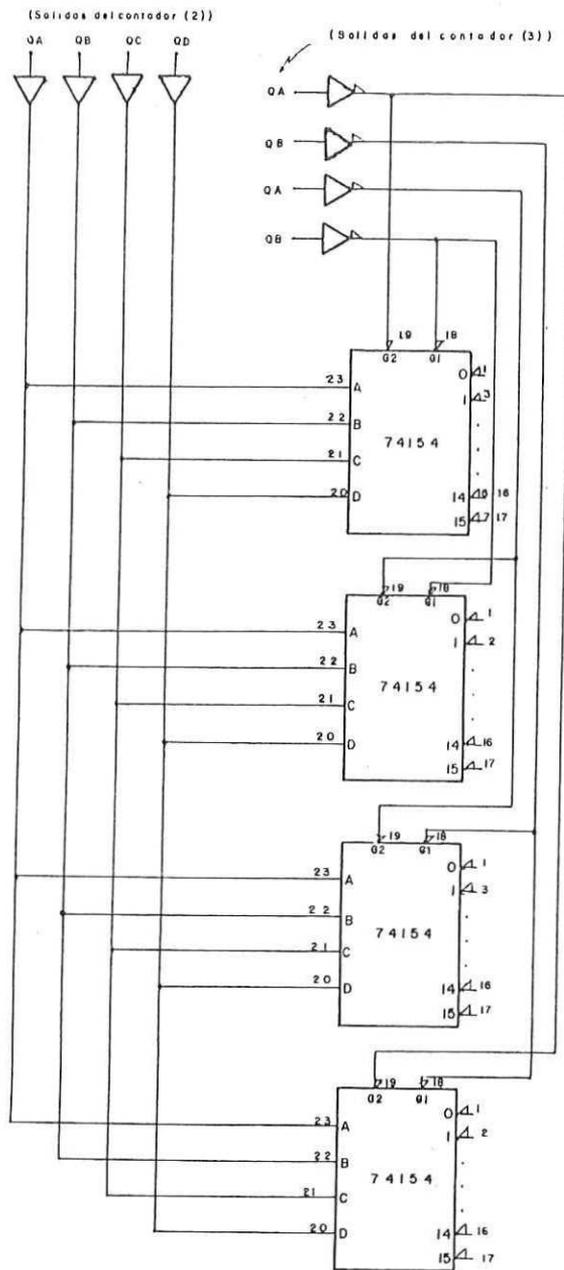


Fig. 4.2B) BASE DE TIEMPOS DE LA MATRIZ ESPACIAL

en este circuito es el mismo que el de la matriz temporal (mostrado en la Fig. 4.26), empleándose solamente reforzadores en las salidas del mismo. Esto fue así para tratar de evitar al máximo los problemas de sincronía que podrían suscitarse al emplear defierentes contadores en cada base de tiempo pues no todos los CI 74161 tienen "exactamente" los mismos tiempos de retardo.

V. PROGRAMACION

La programación de la matriz de conmutación la forman un conjunto de subrutinas que efectúan las diversas tareas requeridas para el enlace de los abonados que han pedido servicio. Se describirán de manera general las subrutinas más importantes.

V.1.- Programa principal de la matriz de conmutación.

En la fig. 5.1 se dá el diagrama de flujo del programa. Se puede ver que cuando se han puesto las condiciones iniciales de toda la matriz de conmutación (en la fig. 5.2 se muestra la subrutina que inicializa a las PIAs que controlan a las dos etapas que componen a la matriz espacial), el programa se pone a esperar la interrupción que es generada cuando el controlador del conmutador solicita que se lleve la conexión o desconexión de dos abonados. Una vez que ocurre la interrupción se identifica cuáles de todos los abonados son los que han solicitado el servicio, e inmediatamente después se pregunta si es conexión o desconexión lo que se pide. En caso de que haya sido una solicitud de conexión se establece la trayectoria y luego se indica que esta ha sido llevada a cabo. Si es desconexión lo que se pide, se liberan los abonados para después indicar que ya ha sido realizada.

Se puede notar que el proceso de establecer o liberar trayectorias entre pares de abonados, es secuencial, es decir, a un par de abonados a la vez se les proporciona servicio, ésto se debe a que la información es enviada

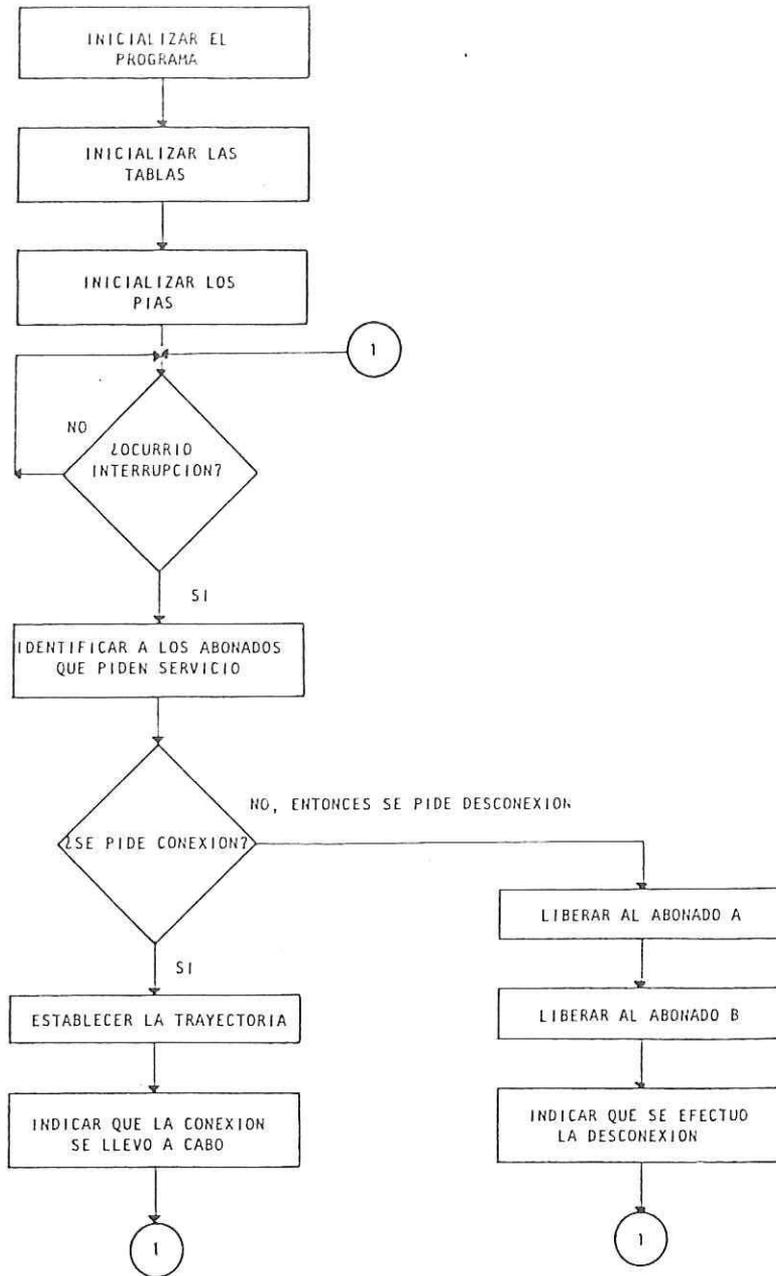


FIG. 5.1 PROGRAMA PRINCIPAL DE LA MATRIZ DE CONMUTACION

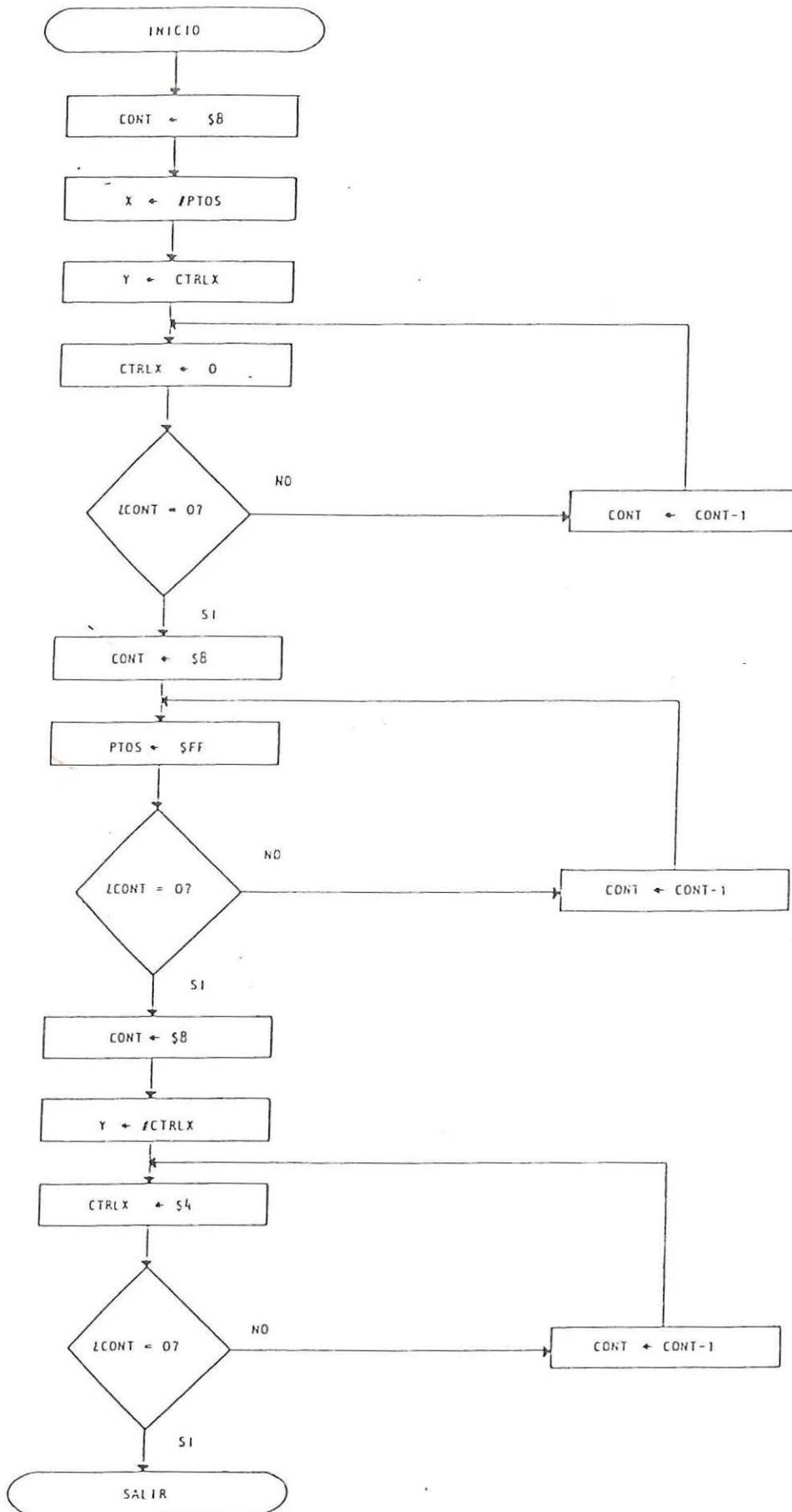


FIG. 5.2 SUBROUTINA QUE DEFINE LOS PIAS USADOS EN LA SELECCION DE LOS PLANOS DE LA ETAPA ESPACIAL DE LA MATRIZ DE CONMUTACION

a través de un PIA, (como se explica en el último párrafo de la Sec. 3.1). Esto hace que la matriz de conmutación tenga un "bloqueo" aparente cuando el tráfico es tal que se realicen 400 solicitudes de servicio en un segundo.

V.2.- Subrutinas que establecen la trayectoria.

En la fig. 5.3 se muestra el diagrama de flujo de la subrutina que da la trayectoria entre los dos abonados que han solicitado servicio de conexión. Al inicio esta subrutina llama a ASIG que es una subrutina que hace la asignación de ranuras de tiempo internas, que están libres, a los abonados. Esta subrutina se muestra en la fig. 5.4 y como se podrá ver, a su vez llama a dos subrutinas más que son RECON y RLIBRE. Dado que la matriz de conmutación total consta de cuatro matrices temporales llamadas también bloques temporales, se necesita saber a cual de todos ellos pertenece el abonado, esta es la función de RECON mostrada en la fig. 5.5 Por otro lado RLIBRE ve cual ranura de tiempo interna se encuentra desocupada y se lo hace saber a la subrutina ASIG que fué la que la llamó. RLIBRE se muestra en la fig. 5.6. Una vez que se han asignado las ranuras internas (refiriéndose a la fig. 5.3), se establece el sentido del flujo de la información del abonado A al abonado B, esto lo realiza la subrutina SPACE dada en la fig. 5.7. Después se cambian los contenidos de las variables de entrada de la subrutina SPACE para proceder a establecer el sentido ahora del abonado B al abonado A.

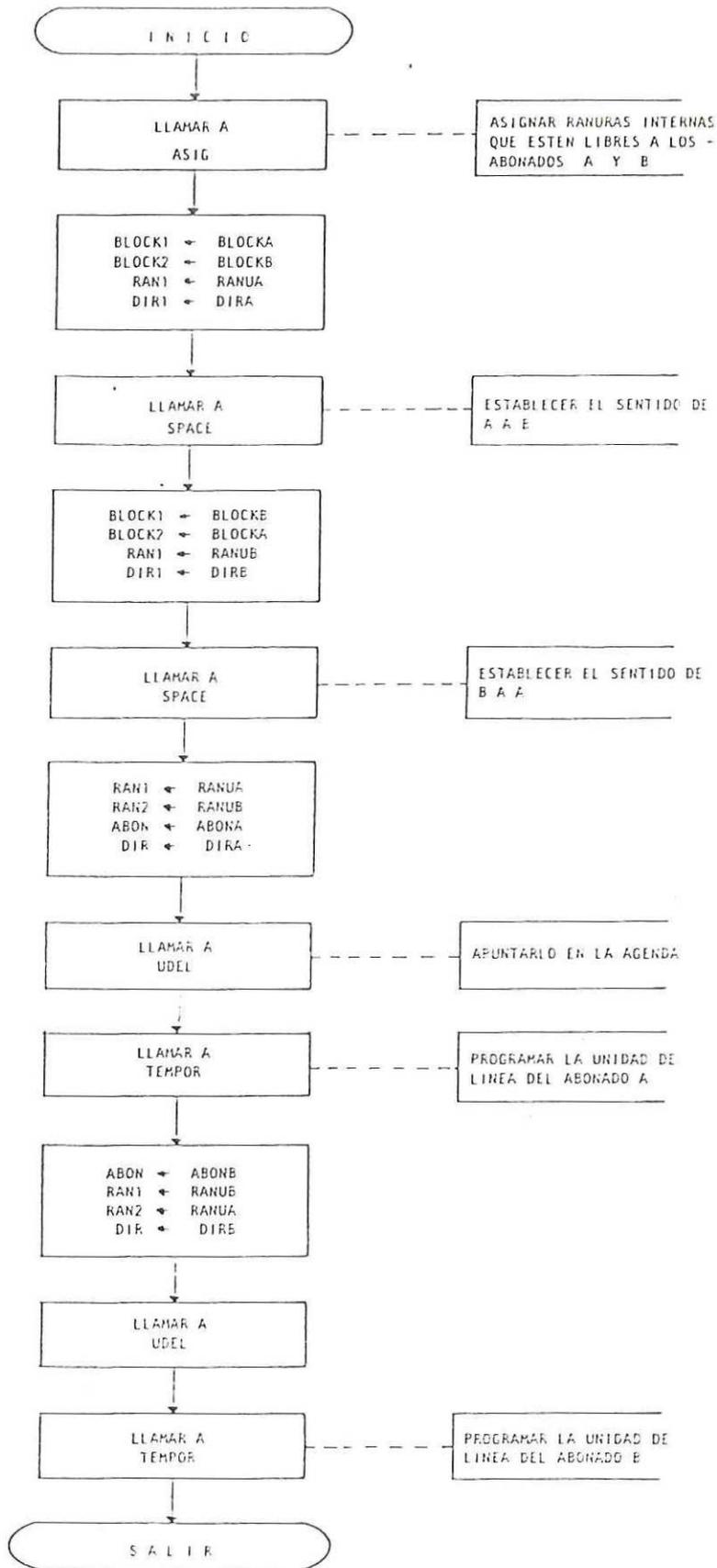


FIG. 5.3 SUBROUTINA QUE ESTABLECE LA TRAYECTORIA ENTRE LOS ABONADOS

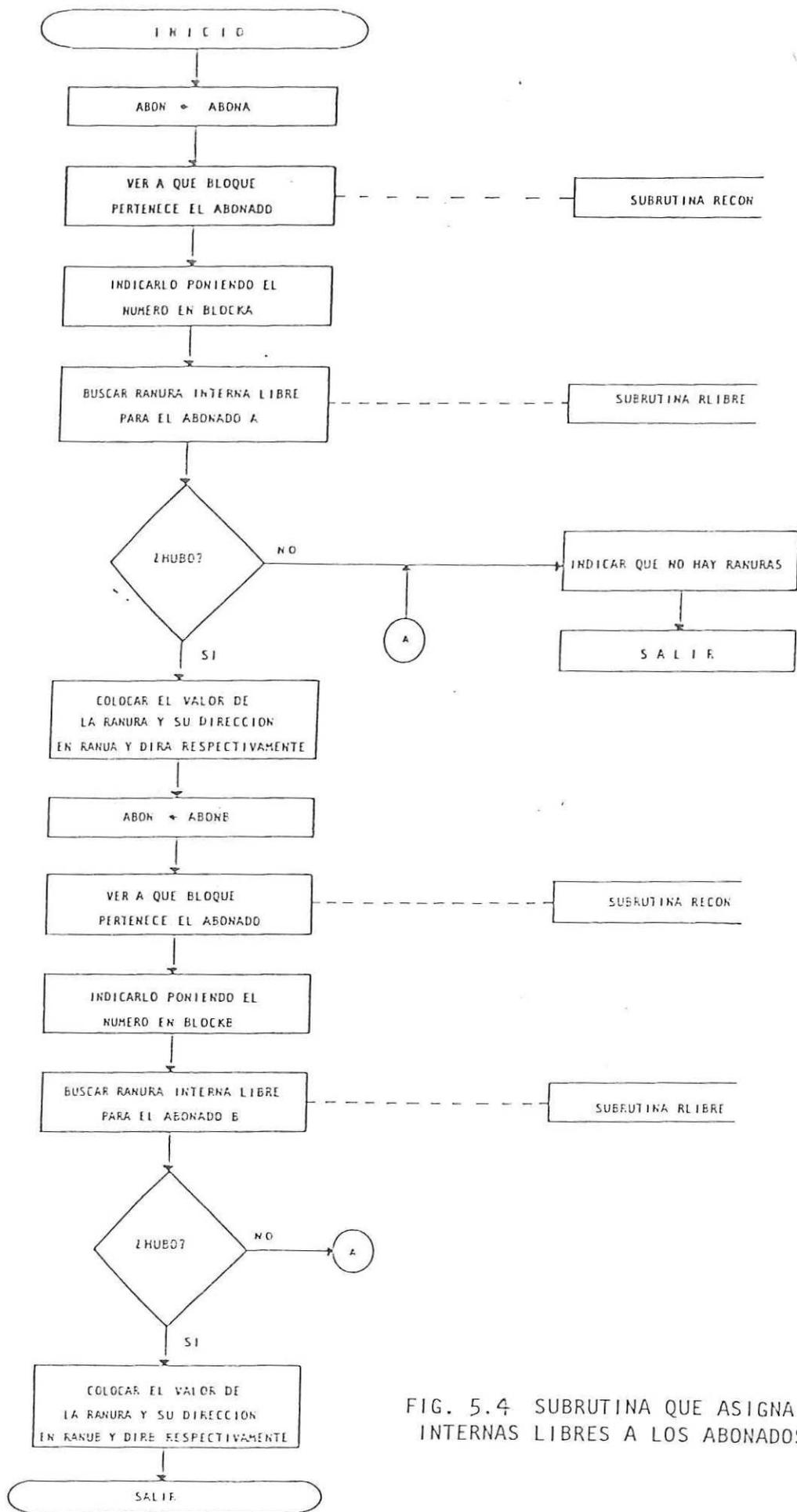


FIG. 5.4 SUBROUTINA QUE ASIGNA RANURAS INTERNAS LIBRES A LOS ABONADOS A Y B

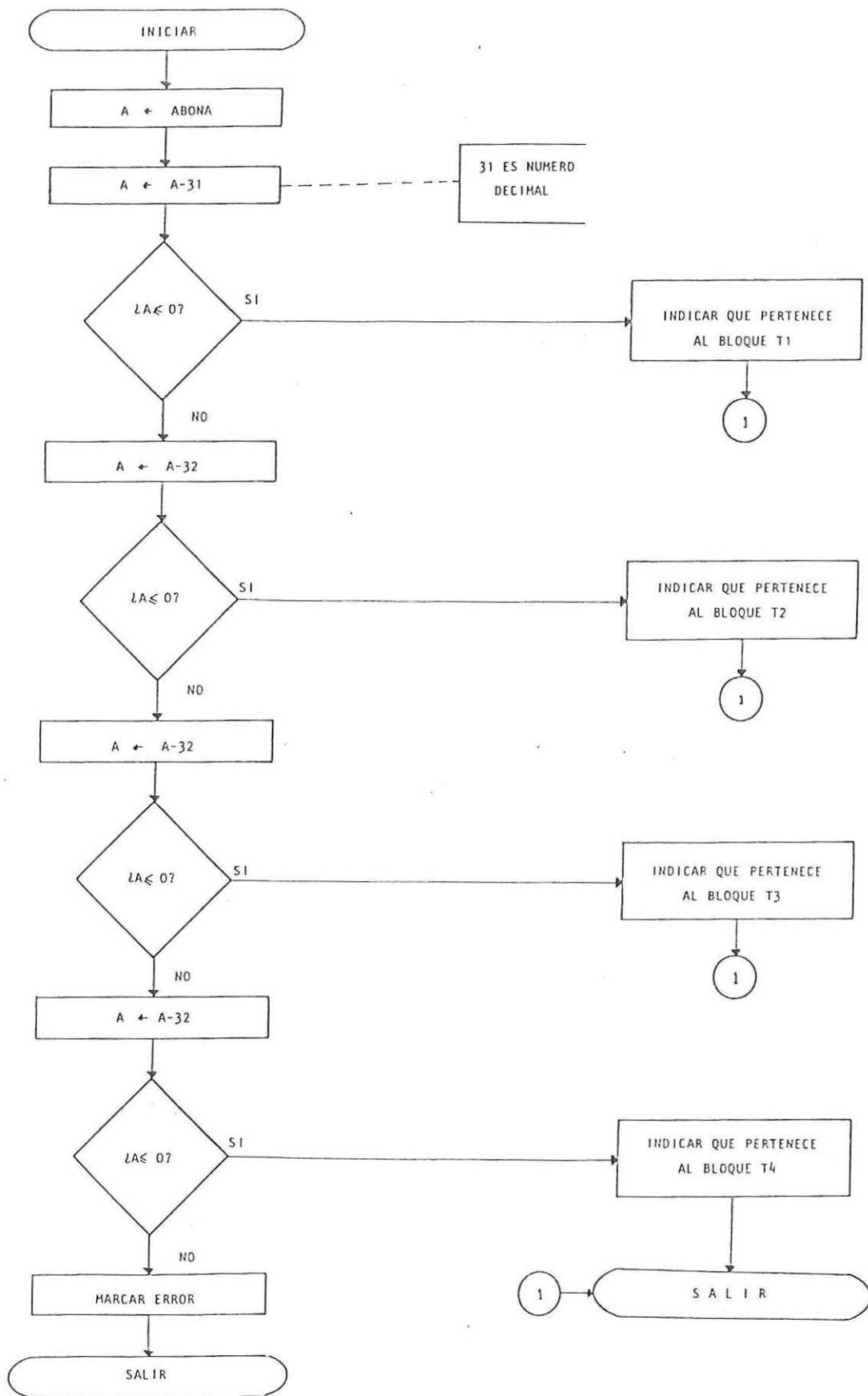


FIG. 5.5 SUBROUTINA QUE IDENTIFICA A QUE BLOQUE PERTENECE EL ABONADO

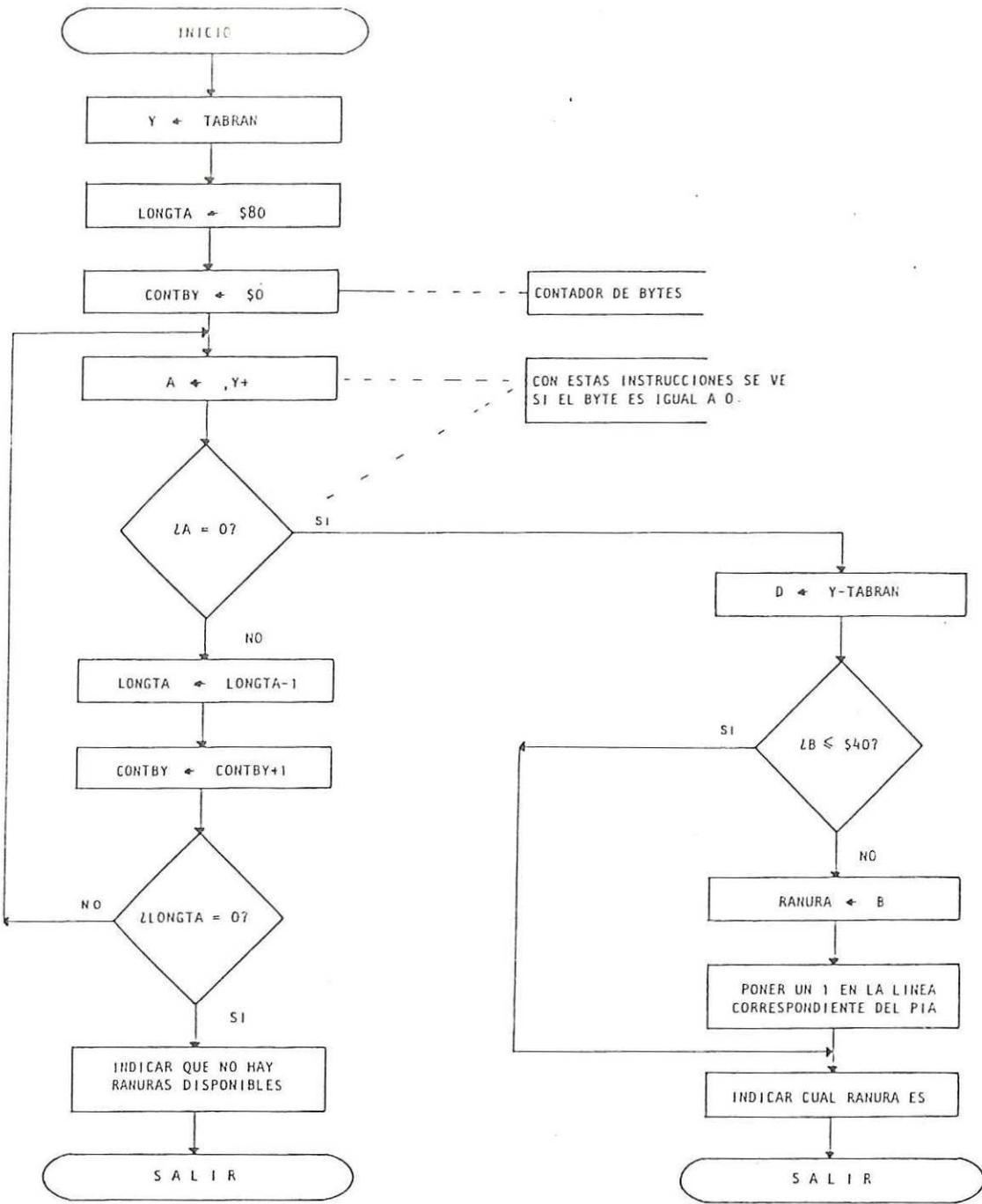


FIG. 5.6 SUBROUTINA QUE BUSCA UNA RANURA INTERNA LIBRE

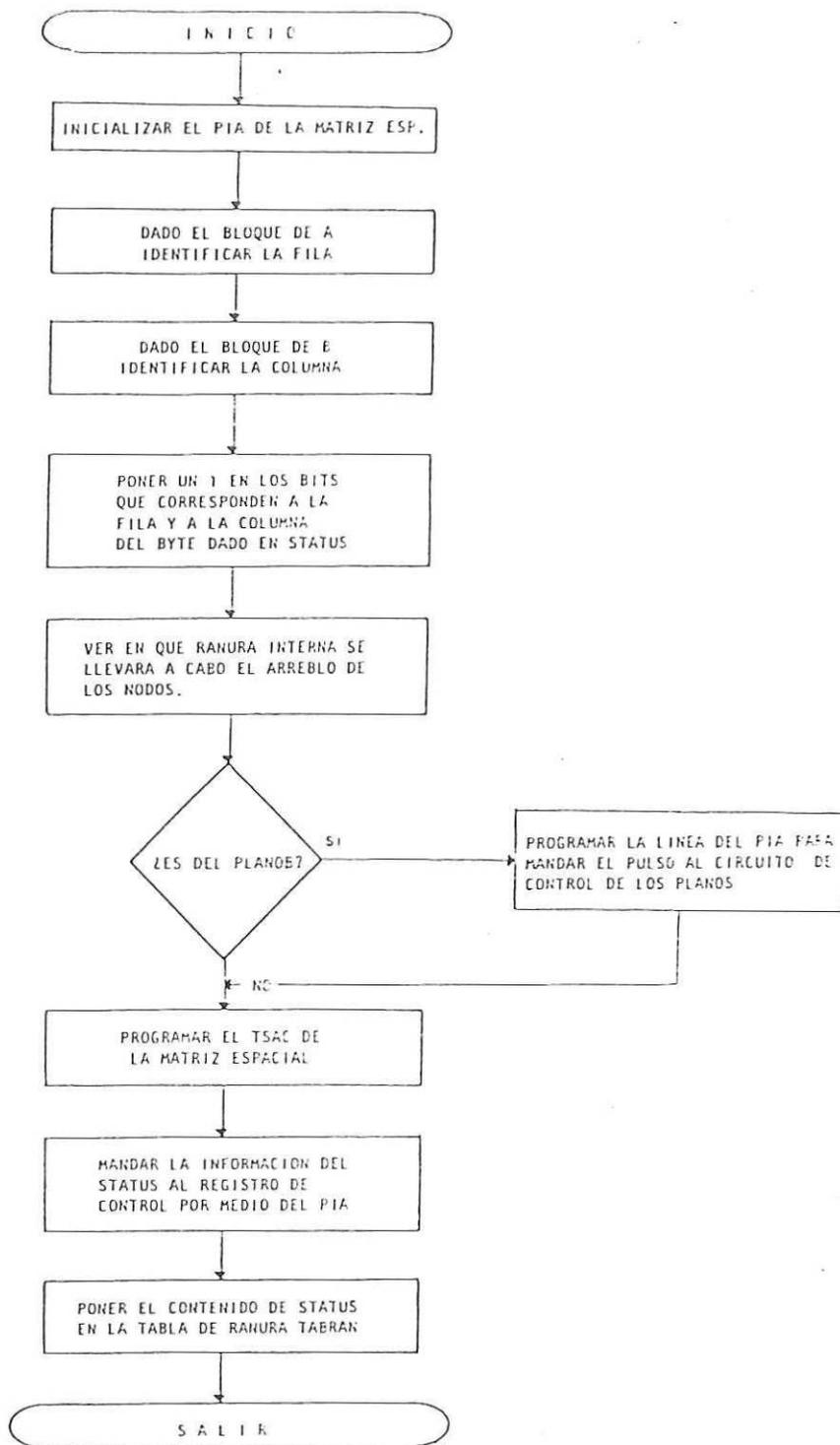


FIG. 5.7 SUBROUTINA QUE DA EL STATU QUO DEL ARREGLO DE NODOS DE UNA RANURA INTERNA

Para saber que abonados son los que han llamado y por tanto están ocupados o cuáles abonados son los que han terminado y por tanto quedan desocupados, se tiene una tabla o agenda de los abonados que están en servicio. La actualización de esta agenda la realiza la subrutina UDEL cuyo diagrama de flujo se muestra en la fig. 5.8. Nuevamente en la fig. 5.3 se vé que se llama a TEMPOR. Esta subrutina define la ranura externa teniendo como dato de entrada el valor de la ranura interna. En la fig. 5.4 se ilustra el diagrama de flujo de TEMPOR. Como se observa, esta subrutina a su vez llama a otras subrutinas, de las cuales por su importancia destaca TSACF que se muestra en la fig. 5.10. Volviendo otra vez a la fig. 5.3 vemos que se vuelve a llamar a UDEL para apuntar al abonado B y a TEMPOR para programar a la unidad de línea del abonado B.

V.3.- Subrutina que realiza la desconexión de los abonados

Esta subrutina identifica primeramente al abonado que hay que liberar y que se indica en la variable de entrada ABON para después programar el TSAC de dicho abonado (que lo hace a través de la subrutina TSACF ya mostrada en la fig. 5.10), para que deje de transmitir y recibir información. Esto se muestra en el diagrama de flujo de la fig. 5.11.

En la fig. 5.1 se nota que la subrutina LIBERA se llama dos veces, primero para liberar al abonado A y luego para liberar al abonado B.

Con ésto se concluye la breve descripción de las subrutinas que hacen que la matriz de conmutación opere adecuadamente. Como apéndice se dá el listado de todas estas subrutinas.

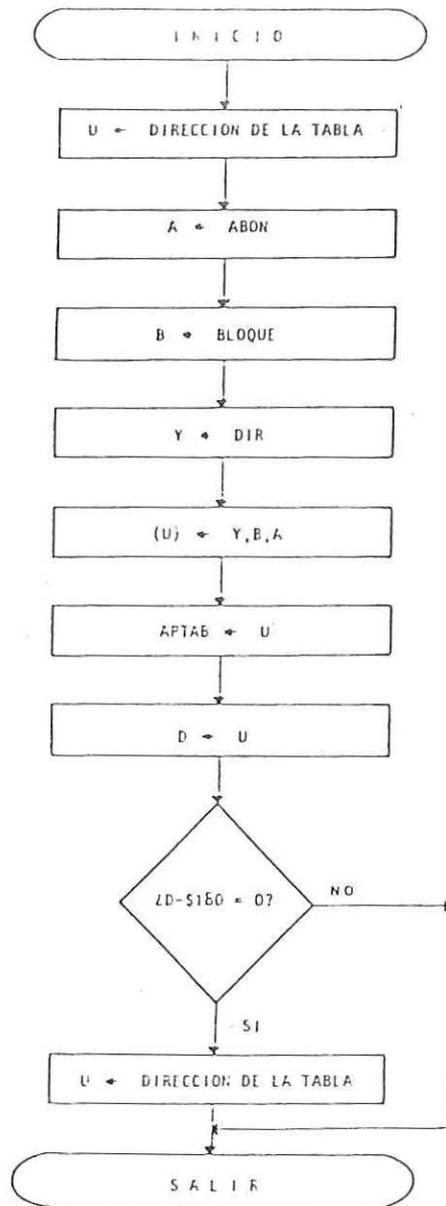


FIG. 5.8 SUBROUTINA QUE ES LA AGENDA DE LOS ABONADOS EN SERVICIO

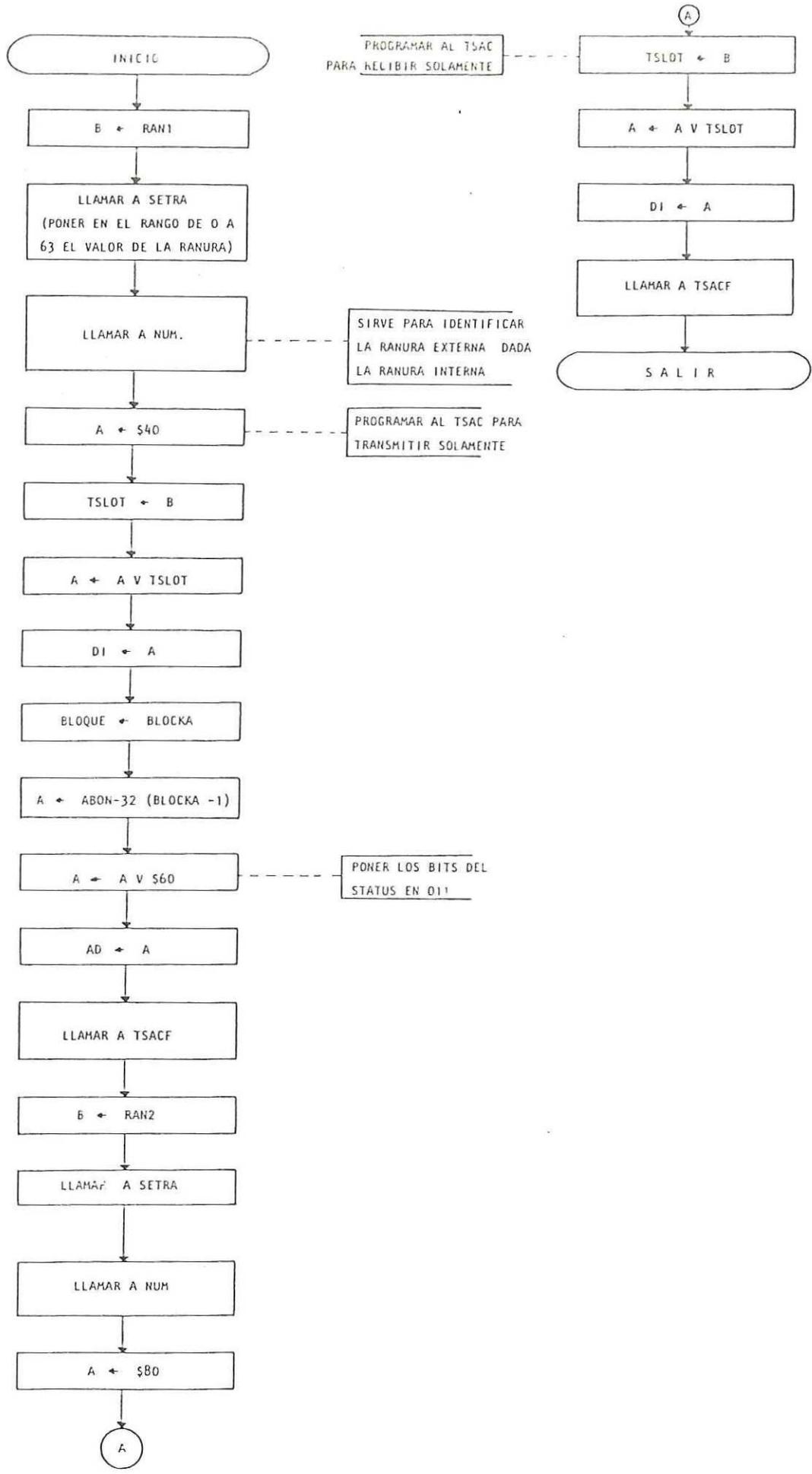


FIG. 5.9 SUBROUTINA QUE DEFINE LAS RANURAS EXTERNAS

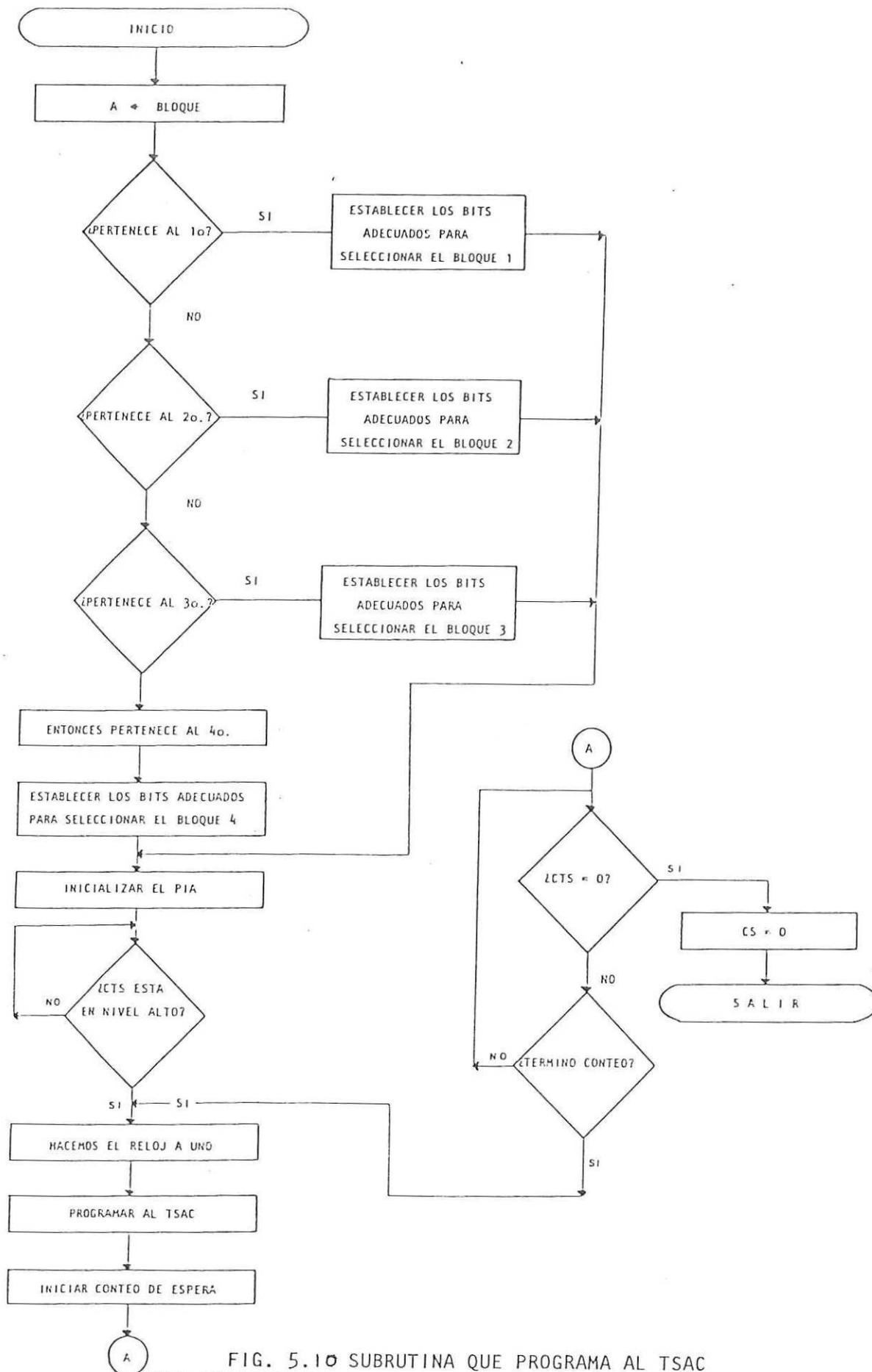


FIG. 5.10 SUBROUTINA QUE PROGRAMA AL TSAC QUE CORRESPONDE AL ABONADO QUE DESEA SER ENLAZADO

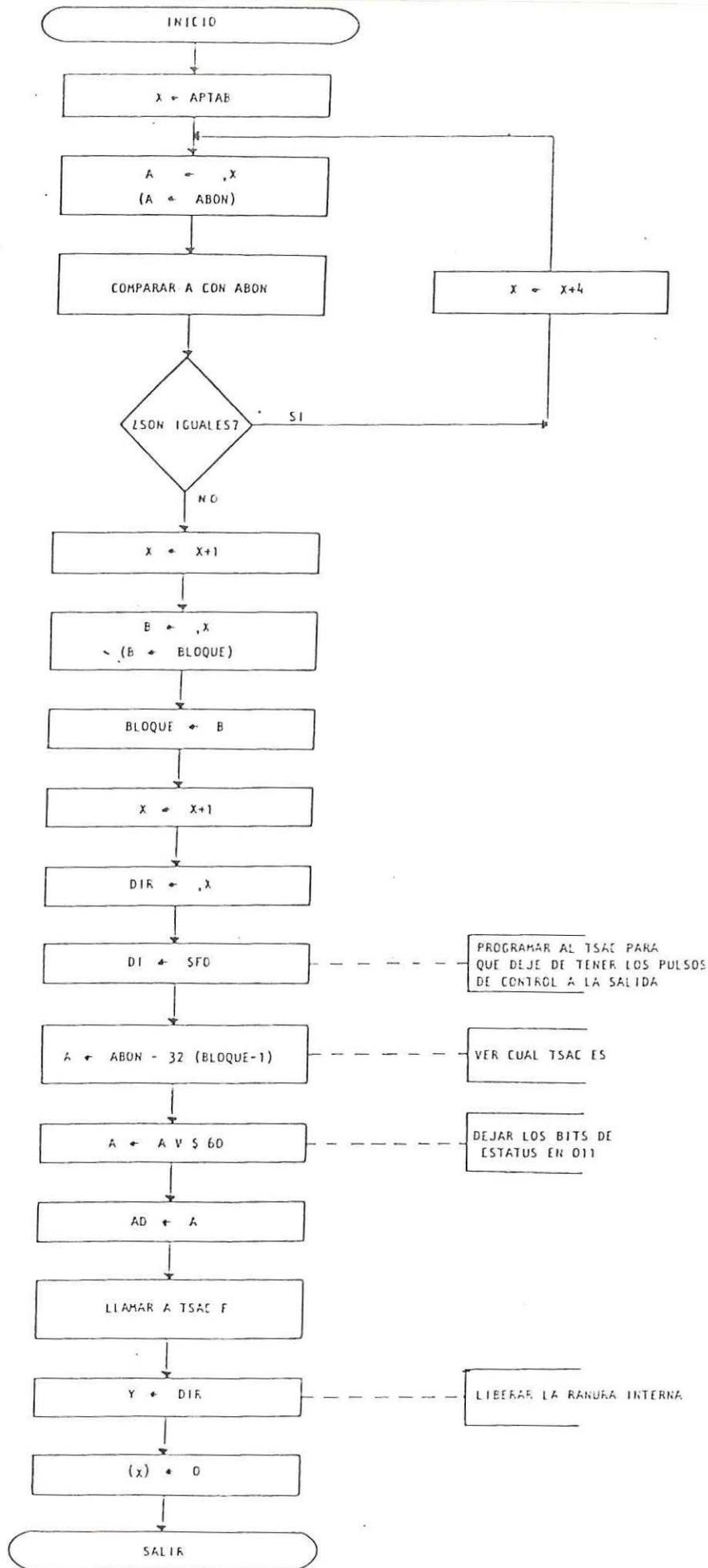


FIG. 5.11 SUBROUTINA QUE LIBERA LA TRAYECTORIA ENTRE LOS ABONADOS

VI. RESULTADOS EXPERIMENTALES Y CONCLUSIONES

Este capítulo trata de dar una breve explicación de los resultados obtenidos al construirse las partes mas características y necesarias del sistema. Además se darán las conclusiones a las que se llegaron al realizar este proyecto.

VI.1 Resultados de Laboratorio

Este trabajo ha sido construído a nivel de laboratorio. Su construcción no fue completamente hecha ya que por el momento no se empleará toda su capacidad aunque se realizaron todas la partes características de la matriz.

En la primera fase del proyecto se tendrán sólo cuatro abonados, uno por cada bloque temporal, dejando a los demás en forma potencial, es decir, teniéndolos de tal manera que el sistema de base de tiempos y la programación los consideran como si existieran en la matriz.

Las pruebas realizadas fueron para dos de los abonados. Se encontró que había problemas de tiempo al entrar la información en la matriz

temporal. Había un retardo entre la ranura de tiempo de la unidad de línea y el pulso de control del circuito de la base de tiempos. Se solucionó el problema poniendo un circuito de retardo entre el reloj maestro del sistema y las entradas de reloj del CODEC y TSAC de la unidad de línea.

En la parte temporal de la matriz de conmutación sólo fue necesario hacer el alambrado de un registro de transmisión y otro de recepción en cada bloque T, ya que no es necesario tener armados los demás para hacer las pruebas de laboratorio. Se encontró que trabajan satisfactoriamente. Ya que sólo se operó con tan pocos abonados no se requirió construir completamente el banco de registros del plano de la matriz espacial, pues no se necesitan tener activas todas las ranuras de tiempo internas, sin embargo el circuito llamado control central de la matriz espacial fue construido completamente, asimismo el arreglo de los nodos.

Por otra parte, los circuitos de las bases de tiempos y del reloj maestro fueron construidos en su totalidad.

La programación de la matriz de conmutación fue elaborada y probada completamente utilizando un sistema de desarrollo para microprocesadores EXORCISER II de Motorola. Los "PIAs" que se requirieron para mandar los comandos a la matriz de conmutación fueron simulados por un módulo de interfaz (perteneciente al sistema de desarrollo) que contiene

varios "PIAs". Algunos otros "PIAs" fueron simulados por localidades de memoria (aquellos que generan los pulsos de control que seleccionan a los planos de la matriz espacial y algunos de los que dan la información al circuito selector de la ranura interna libre que no hay necesidad de tenerlos, pues no se utilizarán por el momento). Los programas corrieron satisfactoriamente aunque su prueba fue algo restringida dada la situación de que algunas condiciones fueron simuladas.

Sin embargo, se pretende la construcción de un prototipo para la fabricación industrial del sistema. Por tanto se construirán todos los circuitos que requiere la matriz y las otras tres partes que componen el conmutador digital. Los diferentes subsistemas del conmutador estarán hechos en tarjetas de alambrado. A continuación se da la siguiente lista de tarjetas:

| | |
|----------------------------|-------------------------|
| Unidad de proceso central | 3 tarjetas |
| Circuitos de Línea | 2 tarjetas inicialmente |
| Matriz Temporal | 1 tarjeta |
| Matriz Espacial | 1 tarjeta |
| Sistema de base de tiempos | 1 tarjeta |
| *Generados de Tonos | 1 tarjeta |
| *DTMF | 1 tarjeta |

*Estas circuitos pertenecen a la parte del controlador digital, no contenido en este trabajo de tesis.

Las fuentes de alimentación que se necesitarán son:

+12v de 1 amp.

+ 5v de 2 amp.

- 5v de 1/2 amp.

-48v de 1 amp. (para el timbrado)

VI.2 Conclusiones

Este trabajo consistió en el diseño de circuitería y elaboración de subrutinas para una matriz de conmutación telefónica. La circuitería se hizo en base a módulos que contuvieran un subsistema completo, probándose cada uno de ellos por separado.

El empleo de microprocesadores en conmutadores telefónicos es relativamente reciente (Melvin, 1978). Sin embargo, la manera de realizar los algoritmos en la programación para el control de la matriz es contribución original. Asimismo, el modo de controlar el arreglo de nodos de la matriz espacial por medio de un banco de registros es aportación del autor. Otra parte del diseño que es propio, corresponde a la forma en que se lleva a cabo la conmutación temporal principalmente en lo que concierne al cambio de ranuras de tiempo externas a ranuras de tiempo internas.

Además de la forma de hacer la interrelación de las componentes del conmutador, la comunicación de la unidad de línea con la matriz temporal y la conexión de las matrices temporales con la matriz espacial, hacen de este sistema de conmutación un modelo único.

La tecnología usada en este diseño es la mas moderna que existe actualmente en el mercado, siendo dispositivos de integración a muy gran escala (VLSI) tales como "CODECs" de alto rendimiento, asignadores de ranuras de tiempo (TSAC) y un microprocesador versátil.

La estructura empleada en la red de conmutación fue la de tiempo-espacio-tiempo por ser esta configuración la que se usa generalmente en las centrales telefónicas modernas, permitiendo una operación de bloqueo nulo. El costo por abonado resultó ser de \$117 dólares, incluyendo componentes que no necesariamente corresponden a la matriz de conmutación, tales como el MC3419 "SLIC" y los elementos electrónicos que le acompañan. El costo estimado de los demás circuitos que componen a la matriz es de \$450 dólares.

Todo el sistema de conmutación consume: 800 mA por la fuente de alimentación de +5v, 300 mA por la de +12v y 50 mA por la de -5 volts, no estimándose la fuente de alimentación de +48v que corresponde al timbrado del teléfono. Con estas corrientes y sus respectivos voltajes, se obtiene una potencia total de 7.85 watts.

Por otro lado, cada subsistema está contenido en una tarjeta de 17.5 cm x 22 cm, ocupando un gabinete pequeño, (las dimensiones exactas no se tienen todavía dado que faltan algunas partes tales como fuentes de alimentación, los circuitos generador de tono etc., que no corresponden al diseño del presente trabajo).

Se debe notar por lo tanto el ahorro obtenido en costo y espacio con respecto a las matrices de conmutación convencionales, esperándose que sea más confiable, versátil y de fácil mantenimiento.

VI.3 Recomendaciones

Este trabajo de tesis representa el 60% del proyecto COTEMI que pretende una maqueta educativa para conmutación telefónica. Este diseño es lo suficientemente versátil como para modificarlo hacia una central telefónica rural de baja capacidad por lo que se pueden aprovechar la mayoría de los circuitos diseñados.

Se recomienda dedicar esfuerzos importantes hacia el diseño e implantación de programas de prueba y diagnóstico automáticos.

LITERATURA CITADA

- Anon., 1979. MC14413, MC14404, MC14414, Hoja de especificación. Información preliminar ADI-807. Motorola, Inc.
- Anon., 1981. Short Course of Digital Switching. UCLA Extension. Feb. 9-13, 1981.
- Bellman, A., G. Granello y A.C. Resta. 1977. Considerations of Analog and Digital Electronic Switching Networks and their Applications. Proc. IEEE 65(9): 1271-1282.
- Bilkeroth, N., K. Wahlkers y K. Raid. 1978. Fundamental Principles of the SCPC Technique. x/y 810 Velm Ericsson.
- Hernández, F. y J. Pomalaza. 1981. Diseño de una Matriz de Conmutación Digital. MEXICON-81, Mem. IEEE, Tomo II: 146-152.
- McDonald, J.C. 1978. Techniques for Digital Switching. IEEE COMM. Society Magazine: 11-19.
- Melvin, D. K., 1978, Microcomputer Applications in Telephony. Proc. IEEE 66 (2): 182-186.
- Salcido, G. L., 1982. Controlador Digital para un Conmutador Telefónico para uso Didáctico. Tesis de Licenciatura. Instituto Tecnológico de Chihuahua.
- Sandige, R. S. 1978. Digital Concepts Using Standard Integrated Circuits: p. 229-239. McGraw Hill., New York.
- Skaperda, N. J. 1979. Some Architectural Alternatives in the Design of a Digital Switch. Trans. Comm. IEEE. 27(7): 961-972.
- Wellenstein, N. 1980. Integrated PCM Switching and Telephone Equipment of the Future. Wescon Professional Program No. 16. 16/3: 1-6

GLOSARIO DE TERMINOS DE CONMUTACION Y TRANSMISION DIGITAL

- BORSHT** Siglas en inglés de "battery, overvoltage, ringing, supervision, hybrid and test", (bateria, sobrevoltaje, timbre, supervisión, conversión híbrida y prueba).
- CANAL** En TDM, intervalo de tiempo en donde se realiza una comunicación.
- CMOS** Siglas en inglés de "Complementary Metal Oxide Semiconductor", elementos de que está compuesto el transistor en que está basada esta familia de circuitos integrados: Metal, óxido, y semiconductor; complementario porque usa los dos tipos de transistores.
- CODEC** Dispositivo que codifica y decodifica (co-dec) la señal analógica en un formato digital.
- COMPANDER** Dispositivo no lineal que comprime y expande (compander) la señal analógica para incrementar la razón señal a ruido.
- LEY A** Función logarítmica de compresión de la forma:
- $$F(x) = \frac{1 + \text{Log}(Ax)}{1 + \text{Log} A}, \frac{1}{A} \leq x \leq A$$
- usada en el estándar europeo.

LEY MU Función logarítmica de compresión usada en el estándar norteamericano, de la forma:

$$F(x) = \text{sgn}(x) \cdot \frac{\ln(1+\mu|x|)}{\ln(1+\mu)} , -1 \leq x \leq 1$$

MARCO Conjunto de bits en serie en un multicanal de información que empieza con el primer bit del primer canal y termina con el bit que precede al primer bit de la siguiente muestra del primer canal.

MUESTRA Valor de la amplitud de la señal analógica codificada en 8 bits.

NODO DIGITAL Elemento que sirve para interconectar dos o más circuitos cuya información es representada en forma digital.

RANURA DE TIEMPO Una porción de un multicanal de información que comprende solamente un canal.

RANURA DE TIEMPO EXTERNA Es la ranura de tiempo usada entre la unidad de línea y los registros de conversión.

- RANURA DE TIEMPO INTERNA** Ranura de tiempo usada en la etapa espacial de la matriz de conmutación.
- RED DE DIVISION EN TIEMPO** Una parte del conmutador que sirve para interconectar a dos o mas circuitos cuyos elementos están compartidos continuamente en el tiempo entre muchos canales.
- RECEPCION (MULTICANAL DE)** Información que va de la matriz espacial hacia la matriz temporal.
- SEÑALIZACION** El servicio que proporciona las diferentes señales empleadas en el protocolo que se tiene al iniciar una conversación.
- SLIC** Siglas en inglés de "Subscriber Loop Interface Circuit" (circuito de interfaz de línea).
- TDM** Técnica de transmitir un número de canales en un hilo común a través de la asignación de ranuras de tiempo.
- TRANSMISION** Información que va de la matriz temporal hacia la matriz espacial.

- TSAC** Siglas en Inglés "Time Slot Asigner Circuit", (circuito asignador de ranuras). Este circuito coloca la información del abonado en una ranura de tiempo.
- TSI** Siglas en inglés de "Time Slot Interchanger". Este sistema extrae la información de una ranura de tiempo y la inserta en otra.

A P E N D I C E