

CENTRO DE INVESTIGACION  
CIENTIFICA Y DE  
EDUCACION SUPERIOR DE ENSENADA

CONCENTRADOR DE  
ACCESOS BASICOS PARA  
LA RESI DESARROLLO DE  
LA CAPA FISICA

TESIS

MAESTRIA EN CIENCIAS

GERARDO IBARRA AGUIRRE

ENSENADA, BAJA CALIFORNIA, MEXICO. JUNIO DE 1993.

RESUMEN de la Tesis de Gerardo Ibarra Aguirre presentada como requisito parcial para la obtención del grado de MAESTRO EN CIENCIAS en FÍSICA APLICADA con opción en ELECTRONICA Y TELECOMUNICACIONES. Ensenada, Baja California, México. Abril de 1993.

## CONCENTRADOR DE ACCESOS BASICOS PARA LA RDSI:

### DESARROLLO DE LA CAPA FISICA

Resumen aprobado por:



M.C. Jaime Sánchez García  
Director de tesis

Se presenta el diseño de la capa física de un concentrador de accesos básicos para la RDSI. El diseño se divide en circuitería y programación. Juntos crean la infraestructura necesaria para concentrar 15 accesos básicos en un acceso primario a 2.048 Mbps. El concentrador es controlado por una computadora personal del tipo IBM AT-286. La circuitería comprende interfaces hacia los accesos básicos, matriz de conmutación, interfaz hacia el acceso primario, circuito HDLC, además de arreglos lógicos genéricos para la interfaz de control con la computadora.

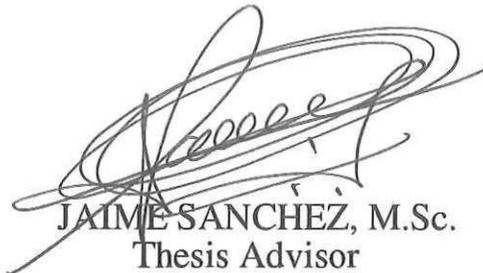
La programación se desarrolló en lenguajes ensamblador y de alto nivel (ensamblador 8088 y Turbo C) y comprende rutinas de inicialización de la circuitería así como el establecimiento de las trayectorias de los canales B de los accesos básicos a el acceso primario y viceversa, rutinas para la transmisión y recepción de datos de los canales D, por el lado del acceso primario atendido en tiempo real (por interrupciones) y por el lado de los accesos básicos atendidos por encuesta, rutinas para transferir los paquetes del canal D de los accesos básicos al acceso primario y viceversa, rutinas para administrar el uso del procesador en tiempo compartido y semáforos como medios de comunicación.

Además, se sentaron las bases para que, en un futuro, con las sola inclusión de las capas 2 y 3, el concentrador se convierta en un conmutador privado (PBX) RDSI.

Thesis ABSTRACT presented by GERARDO IBARRA AGUIRRE, in order to obtain the MASTER IN SCIENCE DEGREE in the APPLIED PHYSICS AREA, with option in TELECOMMUNICATIONS AND ELECTRONICS.

BASIC ACCESS CONCENTRATOR FOR THE ISDN: DEVELOPMENT OF THE PHYSICAL LAYER.

Approved by:



JAIMÉ SANCHEZ, M.Sc.  
Thesis Advisor

A design of physical layer for a basic access concentrator for the ISDN, presented with its hardware and software is hereby proposed. Both of them create the infrastructure to concentrate 15 basic accesses in a primary access @ 2.048 Mbps. The concentrator is controlled by an IBM AT-286 personal computer. The hardware includes interfaces to the basic access, interface to the primary access, switching matrix, HDLC circuit as well as to the GALs (generic array logic) for the control interface with the computer.

The software was developed in assembly and high level languages (assembler 8088 & Turbo C) and includes inicialization routines for the hardware and the setting of the paths for the B channels and viceversa, routines for the transmission and reception through the D channels (the primary access D channel in real time by interrupts and the basic accesses D channels are attended by polling), routines to trasfer the D channel packets from the basic access to the primary access and viceversa, routines to manage the use of the microprocessor in shared time and semaphores as the communication media among processes.

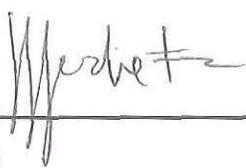
The basis was established also for if desired in a near future, with only the incorporation of layers 2 and 3, this concentrator can became a ISDN PBX (private branch exchange).

TESIS DEFENDIDA POR: **GERARDO IBARRA AGUIRRE**

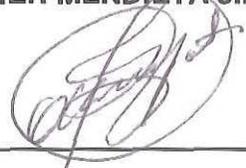
Y APROBADA POR EL SIGUIENTE COMITE:



**M.C. JAIME SANCHEZ GARCIA.-** Director del Comité



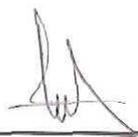
**DR. FCO. JAVIER MENDIETA JIMENEZ.-** Miembro de Comité



**DR. FCO. JAVIER OCAMPO TORRES.-** Miembro del Comité



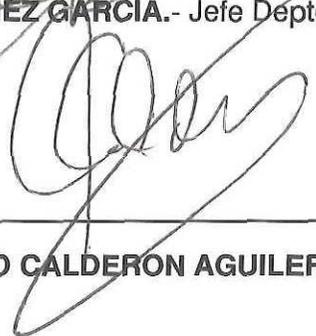
**M.C. JOSE ROSARIO GALLARDO LOPEZ.-** Miembro del Comité



**DR. ENRIQUE MITRANI ABENCHUCHAN.-** Miembro de Comité



**M.C. JAIME SANCHEZ GARCIA.-** Jefe Depto. Electrónica y Telecomunicaciones



**DR. LUIS EDUARDO CALDERON AGUILERA.-** Director de Estudios de Posgrado

3 DE MAYO DE 1993

**CENTRO DE INVESTIGACION CIENTIFICA Y DE EDUCACION SUPERIOR DE  
ENSENADA.**

**DIVISION DE FISICA APLICADA.**

**DEPARTAMENTO DE ELECTRONICA Y TELECOMUNICACIONES.**

**CONCENTRADOR DE ACCESOS BASICOS PARA LA RDSI: DESARROLLO DE LA  
CAPA FISICA**

**TESIS**

**que para cubrir parcialmente los requisitos necesarios para obtener el grado de**

**MAESTRO EN CIENCIAS presenta:**

**GERARDO IBARRA AGUIRRE.**

**Ensenada, Baja California, México. Mayo de 1993.**

## DEDICATORIA

Qué difícil es dar un paso en la vida; pero más difícil aún es culminarlo. A lo largo de mi vida he contado con dos personas que me han acompañado y guiado, me enseñaron a dar mis primeros pasos y me han impulsado de mil formas a salir adelante. Con todo mi amor, cariño y respeto, a mis padres: Sr Gerardo Ibarra Carmona y Sra. Nicolasa Aguirre de Ibarra.

Cuan importante es en la vida de un ser humano la armonía familiar, y más aún cuando existen lazos tan fuertes y amor tan grande. Consejos, atención, tiempo, cariño, amor y todo cuanto esté de su parte ha sido lo que incondicionalmente he recibido de todos y cada uno de los miembros de mi familia. Con todo mi amor y agradecimiento, a todos mis hermanos: Eva, Georgina, Toña, Lilia, Nico, Alicia, Claudia y Juan.

En los últimos años que he vivido fuera de casa he tenido la fortuna de convivir con personas que han llegado a formar parte de una familia compuesta por hermanos todos. Triunfos, fracasos, canciones, crisis, decepciones, carambola, lugares de sano esparcimiento, y tantas cosas en las cuales hemos sido partícipes han servido para agrandar esos lazos de amistad. Mi total agradecimiento para todos y cada uno de los miembros de la familia, mi familia: Raul Arvizu, Sergio Vargas "el greñas", Alfredo Romero "el molacho", Ernesto Soberón "el abogado", Salvador Vera "el chava", Jorge Hdz, Martín López "el pulpo", Miguel Mtz. "el cuñado", Horacio Mtz. "el orate", Hernando Silva "el empty", Rafael Cruz "el rafa", Rosario Gallardo "el pícuiri", Miguel Cruz "el rojo", Humberto Cervantes "betillo" y Reynaldo Felix "nalillo".

## AGRADECIMIENTOS

Al M.C. Jaime Sánchez, amigo y director de tesis, por su invaluable colaboración y participación en el desarrollo de la misma.

A mi amigo Jose Rosario Gallardo, miembro del comité de tesis, por su ayuda incondicional para la realización de este trabajo.

A los miembros del comité de tesis, por sus comentarios y correcciones al escrito.

Al grupo de telefonía por permitirme formar parte de esa familia: Jaime Sánchez, Jose Rosario, Ana Maria y Rogelio.

A las secretarias del Dpto. de Electrónica y Telecomunicaciones, amigas todas, por sus atenciones, bromas, apodos y tantas cosas, que me atrevo a decir: si no fuera por esos momentos... habría terminado la tesis 3 meses antes: Alma Rosa, Myriam, Eva y Maria Esther.

Al Centro de Investigación Científica y de Educación Superior de Ensenada.

Al Consejo Nacional de Ciencia y Tecnología.

<b>CONTENIDO</b>	<u>Página</u>
<b>I.-INTRODUCCION.</b>	1
<b>II.-PRESENTACION DEL PROBLEMA.</b>	3
<b>III.-DESCRIPCION DE LA RDSI.</b>	5
III.1.-Configuraciones de referencia.	5
III.1.1.-Grupos funcionales.	5
III.1.2.-Puntos de referencia.	7
III.2.-Interfaz física.	9
III.2.1.-Tipos de canales.	10
III.2.1.1.-Canal D.	10
III.2.1.2.-Canal B.	11
III.2.1.3.-Canales H.	11
III.2.2.-Interfaz de acceso básico.	12
III.2.3.-Interfaz de acceso primario.	14
<b>IV.-DISEÑO DEL CONCENTRADOR.</b>	16
IV.1.-Estructura general a bloques.	16
IV.1.1.-Breve descripción del sistema.	18
IV.2.-Descripción de la circuiteria.	20
IV.2.1.-Interfaz con el concentrador.	20
IV.2.1.1.-Descripción de la tarjeta EXISA.	20
IV.2.1.2.-Interfaz con la circuiteria.	29
IV.2.2.-Modulo de conmutación.	40
IV.2.2.1.-Ducto ST.	41

<b>CONTENIDO (continuación)</b>	<b><u>Página</u></b>
IV.2.2.2.-Matriz de conmutación.	43
IV.2.3.-Modulos de acceso básico.	45
IV.2.4.-Acceso primario.	48
IV.3.-Descripción de la programación.	49
IV.3.1.-El administrador de multitareas.	50
IV.3.2.-Programas de control.	52
IV.3.2.1.-Programas de acceso a circuitos.	52
IV.3.2.2.-Programas de atención a la circuitería.	58
IV.3.2.2.1.-Rutina de atención a los SNIC's.	60
IV.3.2.2.2.-Rutina de atención al HDLC.	65
IV.3.2.3.-Programas para transferencia de paquetes del canal D.	68
IV.3.2.3.1.-Proceso pasar_snic.	68
IV.3.2.3.2.-Proceso pasar_hdlc.	69
IV.3.2.4.-Proceso encargado de activar la Tx. del HDLC.	71
IV.3.2.5.-Programas de inicialización.	71
<b>V.-RESULTADOS.</b>	<b>75</b>
V.1.-Pruebas realizadas.	
V.2.-Problemas encontrados con los circuitos especiales para RDSI.	
V.3.-Posibilidades de crecimiento.	
<b>VI.-CONCLUSIONES.</b>	<b>77</b>
<b>LITERATURA CITADA.</b>	<b>78</b>

## **CONTENIDO (continuación)**

**Página**

<b>APENDICE A. GLOSARIO.</b>	<b>80</b>
<b>APENDICE B. PROGRAMACION DE LOS ALG.</b>	<b>82</b>
<b>APENDICE C. ESQUEMATICOS DEL CONCENTRADOR.</b>	<b>83</b>
<b>APENDICE D. PROGRAMAS.</b>	<b>84</b>

## LISTA DE FIGURAS.

<u>Figura</u>	<u>Página</u>
1.- Configuración de referencia para la interfaz usuario red.	8
2.- Configuración del interfaz de acceso básico.	13
3.- Ubicación del concentrador dentro de un esquema global.	16
4.- Diagrama a bloques del concentrador.	17
5.- Diagrama de tiempos.	21
6.- Operación del transceptor.	23
7.- Manipulación de la señal AD4.	29
8.- Manejo de interrupciones.	31
9.- F0/ y reloj de alineamiento.	34
10.- Señal de alineamiento F1/.	35
11.- Señal de alineamiento F2/.	35
12.- Distribución de entrada y salida de los ductos ST.	36
13.- Estructura del administrador de multitareas.	42
14.- Formato de la trama HDLC.	49
15.- Diagrama global de la rutina de atención a los SNIC.	52
16.- Diagrama de flujo de la rutina de recepción de los SNIC.	53
17.- Diagrama de flujo de la rutina de transmisión de los SNIC.	54
18.- Descripción del octeto de control.	55
19.- Diagrama de flujo de la rutina de recepción del HDLC.	57
20.- Diagrama de flujo de la rutina de transmisión del HDLC.	58
21.- Diagrama de flujo de la rutina pasar_snic.	60
22.- Diagrama de flujo de la rutina pasar_hdlc.	61

## LISTA DE TABLAS.

<u>Tabla</u>	<u>Página</u>
I.- Distribución de los canales B en el ducto ST.	38
II.- Dirección de cada uno de los circuitos con el ducto motorola.	44
III.- Dirección de acceso a cada uno de los SNIC.	46
IV.- Trayectorias establecidas en la matriz de conmutación.	64

## **CONCENTRADOR DE ACCESOS BASICOS PARA LA RDSI: DESARROLLO DE LA CAPA FISICA.**

### **I.-INTRODUCCION.**

Una de las necesidades humanas más conocidas ha sido la comunicación oral, por lo que el mundo de las telecomunicaciones ha girado alrededor del servicio telefónico. Los continuos avances de la tecnología aplicada a la red telefónica, han permitido la solución paulatina de otras necesidades de comunicación como es el caso de facsímil, transmisión de datos con modem, etc., que se desarrollaron adaptándose a las características de esta red, con sus ventajas y sus inconvenientes.

La aplicación de técnicas de digitalización a los medios de transmisión y conmutación de la red telefónica analógica, así como la introducción de sistemas de señalización por canal común, crearon una estructura conocida con el nombre de "*Red Digital Integrada*", en la cual, aún cuando se consigue un alto grado de optimización de la infraestructura de la red, así como un mejor control y gestión de la misma, se mantiene sin digitalizar el par de hilos entre la central de conmutación y el abonado.

La digitalización de la línea de abonado dará lugar a una conexión digital entre el usuario y la red y, en definitiva, a una conexión digital extremo a extremo, que permitirá que los trenes de dígitos binarios generados en una terminal se transmitan transparentemente a otra terminal.

El incesante avance de la tecnología aplicada al campo del tratamiento de la información permite, mediante la digitalización de las señales, que cualquier tipo de información (voz, datos, imágenes, etc.), una vez codificada digitalmente, pueda ser

transferida y tratada de manera idéntica por una red de telecomunicaciones, independientemente del tipo de fuente generadora, de su naturaleza y del servicio de que se trate.

Por lo tanto, la digitalización total de la línea telefónica constituye el paso definitivo para la integración de los servicios, dando lugar al nacimiento de la "*Red Digital de Servicios Integrados*".

En la actualidad, las administraciones telefónicas trabajan en la introducción de la RDSI en nuestro país. Considerando la inminente implantación de esta nueva tecnología en México, es imperativo que existan recursos humanos capacitados en esta rama del desarrollo tecnológico, así como sistemas diseñados y realizados dentro de instituciones o empresas nacionales. El presente proyecto de tesis nace dentro de este contexto.

## II.-PRESENTACION DEL PROBLEMA.

La conexión entre el usuario y la RDSI se realiza mediante un conjunto finito de accesos normalizados, dentro de los cuales destacan dos: acceso básico y acceso primario.

A grandes rasgos, un acceso básico está compuesto de dos canales de información (canales B) y un canal de señalización (canal D), mientras que un acceso primario (compatible con la norma europea), está compuesto de 30 canales B y un canal D.

El **objetivo general** del presente trabajo de tesis es el de diseñar y construir un dispositivo que permita atender hasta 15 terminales, mediante sendos accesos básicos, para concentrarlos en un solo acceso primario, trabajando en el ambiente RDSI.

Cada uno de los equipos terminales conectado a alguno de los accesos básicos tendrá asignados, de manera fija, dos de los 30 canales B existentes en el acceso primario, de tal manera que el sistema es no bloqueable en cuanto a los canales de información. El concentrador procesará, además, cada mensaje recibido a través del canal D del acceso primario para entregarlo al equipo terminal al que vaya dirigido, mientras que en el sentido contrario, analizará el contenido de los 15 canales D de los accesos básicos para concentrarlos en el único canal D del acceso primario.

Para realizar el concentrador, se plantearon los siguientes **objetivos particulares**:

-Diseñar y construir la circuitería para las interfaces hacia los accesos básicos y hacia el acceso primario.

-Diseñar y construir la circuitería asociada al enrutamiento (fijo) de los canales B.

-Diseñar y construir la circuitería necesaria para el acceso a los canales D tanto de los accesos básicos como del acceso primario.

-Diseñar y construir las interfaces necesarias para controlar el concentrador por medio de una computadora personal.

-Realizar la programación asociada a la inicialización y operación global de la circuitería (programación de capa 1).

-Realizar la programación asociada al enrutamiento de los canales D.

Como todas las interfaces hacia los accesos básicos son iguales, el prototipo final incluirá únicamente la circuitería necesaria para atender tres de estos accesos.

### **III.-DESCRIPCION DE LA RDSI.**

#### **III.1.-CONFIGURACIONES DE REFERENCIA.**

Para conseguir la flexibilidad proclamada por el concepto de RDSI, es necesario establecer la compatibilidad de los distintos tipos de terminales, de las interfaces hacia la red, de la configuración dentro de la red misma y de los protocolos de señalización.

Con el fin de llevar a cabo de manera estructurada dicha estandarización, el "**Comité Consultivo Internacional de Telegrafía y Telefonía**" (CCITT) ha definido lo que se conoce como configuraciones de referencia para el desarrollo físico de la red [CCITT, 1989a], esto es, configuraciones conceptuales que sirven para identificar las distintas maneras en que se pueden realizar las interfaces físicas de conexión entre el usuario y la red.

La definición de las configuraciones de referencia se apoya en dos conceptos:

- Grupos funcionales, y
- Puntos de referencia.

que serán explicados a continuación.

##### **III.1.1.-GRUPOS FUNCIONALES.**

Las diferentes funciones que se requiere llevar a cabo dentro del proceso de la comunicación (v.g. alimentación, sincronización, transmisión, concentración, enrutamiento, etc.) no son ejecutadas todas a la vez por un solo bloque dentro del sistema existente en el extremo de la interfaz correspondiente al usuario, sino que tales funciones se agrupan en

conjuntos [Gallardo & Sánchez, 1992], de tal manera que es posible repartir el trabajo entre varios bloques asignándoles una tarea específica. A cada uno de estos conjuntos de funciones se le conoce como grupo funcional.

Para las configuraciones de acceso usuario-red están definidos los siguientes grupos funcionales:

Terminador de red 1 (**TR1**).- Incluye funciones correspondientes a la capa 1 (física) del modelo OSI, tales como terminación de transmisión de línea, mantenimiento, temporización, transferencia de potencia, conversión de señales de dos a cuatro hilos, etc. Constituye la separación física entre la instalación de usuario y la red exterior.

Terminador de red 2 (**TR2**).- Incluye funciones correspondientes a las 3 primeras capas (física, de enlace y de red) del modelo OSI, es decir, realiza funciones tales como conmutación, multicanalización, concentración, control, mantenimiento, etc. pero en el interior de las instalaciones de usuario. Un ejemplo de un TR2 puede ser un concentrador, un PBX, o una Red de Area Local.

Equipo terminal (**ET**).- Incluye funciones que corresponden a las tres primeras capas del modelo OSI; es el equipo que está directamente en contacto con el usuario. Realiza funciones tales como tratamiento de protocolo, funciones de mantenimiento, de interfaz, y de conexión con otros equipos.

Equipo terminal de tipo 1 (**ET1**).- Son terminales que incluyen funciones correspondientes al grupo funcional ET, disponiendo de una interfaz usuario-red susceptible de conectarse directamente a la RDSI, es decir, son terminales diseñados expresamente para la RDSI.

Equipo terminal de tipo 2 (ET2).- Son terminales que incluyen funciones correspondientes al grupo funcional ET, pero que disponen de otras interfaces normalizadas y que, por tanto, no pueden conectarse directamente a la RDSI.

Adaptador de terminal (AT).- Maneja los protocolos de las 3 primeras capas del modelo de referencia OSI de tal forma que permite que un ET2 sea atendido por una interfaz usuario-red de la RDSI.

En un dispositivo particular, dependiendo del tipo de servicio que se desee prestar, ciertas funciones de algún grupo funcional podrán no estar presentes, por ejemplo, si se desea que un TR2 funcione como un conmutador, deberá manejar necesariamente las tres primeras capas del modelo OSI, en cambio, si se desea que el TR2 sea un concentrador, será suficiente con que maneje solamente las capas 1 y 2.

### **III.1.2.-PUNTOS DE REFERENCIA.**

Se denominan puntos de referencia a los interfaces físicos o virtuales que se encuentran entre dos grupos funcionales [CCITT, 1989a].

Para las configuraciones de acceso usuario-red están definidos los siguientes puntos de referencia:

-Punto de referencia S.- Representa la interfaz usuario-red y constituye el punto de conexión física de los terminales con la RDSI. Es una interfaz a cuatro hilos, dos para transmitir y dos para recibir.

-Punto de referencia **T**.- Representa la frontera entre las instalaciones del usuario y los equipos de transmisión de línea.

-Punto de referencia **U**.- Define la línea de transmisión entre las instalaciones de usuario y la central RDSI.

-Punto de referencia **R**.- Es el punto de conexión de cualquier terminal con una interfaz diferente a la interfaz usuario-red RDSI.

En la figura 1 se muestran las configuraciones de referencia para la interfaz usuario-red de la RDSI.

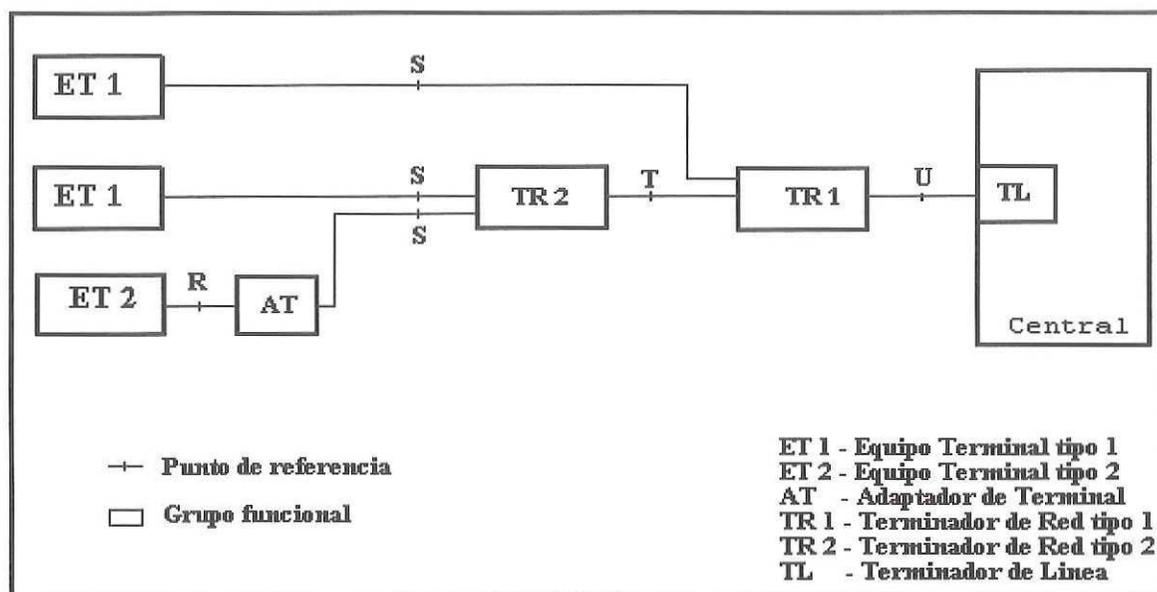


Figura 1. Configuraciones de referencia para la interfaz usuario-red de la RDSI.

### III.2.-INTERFAZ FISICA.

La arquitectura de la RDSI define 3 tipos de interfaz usuario-red para cubrir la diversidad de aplicaciones requeridas por el usuario.

De esta manera, en base a los requerimientos del usuario, se le puede asignar una interfaz específica, que cubra sus necesidades, logrando una mejor eficiencia, flexibilidad, baja complejidad y bajo costo [Dicenet, 1987].

Estas interfaces son conocidas como:

-Interfaz de acceso básico.- Asignada a dispositivos residenciales típicos o dispositivos que cubren las necesidades de pequeñas empresas, por ejemplo: teléfono digital, terminales sincrónicas y asincrónicas de datos, computadoras personales, facsímil, etc. También se incluyen dispositivos telemétricos de baja velocidad, tales como alarmas de seguridad, medidores remotos y equipos de control, siempre que las tasas de datos de estos dispositivos sean menores a 110 Kbps [Helgert, 1991].

-Interfaz de acceso primario.- Asignada a terminales de video fijo o movimiento lento, dispositivos de audio de alta calidad, terminales gráficos de alta velocidad y fax digitales. Sin embargo, su aplicación más importante es en la conexión de un PBX, concentrador, o multicanalizador a la central telefónica. La tasa de transmisión de los dispositivos asignados a esta interfaz puede ser de hasta 2 Mbps.

-Interfaz de acceso de banda amplia.- Proporciona los requerimientos para transmisión de imágenes en movimiento, televisión de alta definición y definición estándar,

videoconferencia, etc.. Otras aplicaciones incluyen transferencia de archivos a muy alta velocidad y multicanalizadores multimedia que combinen datos de una variedad de fuentes de alta velocidad. La velocidad de datos puede alcanzar varios cientos de Mbps.

### **III.2.1.-TIPOS DE CANALES.**

Las distintas interfaces usuario-red se subdividen en varios tipos de canales, los cuales, al tratarse de RDSI de banda angosta, son de una tasa específica dependiente del tipo de interfaz.

Toda la estructura de canales, se transmite en forma sincrónica sobre un medio físico, a través de los puntos de referencia S/T o U.

Existen 3 tipos de canales, descritos a continuación.

#### **III.2.1.1.-CANAL D.**

Todos los dispositivos conectados a la RDSI intercambian mensajes similares con la red para solicitar la prestación de algún servicio. Toda esta información se transporta a través de un canal @ 16 o 64 Kbps, denominado canal D. La función principal de este canal es transportar la información de señalización para el control de la conexión en modo circuito de uno o mas canales B entre el usuario y la red. Durante los periodos que no es utilizado para este propósito, el canal D puede transmitir información de señalización usuario a usuario, datos en modo paquete a baja velocidad o señales de telemetría [Stallings, 1992; Kessler, 1990].

### **III.2.1.2.-CANAL B.**

Opera a una tasa de datos de 64 Kbps en modo bidireccional (full-duplex). Su propósito principal es transportar información del usuario, a través de la red, sin poner ninguna restricción en la representación binaria de los datos.

Puede ser utilizado en aplicaciones que requieren conmutación en modo circuito y modo paquete. Una conexión en modo circuito puede proporcionar una conexión transparente usuario a usuario, mientras que una conexión en modo paquete puede soportar equipo de conmutación de paquetes que utilizan protocolos tales como X.25. [Stallings, 1992; Kessler, 1990].

### **III.2.1.3.-CANALES H.**

Utilizados para transportar información a tasas superiores a 64 Kbps, tales como datos a alta velocidad, audio de alta calidad, teleconferencia, videoservicio y facsímil rápido.

Existen 2 tipos de canales H para la RDSI de banda angosta:

H0, el cual tiene una tasa de 384 Kbps equivalente a 6 canales B.

H1, del que existen dos versiones H11 y H12, que corresponden a las dos jerarquías de multicanalización digital de 1er. nivel del CCITT.

El canal H11 Opera a 24 veces la tasa de transmisión del canal B, dando un total de 1536 Kbps, mientras que el H12 corresponde a 30 canales B, dando una tasa de 1920 Kbps. [Stallings, 1992; Kessler 1990].

### III.2.2.-INTERFAZ DE ACCESO BASICO.

Consiste de 2 canales B y un canal D a 16 Kbps. Los canales B pueden ser utilizados simultánea e independientemente uno del otro, transportando datos del usuario. La información para el control de llamada de los 2 canales B se transmite por el canal D, utilizando una señalización fuera de banda, permitiendo así que la capacidad total del canal B sea utilizada para la transmisión de información del usuario.

El protocolo de capa 1 para la interfaz de acceso básico está especificado en la recomendación I.430 [CCITT, 1989a] , la cual define la comunicación entre el equipo terminal y el terminador de red a través del punto de referencia S/T.

Esta interfaz puede utilizar una configuración punto a punto o punto a multipunto, esta última teniendo dos opciones: ducto pasivo corto y ducto pasivo extendido, como se muestra en la figura 2, y tiene las siguientes características:

-Configuración punto a punto.- Está compuesta por un solo equipo terminal conectado al terminador de red, del cual, pueden estar separados hasta 1Km (3300 pies).

-Ducto pasivo corto.- Esta configuración permite conectar hasta 8 equipos terminales a un solo terminador de red en un ducto de 150 mts. de longitud, pudiendo estar los ETs y el TR en cualquier punto del ducto.

-Ducto pasivo extendido.-Esta configuración permite que hasta 8 ET se conecten al final del ducto, a una distancia menor o igual a 1 Km. del TR.

La conexión física del o los ETs al TR requiere de 2 pares de cables; un par para cada dirección de transmisión.

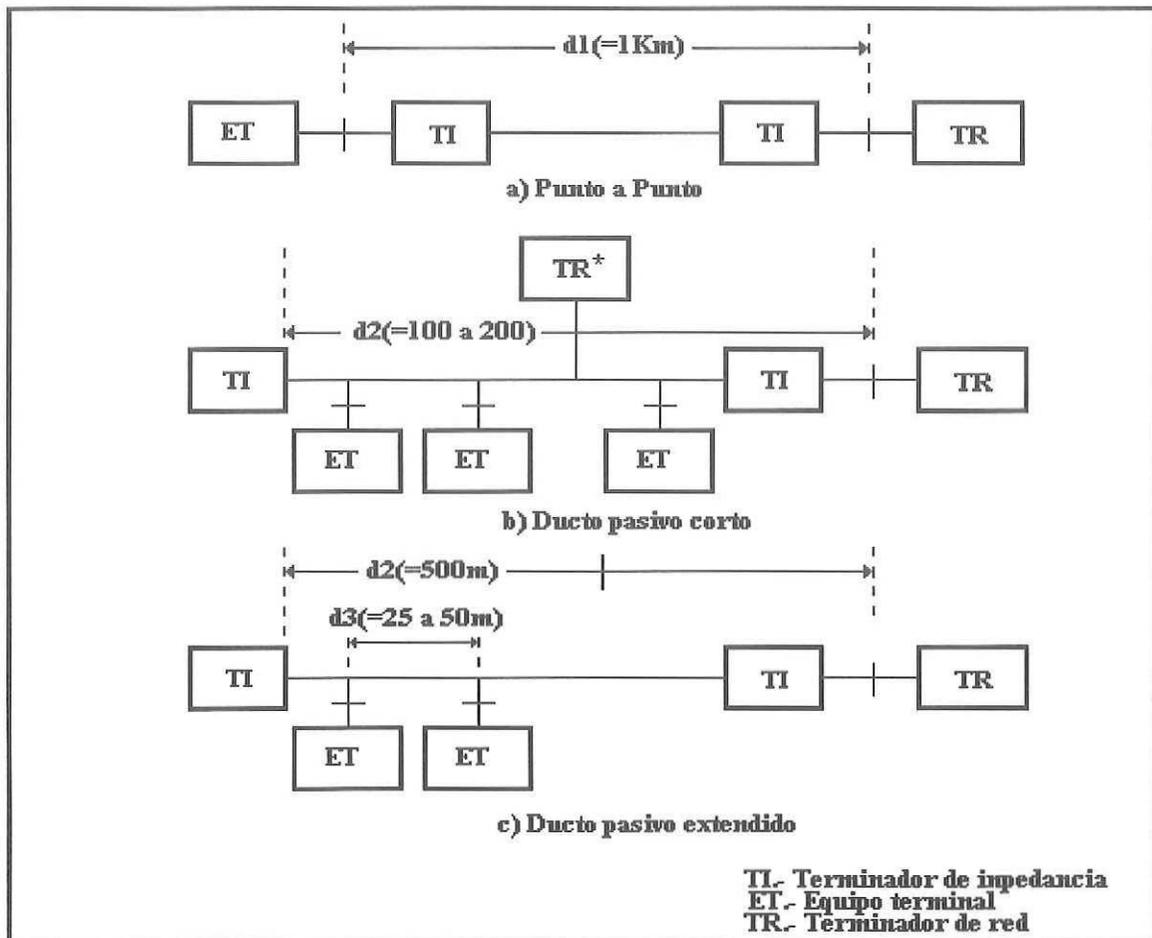


Figura 2. Configuraciones de la interfaz de acceso básico.

### III.2.3.-INTERFAZ DE ACCESO PRIMARIO.

Esta interfaz está designada para aquellas aplicaciones que requieren más de 2 conexiones simultáneas y/o tasas de datos mayores a los 64 Kbps.

La recomendación I.431 [CCITT, 1989a,b] define el protocolo del nivel físico de esta interfaz y establece 2 posibles velocidades de operación para el acceso primario, basándose en los estándares de transmisión PCM primarios del CCITT. Estas son a 1544 Kbps y a 2048 Kbps, estando estructuradas de la siguiente manera:

Para la versión a 1544 Kbps, la estructura de canales puede especificarse como:

$$nH0 + mB + D \quad (1)$$

Donde  $n$  y  $m$  son números enteros cuyos valores cumplen con las siguientes desigualdades:

$$0 \leq n \leq 3 \quad 0 \leq m \leq 23 \quad 6n + m \leq 23 \quad (2)$$

o en la forma:

$$nH0 + mB \quad (3)$$

donde:

$$0 \leq n \leq 4 \quad 0 \leq m \leq 24 \quad 6n + m \leq 24 \quad (4)$$

Sin embargo, el arreglo más común combina 23 canales B independientes y un canal D a 64 Kbps, donde los canales B transportan la información del usuario mientras que la señalización se transmite a través del canal D.

En la versión a 2048 Kbps, la estructura puede especificarse como:

$$nH0 + mB + D \quad (5)$$

Donde  $n$  y  $m$  son números enteros cuyos valores cumplen:

$$0 \leq n \leq 5 \quad 0 \leq m \leq 30 \quad 6n + m \leq 30 \quad (6)$$

El arreglo más importante combina 30 canales B y un canal D, sin embargo, esta interfaz usualmente es utilizada como troncal, conectando un equipo de conmutación (PBX), un concentrador o un multicanalizador a la central telefónica.

## IV.-DISEÑO DEL CONCENTRADOR.

### IV.1.-ESTRUCTURA GENERAL A BLOQUES.

Un concentrador es un dispositivo que nos permite conectar un grupo de 15 accesos básicos a la central telefónica RDSI, utilizando un solo acceso primario @ 2.048 Mbps. Dicho dispositivo es totalmente transparente para el usuario, no así para la central ya que ésta se comunica con él a través de un acceso primario.

Debido a tales características, el concentrador queda clasificado como un terminador de red 2 (TR2) dentro de los grupos funcionales RDSI, por lo que su ubicación dentro del esquema global de conexión quedaría como se observa en la figura 3.

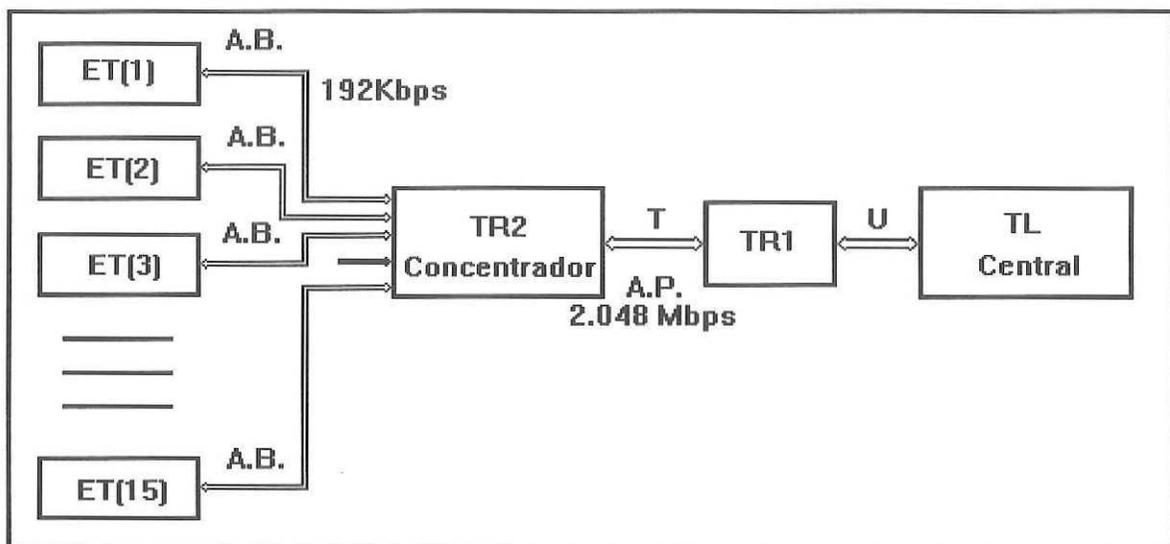


Figura 3. Ubicación del concentrador dentro de un esquema global de conexión.

El concentrador, por un lado, se encuentra conectado con los equipos terminales a través de los accesos básicos, mientras que por el otro, se conecta a la central telefónica a

través del acceso primario, y se requiere además el enrutamiento de los canales B y D en las dos direcciones, por lo tanto, el diagrama a bloques quedaría representado como se observa en la figura 4.

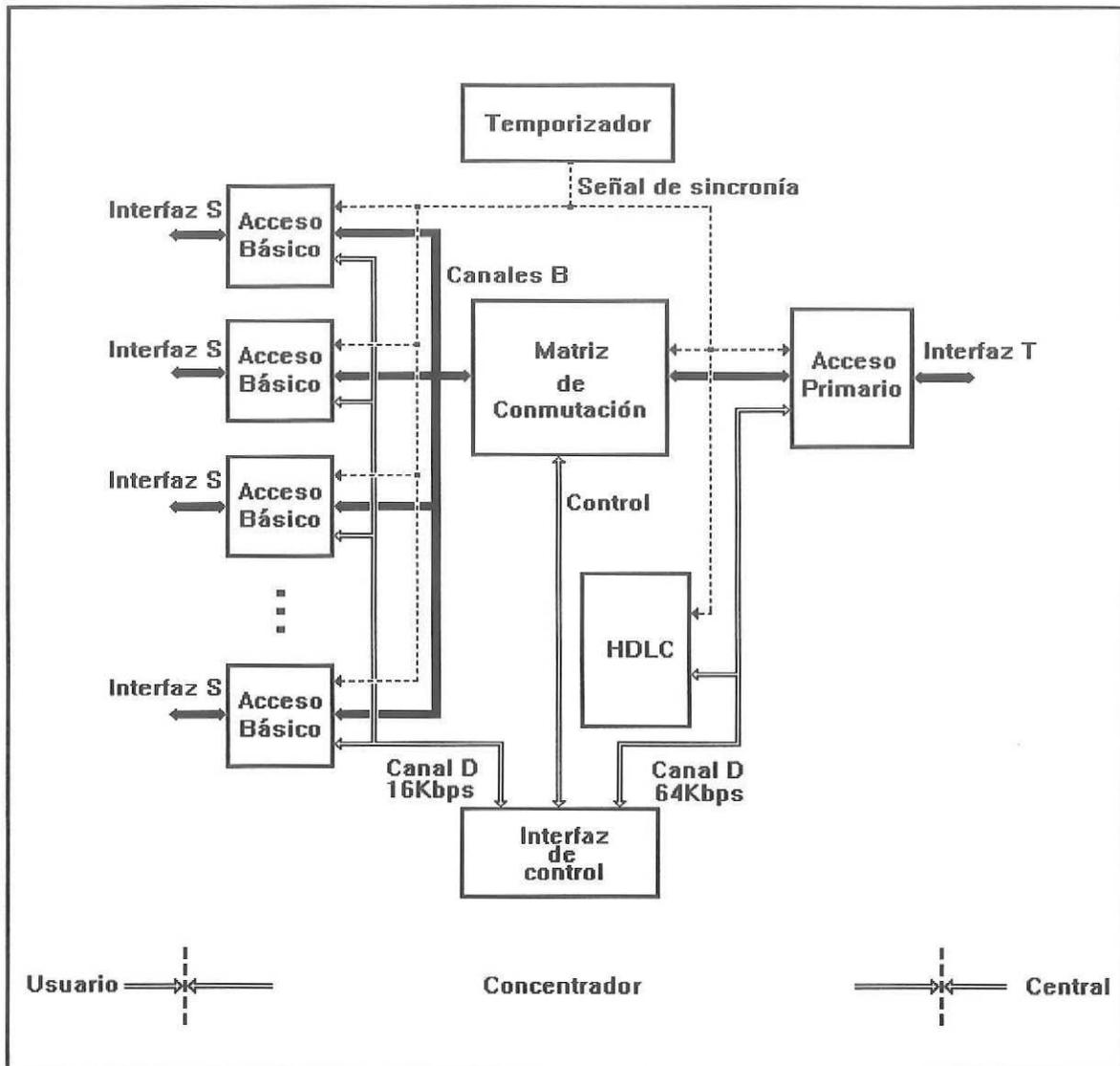


Figura 4. Diagrama a bloques del concentrador.

#### **IV.1.1.-BREVE DESCRIPCION DEL SISTEMA.**

Los principales elementos del sistema son:

- Interfaces de acceso básico.
- Interfaz de acceso primario.
- Interfaz de control.
- Matriz de conmutación.

Cada módulo de acceso básico se encarga de la interacción con 3 equipos terminales, respetando la norma I.430, (especificaciones de la capa 1 para el acceso básico).

Dentro de la interfaz de acceso primario, las ranuras de tiempo de la 1 a la 15 y de la 17 a la 31 son utilizadas por los 30 canales B, mientras que la ranura 16 está reservada para el canal D.

La matriz de conmutación se encarga del enrutamiento de los canales B y D en los dos sentidos. Está constituida por 8 líneas de entrada y 8 líneas de salida, cada una formada a su vez por 32 canales a 64 Kbps, permitiendo una conmutación espacio-temporal no bloqueable de 256 x 256 puertos.

La interfaz con el concentrador es necesaria debido a que el control del dispositivo se lleva a cabo utilizando una computadora personal. Trabaja en forma distribuida, es decir, cada tarjeta lleva una etapa de decisión para habilitar las actividades de lectura o escritura a puertos en una y solo una tarjeta a la vez.

El concentrador se encuentra separado de la PC y se controla a través de un dispositivo de extensión del ducto ISA, a saber, EXISA.

## IV.2.-DESCRIPCION DE LA CIRCUITERIA.

En este punto se describen los criterios de diseño y el modo de operación de la circuitería del concentrador.

### IV.2.1.-INTERFAZ CON EL CONCENTRADOR.

#### IV.2.1.1.-DESCRIPCION DE LA TARJETA EXISA.

La tarjeta "EXISA" [Mitrani, 1992], es un módulo de extensión del ducto ISA (ducto de la computadora personal, compatible con IBM), la cual permite acceder puertos externos a la computadora, mediante la utilización de líneas de dirección multicanalizadas con datos, líneas de control, así como el manejo de una línea de interrupciones, todo a través de un conector DB25.

Esta tarjeta tiene las siguientes características:

- Maneja 8 líneas de datos multicanalizados con 4 líneas de direcciones (las 3 menos significativas y la línea SA10).

- Maneja una línea de interrupción que puede ser conectada a cualquiera de las líneas IRQ3, IRQ4, IRQ5 o IRQ7 existentes en el ducto ISA de la computadora.

- Entrega señales de control ( $\overline{LEC}$  ,  $\overline{ESC}$  y  $HDIR$ ) para la realización de ciclos de lectura y escritura en puertos compatibles con el ducto "INTEL".

- Maneja un estado de inicialización, en forma indirecta, el cual ocurre en el caso especial en que se dé la señal de  $HDIR$  y  $\overline{ESC}$  en forma simultánea.

-Entrega, además, alimentación de voltaje (+5V, +12V) y tierra digital.

Una de sus características más importantes es que permite accesar puertos que se encuentren afuera de la computadora ( $distancia \leq 1 m$ ).

Esta tarjeta hace uso de la señal IOCHRDY del ducto ISA para indicar al microprocesador que se requieren ciclos de reloj adicionales para completar la operación de escritura o lectura a un puerto.

Después de solicitar ciclos de espera al microprocesador, la tarjeta se encarga de generar las señales de control necesarias para ejecutar las operaciones de lectura o escritura, como se observa en la figura 5.

La señal de interrupción es habilitada y deshabilitada por programación, permitiendo así el paso de la señal de interrupción de cualquier circuito externo.

Se habilita cuando se realiza un ciclo de escritura en una dirección coincidente a la dirección de la tarjeta EXISA, la línea de dirección SA13 sea igual a "1" y no exista ciclo de inicialización, y se deshabilita cuando se de un ciclo de lectura interno con SA13 igual a "1"

Además, permite el paso de los cuatro datos superiores durante todo el ciclo de escritura y, aún cuando no es necesario, se les permite el paso en el ciclo de lectura sólo hasta que  $T3=1$ , después se pone en alta impedancia.

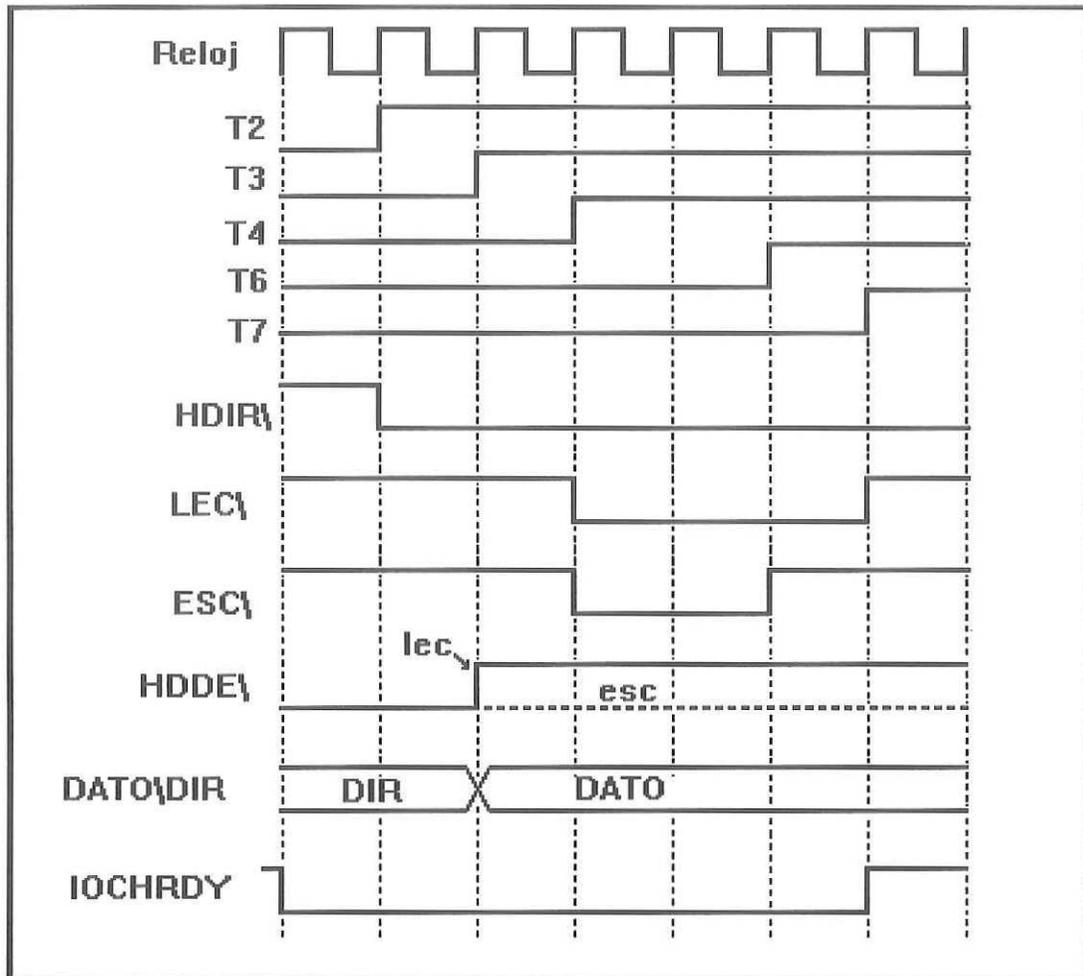


Figura 5. Diagrama de tiempos.

#### IV.2.1.2.-INTERFAZ CON LA CIRCUITERIA.

La interfaz con la circuitería del concentrador, fue diseñada para actuar en forma distribuida, es decir, cada una de las tarjetas que la constituyen cuenta con una etapa de decisión para habilitar las actividades de lectura y escritura en una y sólo una tarjeta a la vez.

El "Concentrador" está constituido por 5 módulos de acceso básico, cada uno de ellos con 3 circuitos SNIC y, a su vez, cada circuito con 8 registros de control. Consta, además, de un módulo de acceso primario y conmutación, constituido por 3 circuitos, cada uno de ellos hasta con 64 registros de control.

Debido a que la tarjeta EXISA entrega sólo 4 líneas de dirección, únicamente puede acceder 16 direcciones diferentes, lo cual hace imposible la manipulación directa del "Concentrador" a través de esta tarjeta de extensión de ducto, por lo que se lleva a cabo un direccionamiento indirecto, descrito a continuación.

De las 16 posibles direcciones, se reservó la dirección número 15 (es decir, todas las líneas de dirección puestas a 1) para control, utilizándose de la siguiente manera.

En cada tarjeta se tienen 3 interruptores seleccionadores de módulo (existiendo 6 módulos en total), y en cada módulo se tienen de 3 a 4 circuitos, por lo que se utilizan los 5 dígitos binarios menos significativos del octeto escrito en la dirección 15 para seleccionar la tarjeta y el circuito.

Los dos dígitos binarios menos significativos se utilizan para seleccionar uno de 4 circuitos (posteriormente se mostrarán y explicarán las ecuaciones), y los 3 siguientes se comparan con la posición de los 3 interruptores seleccionadores de módulo, para validar las líneas seleccionadoras de circuito (SEL0, SEL1, SEL2 y SEL3).

Además, la dirección 15 se reserva para lectura de interrupciones. Para lograr esto, se utiliza un transeptor (74LS245) el cual aísla el ducto de datos externo del ducto de datos interno de cada una de las tarjetas.

El sentido de los datos en el transeptor depende de 3 variables:

- La operación de lectura,
- La selección de módulo, y
- El acceso a la dirección 15.

Y opera de la siguiente manera:

El sentido de los datos en el transceptor será normalmente del ducto exterior hacia el ducto interior, y sólo cambiará cuando se dé la operación de lectura, esté seleccionado el módulo y no se esté accediendo a la dirección 15, como se puede apreciar en la figura 6.

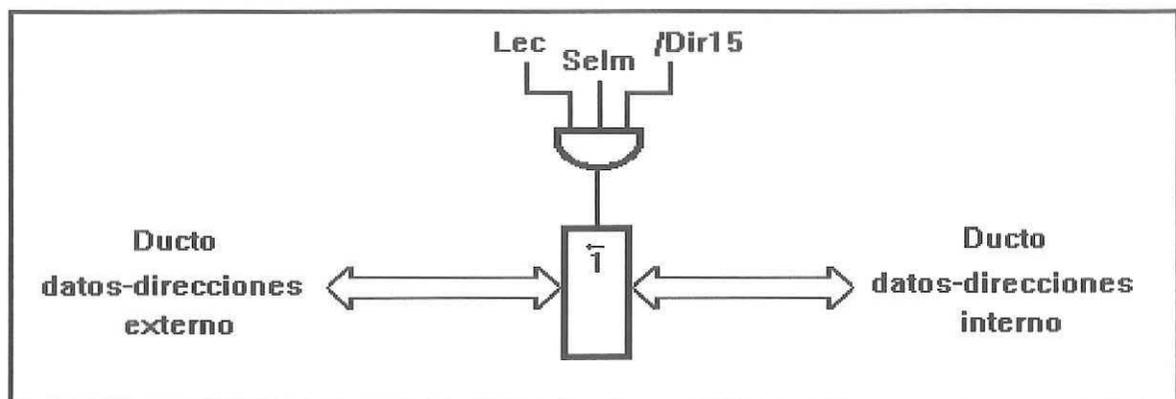


Figura 6. Operación del transceptor.

La lectura de las interrupciones se realizará, de acuerdo con lo dicho anteriormente, cuando se esté accediendo a la dirección 15 en operación de lectura.

Para retener la dirección 15 durante el ciclo de lectura o escritura, se planteó una ecuación asíncrona, la cual depende de los valores DD0 hasta DD3, de la siguiente manera:

$$\begin{aligned}
 DIR15 = & DD0 * DD1 * DD2 * DD3 * HDIR + \\
 & DD0 * DD1 * DD2 * DD3 * DIR15 + \\
 & \overline{HDIR} * DIR15
 \end{aligned} \tag{7}$$

Es decir, se atrapan los valores de las 4 líneas de direcciones cuando existe HDIR (ALE) y se mantienen durante todo el ciclo, aún cuando desaparezca HDIR. Para evitar una "Alea" en el momento en que existe la transición de HDIR, se le agregó el segundo monomio, el cual mantiene el valor de DIR15 desde antes hasta después que cambia HDIR.

Los dos bits menos significativos de la palabra de datos se utilizan para la selección de circuito, y se obtienen también en forma asíncrona de la siguiente forma:

$$\begin{aligned}
 DIR1 = & \overline{HDIR} * DD0 * DIR15 * ESC + \\
 & \overline{HDIR} * DD0 * DIR15 * DIR1 + \\
 & \overline{HDIR} * DIR1 * \overline{ESC} + \\
 & \overline{HDIR} * DIR1 * \overline{DIR15} + \\
 & \overline{ESC} * DIR1
 \end{aligned} \tag{8}$$

$$\begin{aligned}
 DIR2 = & \overline{HDIR} * DD1 * DIR15 * ESC + \\
 & \overline{HDIR} * DD1 * DIR15 * DIR2 + \\
 & \overline{HDIR} * DIR2 * \overline{ESC} + \\
 & \overline{HDIR} * DIR2 * \overline{DIR15} + \\
 & \overline{ESC} * DIR2
 \end{aligned} \tag{9}$$

El valor de DIR1 y DIR2 se obtiene cuando es proceso de escritura en la dirección 15 y ha terminado el HDIR (esto asegura que el valor que se encuentra en la línea será dato).

El tercer monomio asegura que el valor obtenido (DIR1 o DIR2) se mantendrá aún después de haber finalizado la operación de escritura, o en operación de lectura. La función del segundo monomio es eliminar la "alea" que se presenta en el momento en que cambia de estado la señal de escritura. El cuarto monomio mantiene el valor de DIR1 o DIR2 aún cuando no se esté accedando la dirección 15.

La tarjeta de manipulación de puertos "EXISA" maneja un estado de inicialización en forma indirecta mediante las líneas  $\overline{ESC}$  y HDIR, ya que estas dos líneas en operación normal nunca se activan en forma simultánea.

Debido a esto, todas las líneas que interactúan con la circuitería son forzadas a tomar un valor conocido cuando ocurra un estado de inicialización. En el caso particular de DIR1 y DIR2, tomarán un valor de "0 lógico".

Para lograr la selección de módulo, como se dijo anteriormente, se utilizan 3 interruptores seleccionadores de módulo, comparándolos con los valores de los datos en las líneas DD2, DD3 y DD4, de la siguiente manera:

$$\begin{aligned}
 SSM = & DD2 * S2 * DD3 * S3 * DD4 * S4 + \\
 & DD2 * S2 * DD3 * S3 * \overline{DD4} * \overline{S4} + \\
 & DD2 * S2 * \overline{DD3} * \overline{S3} * DD4 * S4 + \\
 & DD2 * S2 * \overline{DD3} * \overline{S3} * \overline{DD4} * \overline{S4} + \\
 & \overline{DD2} * \overline{S2} * DD3 * S3 * DD4 * S4 + \\
 & \overline{DD2} * \overline{S2} * DD3 * S3 * \overline{DD4} * \overline{S4} + \\
 & \overline{DD2} * \overline{S2} * \overline{DD3} * \overline{S3} * DD4 * S4 + \\
 & \overline{DD2} * \overline{S2} * \overline{DD3} * \overline{S3} * \overline{DD4} * \overline{S4}
 \end{aligned} \tag{10}$$

$$\begin{aligned}
SELM = & \overline{HDIR} * DIR15 * ESC * SSM + \\
& \overline{HDIR} * DIR15 * SELM * SSM + \\
& \overline{HDIR} * SELM * \overline{ESC} + \\
& \overline{HDIR} * SELM * \overline{DIR15} + \\
& \overline{ESC} * SELM
\end{aligned} \tag{11}$$

La primera ecuación (SSM) valdrá "1 lógico" sólo en el caso en que los valores de los interruptores seleccionadores de módulo coincidan con los valores de los datos en las líneas DD2, DD3 y DD4.

Para que se active la línea seleccionadora de módulo (SELM), es necesario que se realice una operación de escritura en la dirección 15, que sea válido el valor de "SSM" y que ya haya desaparecido la señal HDIR (es decir, que los valores que se encuentran en las líneas de dirección/datos sean precisamente datos). El tercer monomio mantiene el valor de SELM aún cuando haya desaparecido la señal de escritura y durante los ciclos de lectura. El segundo monomio se utiliza para eliminar la "alea" que ocurre en la transición de la línea de  $\overline{ESC}$ . El cuarto monomio mantiene el valor de SELM aún cuando no se esté accedando la dirección 15 y sea operación de lectura.

El estado de SELM se fuerza a tomar un valor de 0 lógico cuando se dá el estado de inicialización.

Debido a que los circuitos SNIC (MT8930) en los módulos de acceso básico tienen su interfaz paralela compatible al ducto INTEL, mientras que los circuitos HDLC (MT8952B), matriz de conmutación (MT8980D), y el circuito de acceso paralelo al ducto-ST

(MT8920-1) del módulo de conmutación y acceso primario, tienen su interfaz paralela compatible al ducto MOTOROLA, las señales  $\overline{SEL0}$ ,  $\overline{SEL1}$ , y  $\overline{SEL2}$ , se generan de distinta manera para los dos tipos de módulos.

En el caso del módulo con interfaz paralela, compatible con el ducto MOTOROLA, se utiliza un circuito extra (74LS374) para atrapar una palabra de 8 bits que representará las líneas de direcciones (D0 a D5) y la señal de  $Lo\overline{E}$  ( $R/\overline{W}$ ) con el bit D7; estos valores se atrapan con la línea  $\overline{SEL3}$ , la cual tiene la siguiente ecuación:

$$\overline{SEL3} = DIR2 * DIR1 * \overline{DIR15} * SELM * ESC \quad (12)$$

Es decir, las señales DIR1 y DIR2 deberán tener un valor de 1 lógico, no se deberá estar accedando la DIR15, se deberá estar seleccionando el módulo y deberá ser un proceso de escritura. Esta línea ( $\overline{SEL3}$ ) es activa baja, y en la transición de 1 a 0 lógico se capturan los datos (D0 a D5 y  $Lo\overline{E}$ ) en el circuito (74LS374).

Las señales  $\overline{SEL0}$ ,  $\overline{SEL1}$ , y  $\overline{SEL2}$ , se generan con las siguientes ecuaciones:

$$\begin{aligned} \overline{SEL0} = & \overline{DIR2} * \overline{DIR1} * \overline{DIR15} * SELM * LEC * Lo\overline{E} + \\ & \overline{DIR2} * \overline{DIR1} * \overline{DIR15} * SELM * ESC * \overline{Lo\overline{E}} + \\ & HDIR * ESC \end{aligned} \quad (13)$$

$$\begin{aligned} \overline{SEL1} = & \overline{DIR2} * DIR1 * \overline{DIR15} * SELM * LEC * Lo\overline{E} + \\ & \overline{DIR2} * DIR1 * \overline{DIR15} * SELM * ESC * \overline{Lo\overline{E}} + \\ & HDIR * ESC \end{aligned} \quad (14)$$

$$\begin{aligned} \overline{SEL2} \quad / = \quad & \overline{DIR2} * \overline{DIR1} * \overline{DIR15} * SELM * LEC * Lo\overline{E} + \\ & \overline{DIR2} * \overline{DIR1} * \overline{DIR15} * SELM * ESC * \overline{Lo\overline{E}} + \\ & HDIR * ESC \end{aligned} \quad (15)$$

Es decir, las señales para selección de circuito ( $\overline{SEL0}$ ,  $\overline{SEL1}$ , y  $\overline{SEL2}$ .) se activarán (hay que recordar que son activas bajas), cuando se de la respectiva combinación de DIR1 y DIR2, no se esté accedendo la DIR15, esté seleccionado el módulo y esté presente un ciclo de lectura (en el cual la señal  $Lo\overline{E}$  toma el valor de 1 lógico indicando que es ciclo de lectura en ducto MOTOROLA) o de escritura (en el cual la señal  $Lo\overline{E}$  toma el valor de 0 lógico, indicando que es ciclo de escritura en ducto MOTOROLA). Esto evitará el que se seleccione algún circuito si se cometiera el error de indicar con la línea  $Lo\overline{E}$  que se efectuará un ciclo y se realice otro.

En los módulos de acceso básico, las señales  $\overline{SEL0}$ ,  $\overline{SEL1}$ , y  $\overline{SEL2}$  se activarán en forma parecida, sólo que no se considera la señal  $Lo\overline{E}$  (por ser señal de ducto MOTOROLA), y como las direcciones vienen multicanalizadas con los datos, tampoco se utiliza el circuito 74LS374.

Las ecuaciones son:

$$\overline{SEL0} \quad / = \quad \overline{DIR2} * \overline{DIR1} * \overline{DIR15} * SELM * \overline{HDIR} \quad (16)$$

$$\overline{SEL1} \quad / = \quad \overline{DIR2} * DIR1 * \overline{DIR15} * SELM * \overline{HDIR} \quad (17)$$

$$\overline{SEL2} \quad / = \quad \overline{DIR2} * \overline{DIR1} * \overline{DIR15} * SELM * \overline{HDIR} \quad (18)$$

Como se puede observar en las ecuaciones (en los dos casos), los valores dependen de la señal "SELM" (selección de módulo), y ésta, cuando se da el ciclo de inicialización, se fuerza a tomar el valor de 0 lógico. Por lo tanto, en dicho ciclo, ninguna línea seleccionadora de circuito estará activa.

Como la tarjeta de extensión de ducto-ISA (EXISA) multicanaliza cuatro líneas de dirección con las cuatro líneas de datos menos significativos, al activarse la señal HDIR, en el ducto de direcciones estarán presentes las cuatro líneas que son efectivamente direcciones junto con cuatro líneas que corresponden a datos. Como el SNIC decodifica cinco líneas de direcciones (AD0-AD4) y los registros se accesan sólo en el caso de que AD4 sea 0 lógico, esta línea tiene que ser tratada por separado como se muestra en la figura 7.

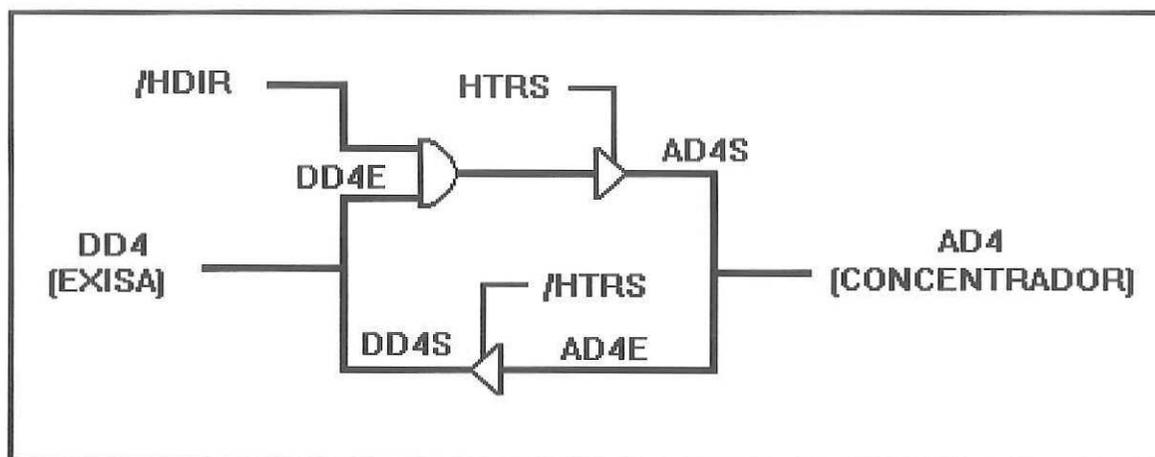


figura 7. Manipulación de la señal AD4.

Donde:

$$AD4S = DD4E * \overline{HDIR} \quad (19)$$

$$AD4S.ENA = HTRS \quad (20)$$

$$DD4S = AD4E \quad (21)$$

$$DD4S.ENA = \overline{HTRS} \quad (22)$$

Es decir, cuando se escriba en este módulo, el valor del dato DD4 sólo pasará al ducto interno de la tarjeta cuando haya desaparecido HDIR (es decir HDIR=0) y el habilitador de transceptor (HTRS) sea igual a uno.

Cuando se lea en este módulo, el valor del dato DD4 sólo pasará al ducto externo (EXISA), cuando la señal HTRS sea igual a cero, es decir el transceptor esté en dirección de lectura.

Para el manejo de las interrupciones, debido a que los circuitos que manejan la señal de interrupción lo hacen como drenaje abierto, permitiendo la posibilidad de conectar varias líneas unidas físicamente, se reciben todas las líneas IRQs de los circuitos en cada una de las tarjetas, y se generan dos señales de interrupción de salida: "INTD" (interrupción para ser leída en el ducto de datos en la dirección de puerto ex profeso), e "INTO" (interrupción de salida), de la manera mostrada en la figura 8.

Donde:

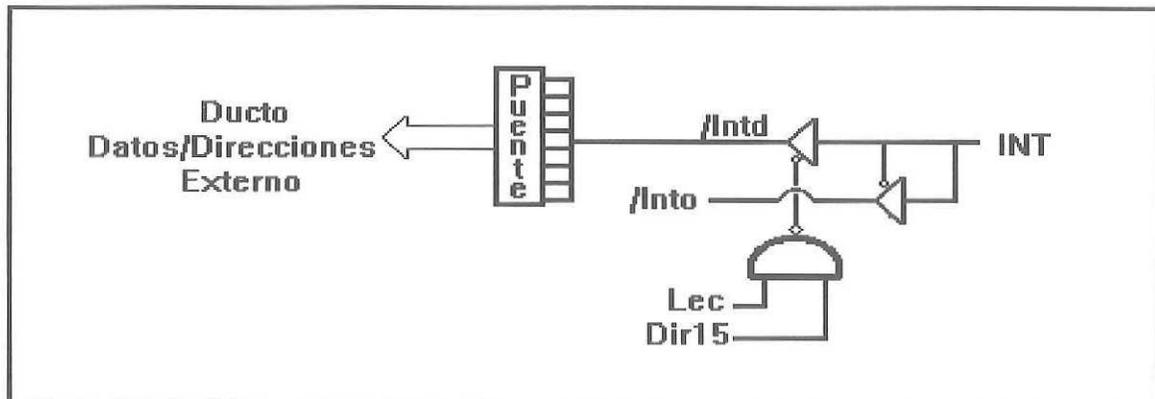


Figura 8. Manejo de interrupciones.

$$\overline{INTD.ENA} = LEC * DIR15 \quad (23)$$

$$\overline{INTD} = INTi \quad (24)$$

$$\overline{INTO.ENA} = INTi \quad (25)$$

$$\overline{INTO} = INTi \quad (26)$$

Como se puede observar, la  $\overline{INTD}$  se obtiene únicamente cuando es operación de lectura en la dirección 15, ya que sólo bajo esa condición el circuito de tres estados permite pasar la señal, en cualquier otro caso se mantiene en alta impedancia. Para el caso de  $\overline{INTO}$ , ésta se genera simulando un colector abierto con un circuito de tres estados, cuya entrada de control, al igual que la entrada al circuito, es conectada a la señal INT, de tal forma que mientras no se presente la señal de INT, la salida estará en alta impedancia, y cuando se de la INT, el circuito de tres estados asumirá un "0 lógico".

En los dos tipos de módulos (acceso básico y primario), se utiliza el circuito 74LS244 como reforzador de las líneas  $\overline{LEC}$ ,  $\overline{ESC}$  y  $HDIRr$ , para no cargar a la tarjeta EXISA, de tal forma que en cada módulo se utilizan internamente las señales  $\overline{LEC}$ ,  $\overline{ESC}$  y  $HDIRr$  (reforzadas).

Toda esta etapa de control fue implementada en dos circuitos GALs 16V8 (arreglos lógicos genéricos) en cada módulo.

#### IV.2.2.-MODULO DE CONMUTACION.

El objetivo principal del **CONCENTRADOR** es unir varios accesos de baja velocidad en uno a alta velocidad, con el fin de utilizar el menor número posible de líneas físicas, por lo que es necesario incluir una etapa de conmutación, de tal forma que permita enrutar los canales B de cada **ACCESO BASICO** en un solo acceso a 2.048 Mbps y trasladarlo hacia el módulo de acceso primario, además de permitir enrutar el canal D del acceso primario hacia un circuito empaquetador/desempaquetador de acuerdo al protocolo HDLC y viceversa.

Para llevar a cabo esta función (conmutación), se utilizaron circuitos de la compañía **MITEL**, los cuales se interconectan entre sí utilizando un ducto propio de la compañía: el llamado **DUCTO-ST** [Mitel, 1991a] que se describe a continuación.

#### IV.2.2.1.-DUCTO ST.

El **DUCTO ST** es un ducto serie sincrónico de alta velocidad (2.048 Mbps) para transportar información en un formato digital.

Las señales requeridas para conectarse al **DUCTO ST** son:

- i)Una señal para alineamiento de trama.
- ii)Una señal de reloj para temporización de bit.
- iii)Flujo de información serie.

La velocidad del flujo de información del **DUCTO ST** es de 2.048 Mbps, como se dijo anteriormente. Este flujo es dividido en tramas, cada una de las cuales tiene un periodo de 125  $\mu$ seg, y se suceden con una cadencia de 8000 tramas/seg. Cada trama, a su vez, está dividida en 256 bits con una temporización de bit proporcionada por la señal de reloj.

El flujo de información puede considerarse como un solo canal de comunicación a 2.048 Mbps entre dos puntos, sin embargo, en muchas aplicaciones no es necesario el ancho de banda digital total de tal forma que se divide el flujo total de información en 32 canales a 64 Kbps cada uno.

El **DUCTO ST** define 2 frecuencias de reloj estándar, 4.096 MHz y 2.048 MHz, que son utilizadas para cubrir las necesidades de temporización interna de los componentes, sin embargo, sólo se utiliza una a la vez para un componente en particular (algunos permiten seleccionar cualquiera de las dos velocidades de reloj). Estas frecuencias tienen una relación específica con la señal de alineación de trama, como se puede observar en las figuras 9,10 y 11.

Hay dos tipos principales de señales de alineación de trama (figuras 12 y 13). El primer tipo es un pulso que ocurre al inicio de cada trama (**Tipo 0**). Los componentes utilizan esta señal como una referencia y la entrada de reloj determina cuándo se recibe o transmite información en el flujo serie.

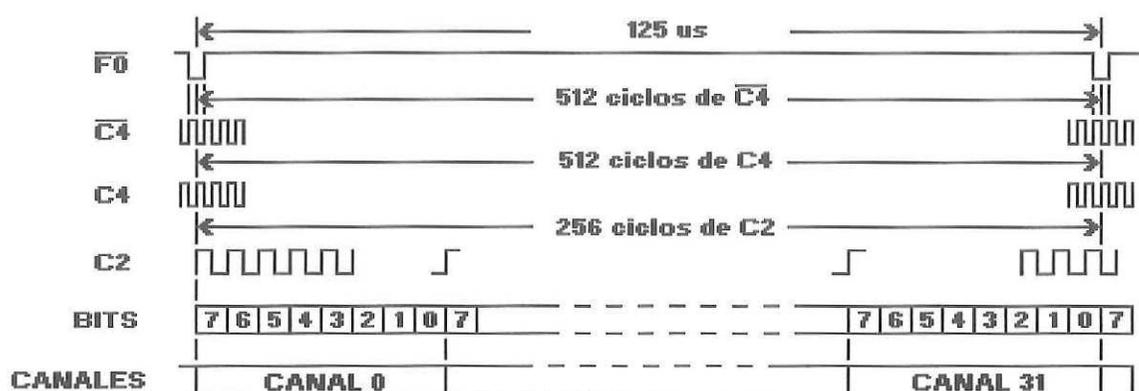


Figura 9.  $\overline{F0}$  y reloj de alineamiento.

El otro tipo de señal de alineación de trama (**Tipo 1**) es similar a una habilitación de circuito (Chip Enable). Este pulso debe abarcar el tiempo de un canal completo de 64 Kbps, en el cual un componente recibe o transmite información serie. Una variante del **Tipo 1** es requerida por algunos componentes que necesitan más de una ranura de tiempo (canal) por trama (ver figura 14).

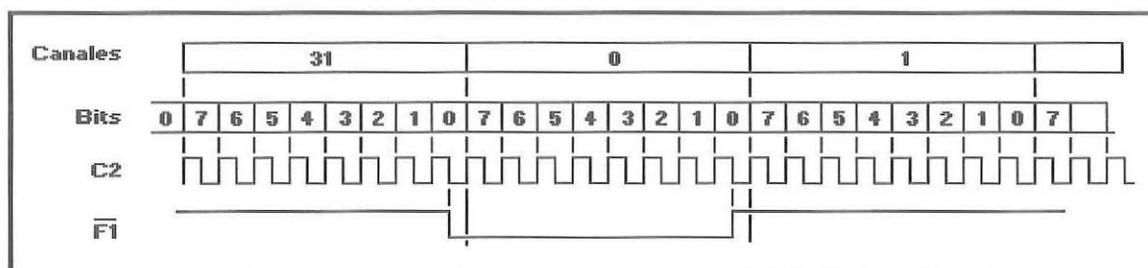


Figura 10. Señal de alineamiento  $\overline{F1}$ .

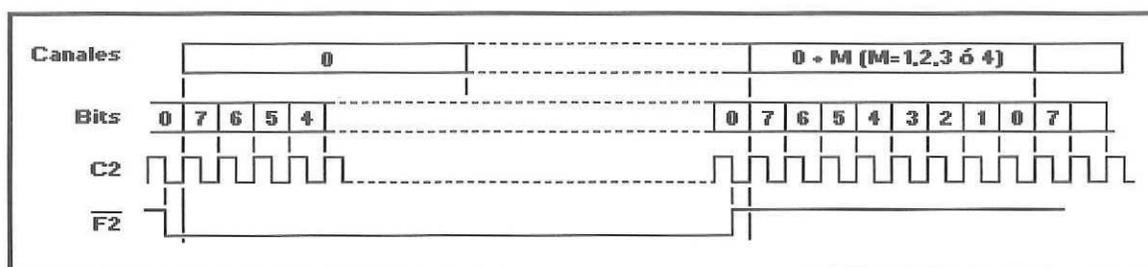


Figura 11. Señal de alineamiento  $\overline{F2}$ .

Las señales **Tipo 1** y **2** son generadas por circuitería externa que tienen como entradas una señal de alineación de entrada **Tipo 0** y una señal de reloj.

#### IV.2.2.2.-MATRIZ DE CONMUTACION.

El enrutamiento de los canales B se lleva a cabo en una **Matriz de Conmutación** (MT8980 de Mitel), la cual puede proporcionar hasta 256 conexiones simultáneas entre canales de 64 Kbps [MITEL, 1991b].

Este dispositivo maneja 8 **DUCTOS ST** de entrada y 8 de salida, realizando una conmutación espacio temporal de  $256 * 256$  puertos. Esto permite realizar la conexión de los canales de información de cada **ACCESO BASICO** hacia el modulo de **ACCESO PRIMARIO**, además de enrutar el canal de señalización (canal 16) del módulo de acceso primario hacia el HDLC (MT8952).

Esta **Matriz de Conmutación** permite además operar en modo mensaje, es decir, es posible escribir directamente en la matriz la información que se desea enviar a cualquiera de los 256 puntos de salida. Esta facilidad es utilizada para enviar ciertas palabras de control a cada **ACCESO BASICO**.

La distribución de cada **DUCTO ST** de entrada y salida se ilustra en la figura 12.

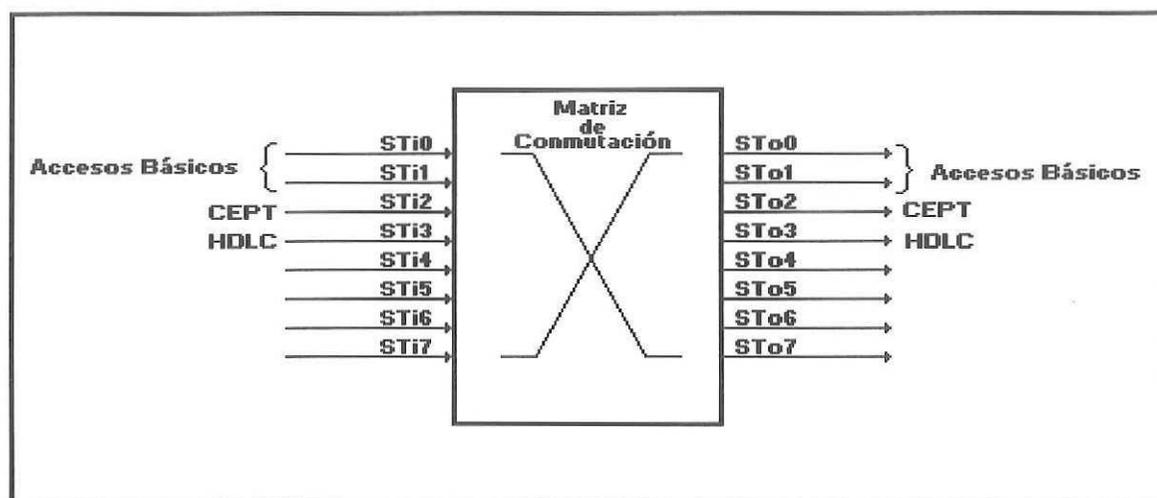


Figura 12. Distribución de entrada y salida de los ductos ST.

### IV.2.3.-MODULOS DE ACCESO BASICO.

Cada uno de los módulos de **ACCESO BASICO** se encarga de la interacción con 3 accesos, respetándose la norma del CCITT I.430 [CCITT, 1989a], la cual abarca las especificaciones de la capa 1 concernientes a la interfaz de acceso básico usuario-red, cumpliendo las siguientes características:

-Se realiza una transmisión bidireccional a 192 Kbps que incluye 2 canales B y un canal D, además de bits para temporización y control.

-Se maneja el mecanismo de contención en el acceso al canal D para asegurar que sólo un equipo terminal transmita a la vez en dicho canal. Además, cada acceso incluye un tranceptor de datos de acuerdo al formato HDLC.

Es posible la operación de cada acceso en modo **Equipo Terminal (ET)** o **Terminador de Red (TR)** pero, debido a la naturaleza del equipo (**Concentrador -TR2-**), cada acceso opera en modo **Terminador de Red**.

Cada uno de los accesos básicos es atendido por un circuito SNIC, mismo que utiliza 4 canales del ducto ST (dos para los canales B, uno para el canal D y uno de control) [MITEL, 1991d], permitiendo el paso de los canales B en forma transparente, por lo tanto, los canales B de los accesos básicos se enrutan hacia el módulo de acceso primario a través de la matriz de conmutación, encontrándose distribuidos como se muestra en la tabla I.

Tabla I. Distribución de los canales B en el ducto ST.

Acceso Básico	Canal	Ubicación en el ducto ST
1	B1 B2	Canal 2 ST0 Canal 3 ST0
2	B1 B2	Canal 6 ST0 Canal 7 ST0
3	B1 B2	Canal 10 ST0 Canal 11 ST0
4	B1 B2	Canal 14 ST0 Canal 15 ST0
5	B1 B2	Canal 18 ST0 Canal 19 ST0
6	B1 B2	Canal 22 ST0 Canal 23 ST0
7	B1 B2	Canal 26 ST0 Canal 27 ST0
8	B1 B2	Canal 30 ST0 Canal 31 ST0
9	B1 B2	Canal 2 ST1 Canal 3 ST1
10	B1 B2	Canal 6 ST1 Canal 7 ST1
11	B1 B2	Canal 10 ST1 Canal 11 ST1
12	B1 B2	Canal 14 ST1 Canal 15 ST1
13	B1 B2	Canal 18 ST1 Canal 19 ST1
14	B1 B2	Canal 22 ST1 Canal 23 ST1
15	B1 B2	Canal 26 ST1 Canal 27 ST1

#### IV.2.4.-MODULO DE ACCESO PRIMARIO.

La etapa de **Acceso Primario** opera a una velocidad de 2.048 Mbps y está constituida por 30 canales B de información de abonado y 1 canal D, todos operando a 64 Kbps. La ranura 0 está reservada para sincronización de trama, las ranuras de la 1 a la 15 y de la 17 a la 31 son utilizadas por los canales B, mientras que la ranura 16 está reservada para el canal D.

Esta etapa está compuesta por un circuito **MH89790 (CEPT)** que realiza la interfaz a una troncal digital a 2.048 Mbps conforme a las recomendaciones G.704 para PCM 30+2 e I.431 para la RDSI del CCITT [CCITT, 1989b]. Incluye características tales como: inserción y detección de patrones de sincronía, verificación de redundancia cíclica opcional (CRC-4), codificación y decodificación HDB3 opcional, señalización por canal común o asociado (en nuestro caso opera en canal común) y atenuación digital programable, entre otras.

El circuito **CEPT** opera en conjunto con el circuito **MT8920**. Este último permite acceder el **DUCTO ST** desde un puerto paralelo, de forma tal que se utiliza para proporcionar las palabras de control al **MH89790 (CEPT)** desde la interfaz de control.

El **CEPT** se encuentra interconectado con la **matriz de conmutación (MT8980)** por medio del ducto ST-2, y es a través de ésta que el **CEPT** recibe tanto la información de los canales B, como el canal D proveniente del circuito **MT8952 (HDLC)**.

### **IV.3.-DESCRIPCION DE LA PROGRAMACION.**

La programación se desarrolló en forma modular, trabajando en un ambiente de multitareas o de multiprogramación, debido a la diversidad de tareas independientes que es necesario realizar.

Los programas se pueden dividir en dos tipos:

a) **Programas de control**, que interactúan directamente con la circuitería

b) **Programas de operación**, encargados de enrutar los paquetes del canal D de los accesos básicos hacia el acceso primario y viceversa.

#### **IV.3.1.-ADMINISTRADOR DE MULTITAREAS.**

El **Administrador de Multitareas** [Gallardo & Sanchez, 1993] es un conjunto de rutinas que están incluidas dentro de la programación y sirve para controlar el ambiente de coexistencia de los múltiples procesos.

Los objetivos de las rutinas que constituyen al administrador de multitareas son:

-Manejar colas para asignar de manera ordenada la UCP entre los diferentes procesos.

-Manejar semáforos con el fin de establecer medios de comunicación y sincronización entre los procesos.

-Manejar temporizadores (i.e., programar la ejecución de alguna actividad al transcurrir un intervalo de tiempo predeterminado).

Dentro de estas rutinas se encuentra una que es invocada voluntariamente cuando el proceso en ejecución considera conveniente ceder la UCP; su misión es decidir cual proceso será el siguiente que ha de utilizar la UCP de entre todos los que esperan su turno en la cola.

Hay, sin embargo, una tarea dentro del programa que debe ser atendida en tiempo real, a saber, la inserción y extracción de datos de los registros muelle para transmisión y recepción existentes en el circuito MT8952 (HDLC) que requiere atención la mayoría de las veces, a más tardar 2 ms después de que la solicita. Por esta razón no pasa por las colas de espera, sino que es atendida haciendo uso de una interrupción por circuitería y se ejecuta en cuanto el procesador está habilitado para atenderla.

La figura 13 muestra gráficamente la estructura del administrador de multitareas.

Debido al manejo extensivo de estructuras de datos haciendo uso de apuntadores, el administrador de multitareas fue realizado en lenguaje de alto nivel (Lenguaje C), mientras que los programas de control y operación, debido a la velocidad de procesamiento requerida, se realizaron en lenguaje ensamblador 8088 de Intel.

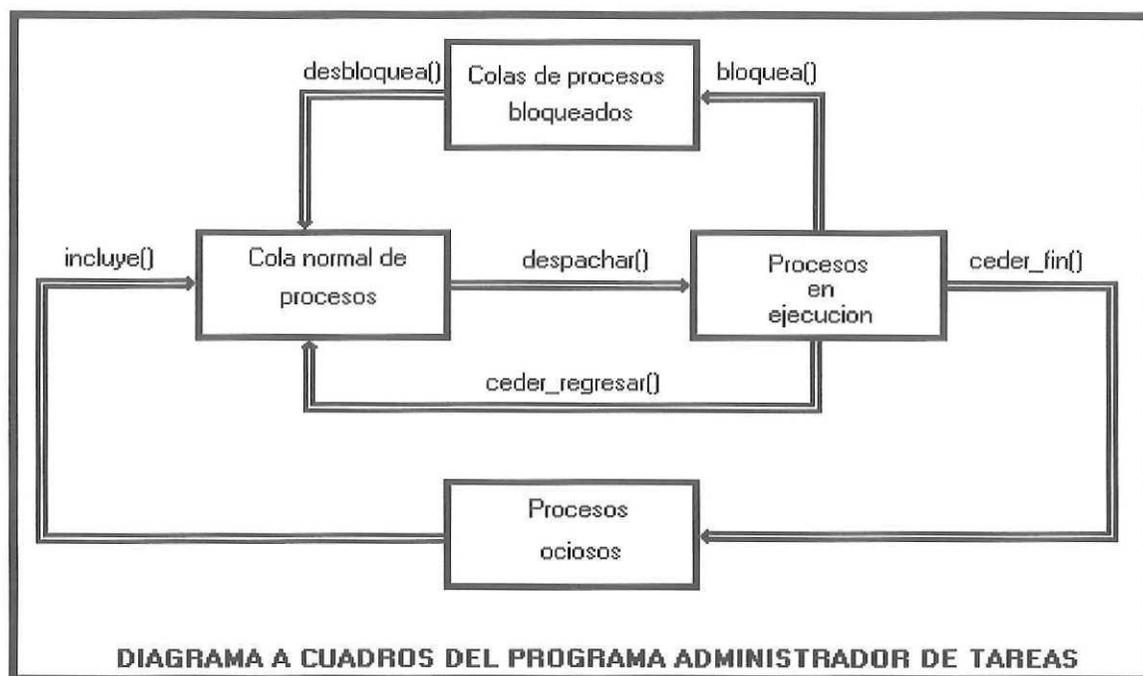


Figura 13. Estructura del administrador de multitareas.

#### IV.3.2.-PROGRAMAS DE CONTROL.

Los programas de control, a su vez, se subdividen en:

-**Programas de acceso a circuitos**: rutinas de escritura, lectura, modo\_conmutación, modo\_mensaje y modo\_lectura.

-**Programas de atención a circuitería** (SNIC y HDLC).

-**Programas para transferencia de paquetes del canal D en los dos sentidos** (pasar\_snic y pasar\_hdlc).

-**Programas de inicialización** (SNICs, HDLC, MATRIZ y CEPT).

El programa base es el de atención a los SNICs y los demás se irán ejecutando de acuerdo a la presencia de ciertos eventos durante el curso del programa, como se describirá en las secciones siguientes.

#### **IV.3.2.1.-PROGRAMAS DE ACCESO A CIRCUITOS.**

Debido a que el acceso a la circuitería del concentrador se realiza a través de la tarjeta EXISA (descrita en IV.2.1.1) y una interfaz de control (descrita en IV.2.1.2), se lleva a cabo un procedimiento para ejecutar las operaciones de escritura y lectura a cada circuito así como para la programación de la matriz en modo\_conmutación, modo\_mensaje y modo\_lectura.

El procedimiento de escritura y lectura depende de la compatibilidad del puerto paralelo de cada circuito con Motorola o con Intel, ya que para acceder a cada uno de ellos se lleva a cabo una secuencia diferente.

En lo que respecta a las rutinas de escritura y lectura a circuitos con ducto compatible con Motorola (HDLC, MATRIZ, etc.), se realiza el siguiente procedimiento:

- 1.-Se escribe un 03h en la dirección 15 (707h de la computadora) para la selección de módulo y para activar SEL3, ya que el dato que se escriba posteriormente (que contendrán la dirección y la señal LoE) será atrapado en el circuito 74LS374.

- 2.-Se escribe en los datos D0-D5 la futura dirección por acceder en los circuitos y en D7 la señal de LoE (Lec=1 y Esc=0).

3.-Se escribe en la dirección 15 para selección de módulo y selección de circuito, dependiendo del dispositivo que se desee accesar, el dato correspondiente, de acuerdo con la tabla II.

4.-Por último, se escribe o se lee el dato deseado.

Tabla II. Dirección de cada uno de los circuitos con el ducto Motorola.

Dirección	Circuito
00H	Matriz
01H	HDLC
02H	Circuito de acceso paralelo al ducto ST
03H	Atrapa dirección y LoE

Debido a que se puede correr el riesgo de la llegada de una interrupción a mitad de la rutina de escritura o lectura se deshabilitan y habilitan las interrupciones al inicio y fin de cada una de estas rutinas, respectivamente.

Cada uno de los cinco módulo de acceso básico contiene 3 SNICs (circuitos que poseen ducto compatible con Intel), de tal forma que se direcciona a cada uno de estos circuitos mediante una etiqueta específica que contiene el módulo al que pertenece y el lugar que ocupa en dicho módulo, como se puede observar en la tabla III.

Tabla III. Dirección de acceso a cada uno de los SNIC.

SNIC	Dirección	Módulo	Circuito
1	1CH	111	00
2	1DH	111	01
3	1EH	111	10
4	18H	110	00
5	19H	110	01
6	1AH	110	10
7	14H	101	00
8	15H	101	01
9	16H	101	10
10	10H	100	00
11	11H	100	01
12	12H	100	10
13	0CH	011	00
14	0DH	011	01
15	0EH	011	10

Por lo tanto, para llevar a cabo los procesos de lectura y de escritura en estos circuitos, se procede de la siguiente forma:

1.-Se escribe en la dirección 15 (707h) la etiqueta del circuito que se quiere acceder, seleccionándose así el módulo y el circuito específico.

2.-Se realiza la escritura o lectura en el circuito en cuestión accedendo cualquiera de las direcciones de la 0 a la 14 (300h a 307h y 700h a 706h de la computadora).

Las rutinas de modo\_mensaje, modo\_lectura y modo\_conmutación atañen al circuito MT8980 (matriz de conmutación), el cual tiene 3 registros de control para realizar cualesquiera de estas 3 operaciones:

-**Registro de Control Global**, mediante el cual se elige qué clase de operación se va a realizar y a qué ducto se va a referir.

-**Registro de Memoria Alta**, en el cual se activa o desactiva el canal del ducto de salida específico, y se indica si se realizará la operación en modo\_mensaje.

-**Registro de Memoria Baja**, utilizado para escribir el dato a transmitir en modo\_mensaje o para elegir el canal y ducto fuente al realizarse la conmutación.

Estos 2 últimos registros pertenecen a cada uno de los canales del ducto ST especificado en el registro de control global.

La rutina en **modo\_mensaje**, programa la matriz para transmitir un dato en forma permanente por un canal y ducto deseado. En ella se sigue el siguiente procedimiento:

1.-Se escribe en el **registro de control global** una palabra compuesta por la operación lógica "O" del número 18h y el ducto por el cual saldrá el mensaje, esto para indicar a la matriz que se accesará el **registro de memoria alta**.

2.-Se escribe en la dirección del canal por el cual se desea mandar el mensaje un 05h para indicar que operará en modo mensaje y se habilita el canal de salida.

3.-Se escribe nuevamente en el **registro de control global** una palabra compuesta por la operación lógica "O" del número 10h y el ducto por el cual saldrá el mensaje, para indicar que se accesará el **registro de memoria baja**.

4.-Se escribe el mensaje en la dirección del canal deseado.

En cuanto a la rutina **modo\_lectura** se procede de la siguiente manera:

1.-Se escribe en el **registro de control global** una palabra compuesta por la operación lógica "O" del número 08h y el ducto al cual pertenece el canal que se quiere leer, esto para indicar que se realizará una lectura a algún canal del ducto especificado.

2.-Se realiza la lectura en la dirección del canal deseado.

Por último, para la rutina **modo\_conmutación**, la secuencia es la siguiente:

1.-Se escribe en el **registro de control global** una palabra compuesta por la operación lógica "O" del número 10h y el ducto destino, para indicar que se accesará el **registro de memoria baja**.

2.-Se escribe en la dirección del canal destino una palabra compuesta por la operación lógica "O" del ducto fuente recorrido 5 bits a la izquierda y el canal fuente para indicar qué canal y ducto serán la fuente de la información

3.-Se escribe en el **registro de control global** una palabra formada por la operación lógica "O" del número 18h y el ducto destino, para indicar que se accederá el **registro de memoria alta**.

4.-Finalmente, en la dirección del canal destino se escribe un 01h para habilitar el canal de salida.

#### **IV.3.2.2.-PROGRAMAS DE ATENCION A LA CIRCUITERIA.**

Uno de los procesos más importantes del concentrador es el que se refiere a la atención del canal D, ya que, por un lado, se tienen 15 canales a 16 Kb/s (accesos básicos) y, por el otro, un canal a 64 Kb/s (acceso primario).

El concentrador cuenta con dos tipos de circuitos para recibir esa información: el SNIC y el HDLC.

Para cada acceso básico se cuenta con un SNIC (15 en total) y se tiene un HDLC para atender el canal a 64Kbps del acceso primario

Los paquetes de información del canal D se reciben y transmiten de acuerdo al formato HDLC, realizado automáticamente en los circuitos antes mencionados, el cual se muestra en la figura 14.

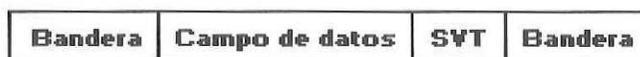


Figura 14. Formato de la trama HDLC.

Cada circuito tiene una cola de 19 octetos [MITEL, 1992c] en la cual se va almacenando los octetos conforme van llegando al circuito (tanto para Rx como Tx), y éste tiene la capacidad de solicitar una interrupción al microprocesador cuando se presentan una o varias de las siguientes condiciones:

#### Interrupciones por Rx:

- Fin de paquete recibido.
- Detección de aborto de trama.
- Cola cuasi-llena, de 15 a 19 octetos recibidos.
- Sobreflujo o derrame.

#### Interrupciones por Tx:

- Transmisión de paquete completo.
- Cola cuasi-vacía, menos de 4 octetos.
- Desabasto en la cola.

Otra de las informaciones que proporciona cada circuito es el estado del octeto recibido por leer, es decir, a cada octeto le asigna una etiqueta para indicar si es:

- Primer octeto del paquete recibido.
- Octeto intermedio del paquete recibido.
- Ultimo octeto del paquete con buen SVT.
- Ultimo octeto del paquete con mal SVT.

En cuanto a la transmisión, se le debe indicar al circuito cuándo se escribirá el último octeto o cuándo se iniciará una secuencia de aborto por haberse vaciado la cola de transmisión sin que se haya terminado de enviar un paquete.

Cada rutina de atención a los circuitos consta de una parte de recepción y otra de transmisión y fueron desarrollados de la siguiente manera:

#### **IV.3.2.2.1.-RUTINA DE ATENCION A LOS SNIC.**

La atención a los circuitos SNIC se realiza por encuesta, tomando en cuenta que a estos circuitos la información del canal D llega a 16 Kb/s, por lo que hay suficiente tiempo para realizar otros procesos antes de volver a atenderlos.

Primero se realiza la rutina de recepción ya que tiene mayor prioridad que la rutina de transmisión, esta última se realiza inmediatamente despues.

En la figura 15 se muestra el diagrama de flujo de la rutina de atención a los SNICs en forma general.

Los diagramas de flujo de la figuras 16 y 17 muestran las rutinas de atención a los SNICs para recepción y transmisión, respectivamente.

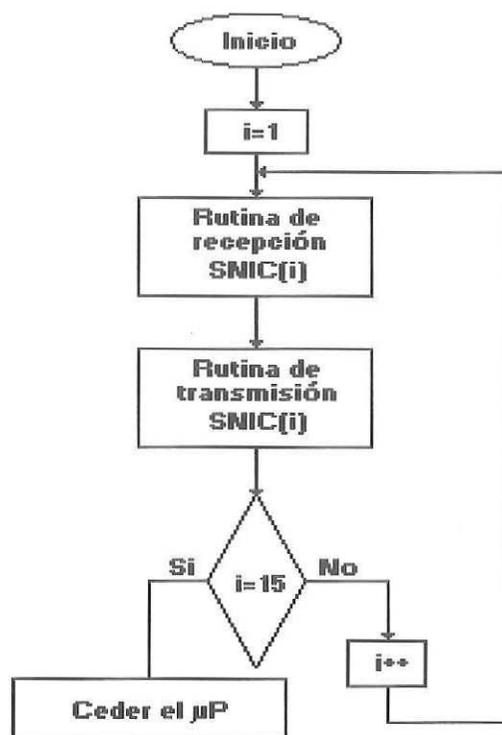


Figura 15. Diagrama de flujo de la rutina de atención a los SNIC en forma general.

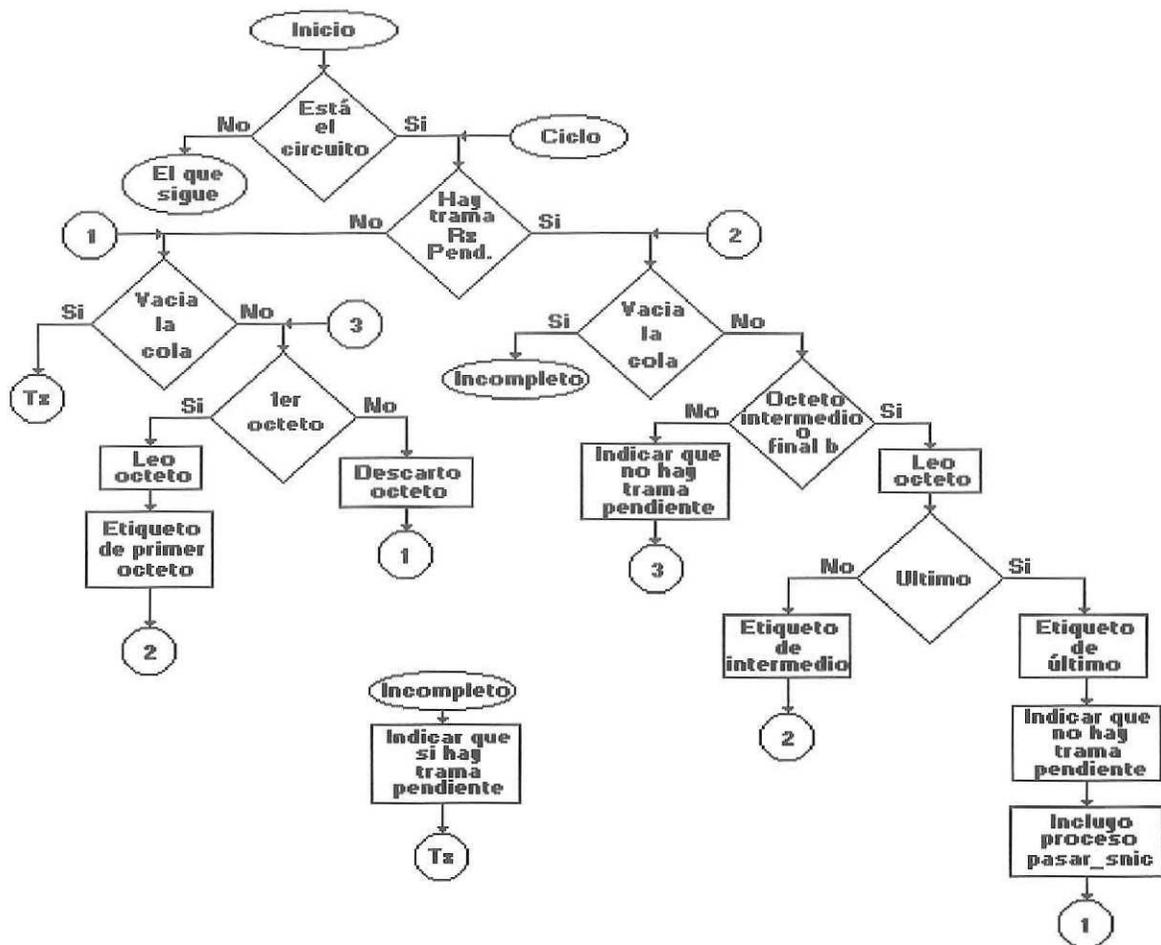


Figura 16. Diagrama de flujo de la rutina de recepción de los SNIC.

Los mensajes recibidos se ordenan en palabras de 16 bits dentro de la cola de recepción de los SNICs. En el octeto menos significativo de cada palabra se guarda el mensaje en sí, mientras que en el octeto más significativo se encuentra una bandera que indica si la palabra es la primera, intermedia o final, como se muestra en la figura 18. Lo

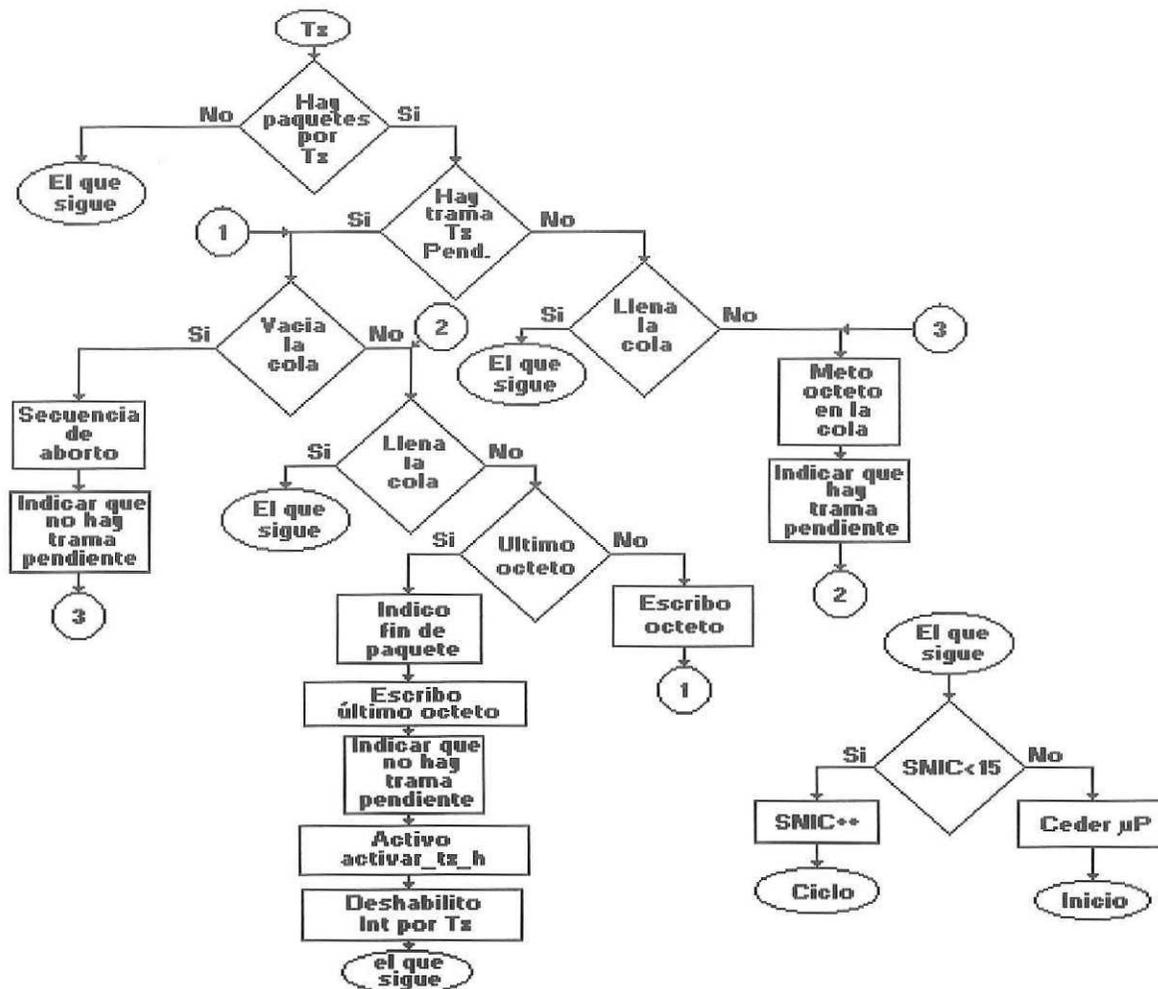


Figura 17. Diagrama de flujo de la rutina de transmisión de los SNIC.

anterior se hace con el fin de que la rutina encargada de pasar los paquetes de la cola de recepción de los SNICs a la cola de transmisión del HDLC identifique el inicio y fin de cada paquete.

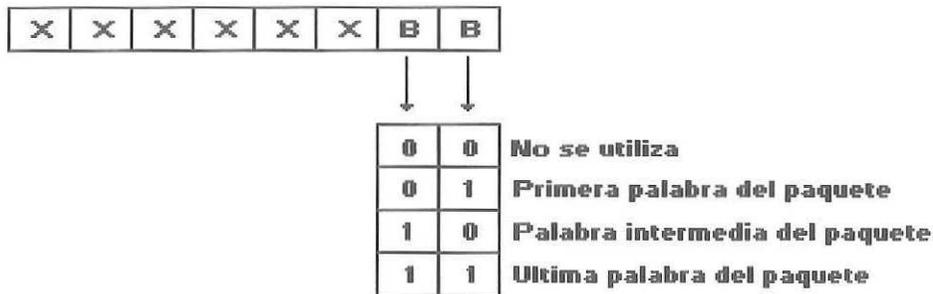


Figura 18. Descripción del octeto de control.

Para manejar la inserción de datos en la cola de recepción de los SNICs, se utilizan 2 apuntadores: **fin\_paquete\_rx\_s**, que apunta al inicio del paquete que se está recibiendo y es actualizado cada vez que llega un paquete completo y **fin\_preliminar\_rx\_s**, que apunta a la dirección que corresponderá al siguiente octeto por guardar.

En caso de que llegue un paquete con mal SVT (secuencia de verificación de trama), el apuntador **fin\_preliminar\_rx\_s** se iguala a **fin\_paquete\_rx\_s** descartando los octetos de esta trama que eventualmente ya se habían guardado, con el fin de utilizar la cola sólo para guardar paquetes que hayan llegado sin error.

Al terminar de recibir un paquete completo, mediante un semáforo se avisa al proceso "**Pasar\_Snic**", que es el proceso encargado de pasar los paquetes de la cola de recepción del SNIC a la cola de transmisión del HDLC, que hay un nuevo paquete recibido. La ventaja de utilizar un semáforo en este caso es que, mientras no se tenga ningún paquete por pasar, este proceso permanecerá bloqueado en lugar de consumir tiempo del procesador preguntando si hay o no qué hacer.

Cabe mencionar que los canales B de información no son procesados por los circuitos SNICs quienes dejan pasar en forma transparente dichos canales, mismos que son enrutados hacia el acceso primario (CEPT) a través de la matriz de conmutación.

#### **IV.3.2.2.2.-RUTINA DE ATENCION AL HDLC.**

Debido a que el canal D del acceso primario tiene una velocidad de 64 Kb/s y que la cola de recepción y transmisión del circuito HDLC consta de 19 octetos, este circuito es atendido por interrupción al microprocesador.

Inicialmente se habilitan únicamente las interrupciones por causas relacionadas con la recepción de datos, y sólo se habilitarán las interrupciones relacionadas con transmisión cuando se tenga un paquete listo para transmitir. Al concluirse la transmisión exitosa de un paquete, se deshabilitarán nuevamente dichas interrupciones.

Las figuras 19 y 20 muestran las rutinas de atención al HDLC para recepción y transmisión.

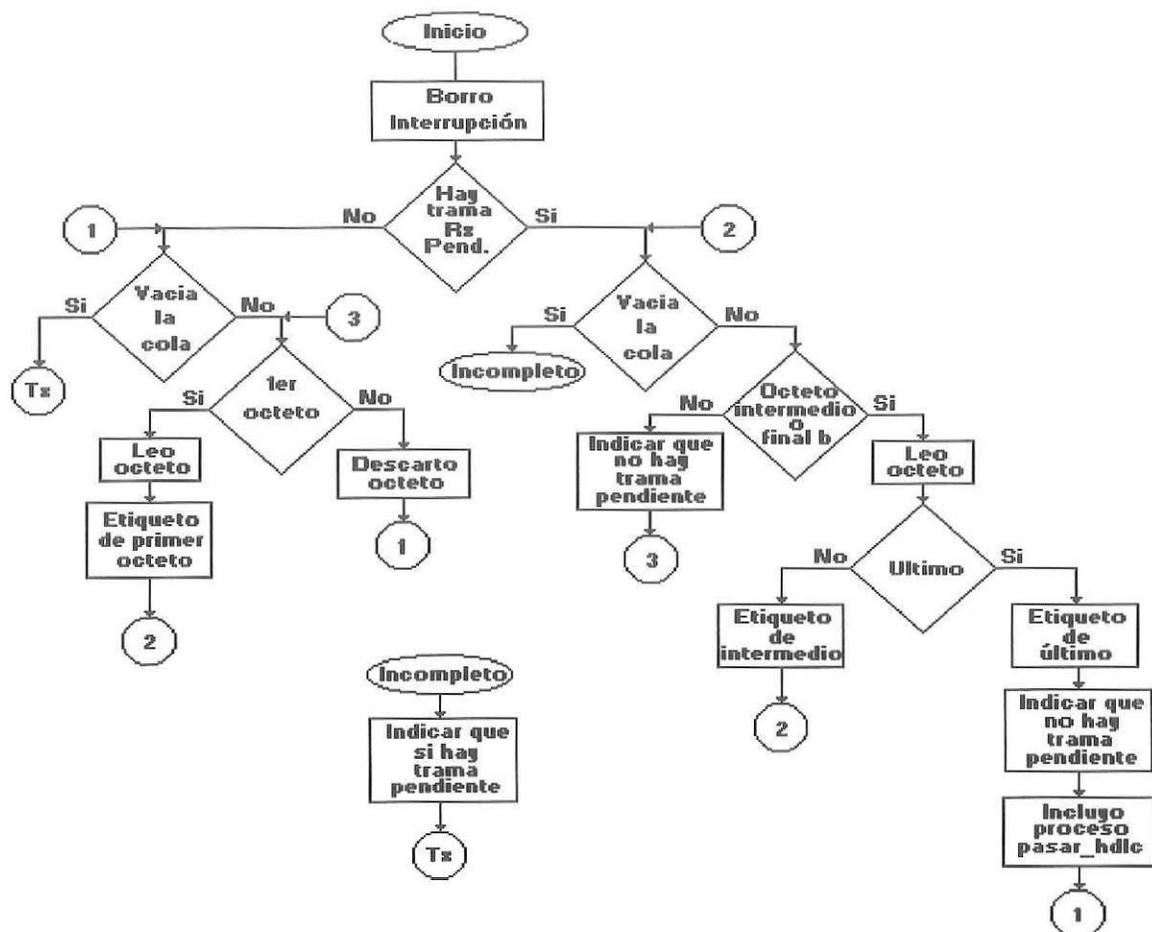


Figura 19. Diagrama de flujo de la rutina de Recepción del HDLC.

Las rutinas de atención al HDLC operan de forma muy similar a las rutinas del SNIC.

Los mensajes se ordenan en palabras donde el octeto más significativo es utilizado para etiquetar su octeto correspondiente de información como primero, intermedio o final, de la misma forma que en la figura 21.

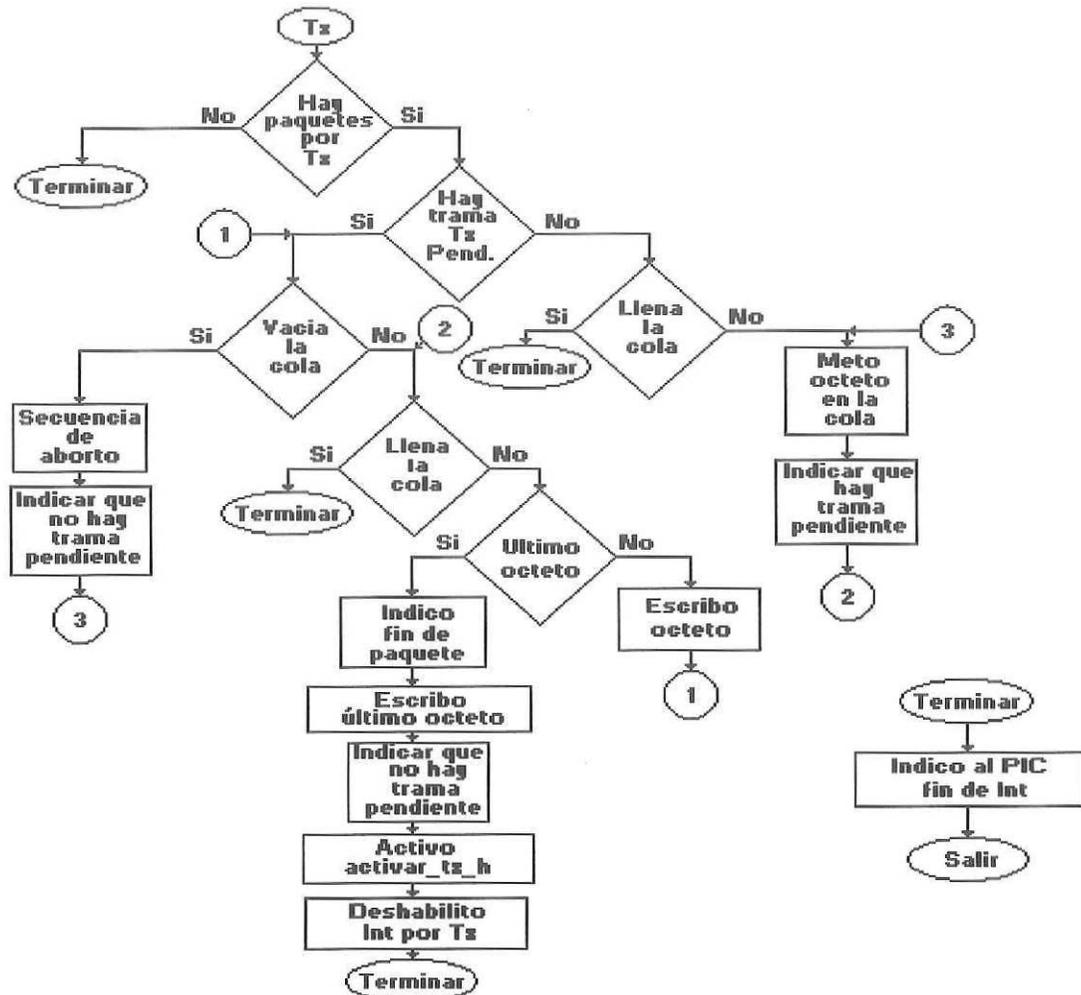


Figura 20. Diagrama de flujo de la rutina de Transmisión del HDLC.

Se utilizan dos apuntadores: `fin_paquete_rx_h` y `fin_preliminar_rx_h` para manejar la inserción de datos a la cola de recepción del HDLC.

Al terminar de recibir un paquete completo se avisa mediante un sémaforo al proceso "Pasar\_HDLC", el cual se encargará de pasar los paquetes de la cola de recepción del HDLC a la cola de transmisión del SNIC correspondiente.

De la misma manera que en el caso de `pasar_snic` este proceso permanece bloqueado hasta que se recibe un paquete completo.

#### **IV.3.2.3.-PROGRAMAS PARA TRANSFERENCIA DE PAQUETES DEL CANAL D.**

Se utilizan dos programas para llevar a cabo la transferencia de los paquetes del canal D en ambos sentidos: del HDLC a los SNIC y de los SNIC al HDLC.

##### **IV.3.2.3.1.-PROCESO PASAR\_SNIC.**

Esta rutina se encarga de pasar los paquetes de la cola de recepción de los SNIC a la cola de transmisión del HDLC, atendiendo a los SNICs en forma equi-prioritaria cada vez que se ejecuta. En la figura 21 se muestra el diagrama de flujo de este proceso.

Utiliza dos apuntadores: `inicio_rx_s(i)`, que apunta al inicio de un mensaje completo recibido por cada uno de los SNIC, y `fin_paquete_tx_h`, que apunta a la dirección en la cola de transmisión del HDLC donde se escribirá la próxima palabra del paquete.

Cabe mencionar que los octetos de un paquete se pasan junto con la etiqueta de primero, intermedio y fin correspondiente.

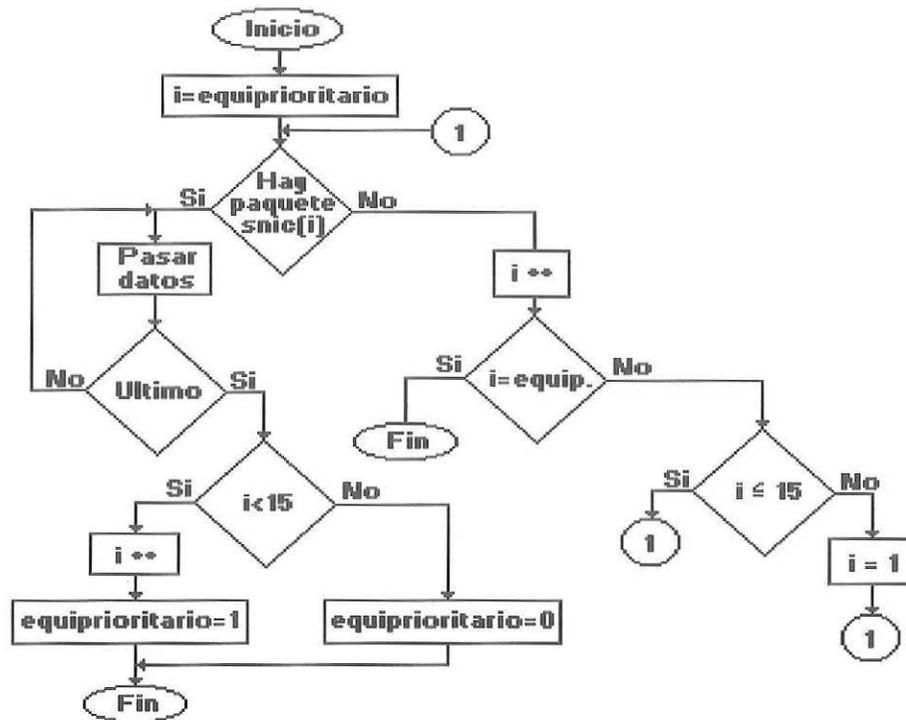


Figura 21. Diagrama de flujo de la rutina `pasar_snic`.

Además, este proceso se encarga de incluir a la rutina `activa_tx_h` en la cola de procesos activos mediante un semáforo utilizado como sincronización de procesos para que habilite las banderas de interrupción por causas relacionadas con transmisión en el HDLC.

#### IV.3.2.3.2.-PROCESO PASAR\_HDLC.

Este proceso se encarga de investigar a cual SNIC corresponde cada paquete recibido por el HDLC y distribuirlo de forma correcta a la cola de transmisión correspondiente. En la figura 22 se muestra el diagrama de flujo de este proceso.

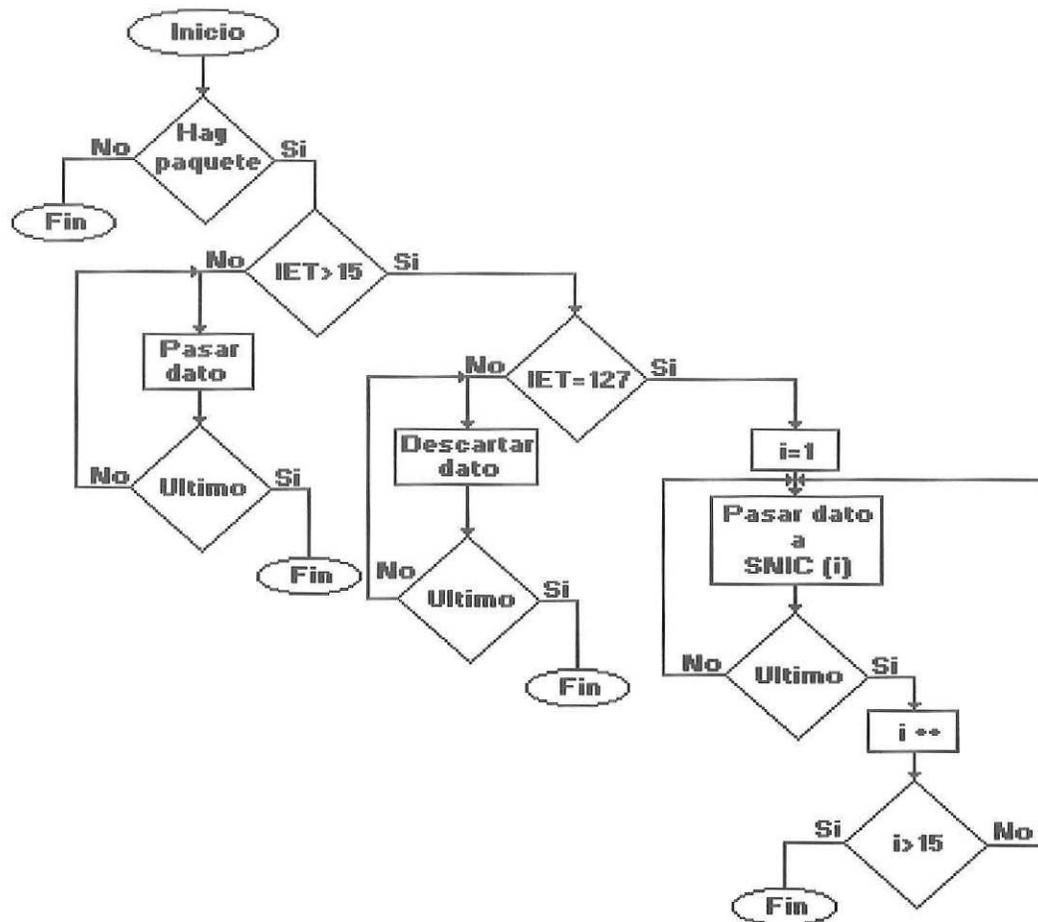


Figura 22. Diagrama de flujo de la rutina **pasar\_hdlc**.

Utiliza 2 apuntadores: **inicio\_rx\_h**, que apunta al inicio del mensaje completo recibido por el HDLC y **fin\_paquete\_tx\_s(i)**, que apunta a la dirección de la cola correspondiente al *i*-ésimo SNIC donde se escribirá la próxima palabra del mensaje.

Cada SNIC tiene asignado un IET de manera fija (se suponen equipos terminales de asignación no automática, por lo que se puede averiguar a qué SNIC corresponde cada paquete).

Además, se incluye el manejo de paquetes de difusión (IET=127), los cuales son transferidos a cada una de las colas de los SNIC.

Cabe mencionar que los paquetes recibidos con IET distinto de los valores 0-14 y 127 son descartados ya que no pertenecen a ninguno de los accesos básicos de nuestro sistema.

#### **IV.3.2.4.-PROCESO ENCARGADO DE ACTIVAR LA TX DEL HDLC.**

El proceso `activa_tx_h` es el encargado de activar la transmisión en el HDLC. Se comunica con el proceso de llenado de la cola de Tx del HDLC (`pasar_snic`) mediante el semáforo `S_ACTIVA` y con la rutina de transmisión efectiva de información (`at_a_hdlc`) mediante el semáforo `S_REACTIVA`. De esta manera, permanecerá bloqueado mientras que no haya algún paquete completo en la cola de transmisión del HDLC; una vez desbloqueado habilitará la transmisión y se volverá a bloquear hasta que le sea avisado que el paquete completo ya fue transmitido. En este momento volverá a pasar al estado de espera de nuevos paquetes completos en la cola de Tx.

La habilitación de la transmisión consiste en desenmascarar las interrupciones relacionadas con el proceso de transmisión y en llamar por programa la rutina de atención a las interrupciones del HDLC para que sea llenada por primera vez la cola interna de este circuito.

A partir de este momento la transmisión se manejará mediante interrupciones por circuitería.

#### **IV.3.2.5.-INICIALIZACION.**

En estas rutinas se programan en forma inicial cada uno de los circuitos del concentrador.

Por una parte, los SNIC se programan para transmitir y recibir el canal D por el ducto S y se deshabilitan las banderas de interrupción ya que se atenderán por encuesta.

En el HDLC se activan sólo las banderas de interrupción por causa de recepción y se habilita el circuito para recibir y transmitir datos.

El CEPT se programa para que el canal 16 trabaje en forma de señalización por canal común y en la matriz de conmutación se establecen las trayectorias descritas en la tabla IV.

Tabla IV. Trayectorias establecidas en la matriz de conmutación.

Circuito fuente	Canal fuente	Ducto fuente	Canal destino	Ducto destino	Circuito destino
SNIC 1	B1-CANAL 2 B2-CANAL 3	0 0	1 2	2 2	CEPT
SNIC 2	B1-CANAL 6 B2-CANAL 7	0 0	3 4	2 2	CEPT
SNIC 3	B1-CANAL 10 B2-CANAL 11	0 0	5 6	2 2	CEPT
SNIC 4	B1-CANAL 14 B2-CANAL 15	0 0	7 8	2 2	CEPT
SNIC 5	B1-CANAL 18 B2-CANAL 19	0 0	9 0	2 2	CEPT
SNIC 6	B1-CANAL 22 B2-CANAL 23	0 0	11 12	2 2	CEPT
SNIC 7	B1-CANAL 26 B2-CANAL 27	0 0	13 14	2 2	CEPT
SNIC 8	B1-CANAL 30 B2-CANAL 31	0 0	15 17	2 2	CEPT
SNIC 9	B1-CANAL 2 B2-CANAL 3	1 1	18 19	2 2	CEPT
SNIC 10	B1-CANAL 6 B2-CANAL 7	1 1	20 21	2 2	CEPT
SNIC 11	B1-CANAL 10 B2-CANAL 11	1 1	22 23	2 2	CEPT
SNIC 12	B1-CANAL 14 B2-CANAL 15	1 1	24 25	2 2	CEPT
SNIC 13	B1-CANAL 18 B2-CANAL 19	1 1	26 27	2 2	CEPT
SNIC 14	B1-CANAL 22 B2-CANAL 23	1 1	28 29	2 2	CEPT
SNIC 15	B1-CANAL 26 B2-CANAL 27	1 1	30 31	2 2	CEPT

TABLA IV (CONTINUACION).

Circuito fuente	Canal fuente	Ducto fuente	Canal destino	Ducto destino	Circuito destino
CEPT	1 2	2 2	B1-CANAL 2 B2-CANAL 3	0 0	SNIC 1
CEPT	3 4	2 2	B1-CANAL 6 B2-CANAL 7	0 0	SNIC 2
CEPT	5 6	2 2	B1-CANAL 10 B2-CANAL 11	0 0	SNIC 3
CEPT	7 8	2 2	B1-CANAL 14 B2-CANAL 15	0 0	SNIC 4
CEPT	9 10	2 2	B1-CANAL 18 B2-CANAL 19	0 0	SNIC 5
CEPT	11 12	2 2	B1-CANAL 22 B2-CANAL 23	0 0	SNIC 6
CEPT	13 14	2 2	B1-CANAL 26 B2-CANAL 27	0 0	SNIC 7
CEPT	15 17	2 2	B1-CANAL 30 B2-CANAL 31	0 0	SNIC 8
CEPT	18 19	2 2	B1-CANAL 2 B2-CANAL 3	1 1	SNIC 9
CEPT	20 21	2 2	B1-CANAL 6 B2-CANAL 7	1 1	SNIC 10
CEPT	22 23	2 2	B1-CANAL 10 B2-CANAL 11	1 1	SNIC 11
CEPT	24 25	2 2	B1-CANAL 14 B2-CANAL 15	1 1	SNIC 12
CEPT	26 27	2 2	B1-CANAL 18 B2-CANAL 19	1 1	SNIC 13
CEPT	28 29	2 2	B1-CANAL 22 B2-CANAL 23	1 1	SNIC 14
CEPT	30 31	2 2	B1-CANAL 26 B2-CANAL 27	1 1	SNIC 15
HDLC	2	3	CANAL 16	2	CEPT
CEPT	16	2	CANAL 2	3	HDLC

## **V.-RESULTADOS.**

### **V.1.-PRUEBAS REALIZADAS.**

Se realizaron dos tipos de pruebas para verificar el buen funcionamiento del concentrador, las cuales se describen a continuación.

Primeramente, para comprobar el funcionamiento del enrutamiento del canal D, se utilizó un paquete de programas realizado previamente para el manejo de la capa 2 (LAPD) [Gallardo, 1991], el cual despliega las tramas de capa 2 transmitidas y recibidas, así como las primitivas intercambiadas entre la capa 2 y la capa 3. Este paquete de programas tuvo que modificarse debido a que fue originalmente diseñado para transmitir y recibir información a través del circuito SNIC de una tarjeta comercial "ISDN Express Card" y, para simular el funcionamiento de la central telefónica (que en este caso se encuentra del lado del acceso primario), se tiene que recibir y transmitir la información a través de un circuito CEPT. Las modificaciones realizadas consistieron en enrutar, dentro de la tarjeta "ISDN Express Card", y haciendo uso de la matriz de conmutación, el canal D recibido por el CEPT hacia el circuito HDLC y viceversa, de tal forma que se tuviera acceso desde el ducto de la computadora personal a la información recibida y transmitir a través de este canal (pues se tiene acceso al HDLC).

De esta forma , se configuró una computadora con su correspondiente "Express Card" como equipo terminal, haciendo uso del paquete de programas original y se configuró otro sistema igual para que jugara el papel de la central telefónica, haciendo uso del paquete de programas modificado, teniendo al concentrador como dispositivo de enlace (véase figura 23).

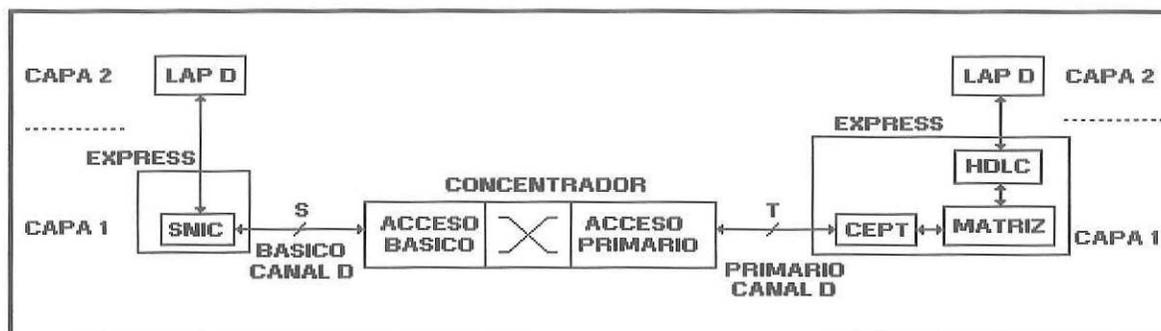


Figura 23. Prueba realizada para verificar la concentración del canal D

El equipo terminal se conectó a cada uno de los tres accesos básicos construidos en el concentrador, verificándose que la información del canal D llegara sin error y sin retardo apreciable en ambas direcciones.

La tarjeta "Express Card" incluye un paquete de programas que permite seleccionar y vigilar su funcionamiento a nivel de los circuitos integrados presentes en ella.

El segundo grupo de pruebas, enfocadas ahora a comprobar el enrutamiento de los canales B, consistió en establecer enlaces de voz a través del concentrador. De nuevo, se utilizaron dos computadoras personales con tarjetas "ISDN Express Card", una configurada como equipo terminal enviando la señal de voz a través del SNIC y otra configurada como central, enviando la señal de voz a través del CEPT. La generación de tales señales de voz digitalizada se realizó mediante auriculares conectados al circuito HPHONE de las tarjetas mencionadas y el enrutamiento, tanto hacia el SNIC como hacia el CEPT, se llevó a cabo a través de la matriz de conmutación y haciendo uso del paquete de programas propio de la "Express Card" (véase figura 24).

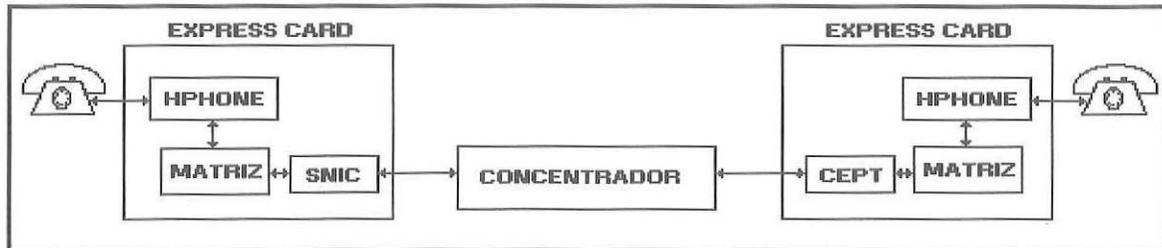


Figura 24. Prueba realizada para verificar el enrutamiento de los canales B.

Se obtuvo como resultado un enrutamiento correcto de los canales B para cada uno de los accesos básicos existentes.

Para llevar a cabo todas estas pruebas se utilizaron computadoras compatibles con IBM AT con microprocesador 80286 a 12 MHz. y con sistema operativo MS-DOS versión 5.0.

Debido a la falta de un número mayor de sistemas que pudieran funcionar como equipos terminales, no fue posible conectar más de un acceso básico a la vez al concentrador para, de esta manera, verificar el retardo concerniente a los canales D introducido por el concentrador bajo condiciones de carga, ya que al probarse un solo acceso básico no se tuvo un retardo apreciable.

## V.2.-PROBLEMAS ENCONTRADOS EN LOS CIRCUITOS ESPECIALES PARA RDSI DE MITEL.

En el desarrollo de la tesis se tuvieron varios problemas con los circuitos especiales para la RDSI de la compañía MITEL, los cuales es importante documentar debido a la posible utilización futura de dichos circuitos.

El primero de estos problemas está relacionado con los circuitos SNIC, los cuales están configurados como terminadores de red dentro del concentrador (vease IV.2.3); en esta configuración, el SNIC transmite un canal cuyo contenido es igual que el del canal D recibido desde los equipos terminales. Este canal, conocido como "canal de eco" o canal E, es utilizado por los equipos terminales para evitar contiendas en el uso del canal D [CCITT, 1989a].

El problema consistía en que los SNICs del concentrador transmitían permanentemente ceros por el canal de eco sin importar lo recibido a través del canal D, por lo que los equipos terminales no podían hacer uso de este último canal.

La razón de este problema es que, en general, en los circuitos integrados, las terminales **de salida** que no son útiles pueden no conectarse a ninguna otra terminal y esto no representa problema alguno para el funcionamiento del dispositivo. Sin embargo, en los SNICs existe una terminal (a saber, la terminal 24: STAR/RSTo) que no es útil en nuestra aplicación y que, sin embargo, tuvo que ser conectada al voltaje de alimentación Vcc a través de una resistencia de 10 K $\Omega$ . Debido a lo poco usual de este tipo de problemas, costó mucho tiempo y esfuerzo localizar la falla para poder corregirla.

Otro problema que se presentó estuvo relacionado con la matriz de conmutación (ver sección IV.2.2.2). Cuando este circuito se utiliza en modo mensaje, el hecho de leer el dato recibido por un canal de entrada dado, provoca que el canal de salida correspondiente pase al estado de alta impedancia. Debido a que algunos circuitos tienen registros de control que son leídos y escritos a través del ducto ST usando la matriz de conmutación en modo mensaje, tuvo que tomarse en cuenta la mencionada característica de este dispositivo ya que, al no hacerlo, se provocaba la desconfiguración del circuito que se pretendía controlar.

Estas características de los circuitos integrados de MITEL, no están documentadas y representan un fuerte problema debido a que no son características comunes en los circuitos integrados y resulta ser, por lo tanto, causas de mal funcionamiento muy difíciles de detectar.

### **V.3.-POSIBILIDADES DE CRECIMIENTO.**

El prototipo del concentrador, cuenta con una tarjeta para atender un acceso primario y otra para atender tres accesos básicos, sin embargo, existe la posibilidad de crecimiento hacia un sistema capaz de atender 15 accesos básicos, ya que solo implica construir cuatro tarjetas idénticas a la existente.

Además, al tener el número de tarjetas completas, se contaría con la infraestructura física suficiente para, con la inclusión de los protocolos de las capas 2 y 3, pasar a formar un pequeño conmutador privado RDSI, mismo que permitiría interconectar dos ET cualesquiera que se encontrasen conectados al conmutador, o bien, conectar cualquier ET a la central telefónica a través del acceso primario.

## VI.-CONCLUSIONES.

Se diseñó y construyó la circuitería necesaria para atender a tres accesos básicos y un acceso primario. El crecimiento hacia un sistema capaz de atender 15 accesos básicos no implica modificaciones a lo ya realizado, pues se tuvo como compromiso de diseño, la obtención de un sistema capaz de crecer modularmente. Las cuatro tarjetas de acceso básico restantes serían idénticas a la construida.

Se desarrolló la programación correspondiente a la capa física en lenguaje de bajo nivel (ensamblador), debido a la rapidez requerida en la atención a los circuitos encargados de atender los canales D de los accesos básicos (SNICs) y el canal D del acceso primario (HDLC).

El programa final opera dentro de un sistema de multitareas, haciendo uso de la técnica descentralizada para el empleo del procesador en tiempo compartido. El hecho de haber estructurado el programa como un sistema de multitareas permitió organizar las actividades de tal forma que es la rutina de atención por encuesta a los accesos básicos, la única que se encuentra permanentemente activa, mientras que las demás, sólo son activadas cuando hay la necesidad de que entren en operación.

Se logró un conocimiento pleno del uso de los circuitos integrados especiales para la RDSI de la compañía MITEL, por lo que, en un futuro, se puede utilizar esa experiencia en el diseño de diversos equipos que operen en dicha red.

Además, se sentaron las bases para que, con la sola inclusión de los protocolos de las capas 2 y 3, dicho concentrador pueda convertirse en un pequeño conmutador privado (PBX) RDSI.

Se concluye, por lo tanto, que los objetivos planteados se cumplieron satisfactoriamente.

## LITERATURA CITADA.

- CCITT. 1989a. Blue Book: IXth Plenary Assembly, Melbourne, 14-25 November 1988. International Telecommunication Union, Geneva. Volume III, Fascicle III.8, Recommendations I.411, I.412, I.430, I.431. p 157-168.
- CCITT. 1989b. Blue Book: IXth Plenary Assembly, Melbourne, 14-25 November 1988. International Telecommunication Union, Geneva. Volume III, Fascicle III.4, Recommendations G.704 p 76-96.
- Dicenet, G. 1987. Design and Prospects for the ISDN. Artech House, Norwood, Ma. 288 pp.
- Gallardo Lopez, J. R., 1991. Protocolos de RDSI de Acceso Básico para el punto de Referencia S/T: Desarrollo del Nivel 2. Tesis de Maestría. CICESE. 143 pp.
- Gallardo López, J. R., J. Sánchez García, 1992. Introducción a la RDSI: transcripción de algunas recomendaciones del CCITT. Informe técnico, CICESE. 71 pp.
- Gallardo López, J. R., J. Sánchez García, 1993. Descripción de un programa administrador de multitareas de propósito general. Informe técnico, CICESE. En prensa.
- Helgert, H. 1991. Integrated Services Digital Networks. Architectures, Protocols, Standards. Addison-Wesley Publishing Company. 449 pp.
- Kessler, G. 1990. ISDN Concepts, Facilities, and Services. McGraw-Hill, Inc. 302 pp.
- Mitel Corp. 1991a. Microelectronics Digital Communications Handbook. Mitel, Canada. Applications Note 126. p 15.125-15.131.

Mitel Corp. 1991b. Microelectronics Digital Communications Handbook. Mitel, Canada. MH89790. p 8.153-8.181.

Mitel Corp. 1991c. Microelectronics Digital Communications Handbook. Mitel, Canada. HDLC Protocol Controller. p 12.59-12.80.

Mitel Corp. 1991d. Microelectronics Digital Communications Handbook. Mitel, Canada. SNIC (MT8930). p 9.31-9.64.

Mitrani, E. 1991. EXISA. Comunicación personal.

Stallings, W. 1992. ISDN and Broadband ISDN. Macmillan Publishing Company. 633 pp.

## APENDICE A.-GLOSARIO.

AT.- Adaptador de terminales.

CCITT.- Comité Consultivo Internacional de Telegrafía y Telefonía.

CEPT.- Comisión Europea Postal y Telegráfica. Circuito que cumple con la norma G.704, es decir, PCM a una velocidad de 2.048 Mbps, con código de línea HDB3.

CP.- Computadora Personal.

ET.- Equipo Terminal.

ET1.- Equipo Terminal de tipo 1.

ET2.- Equipo Terminal de tipo 2.

HDLC.- Control para enlaces de datos de alto nivel (High-Level Data Link Control).  
Circuito empaquetador/desempaquetador de acuerdo a este formato.

HPHONE.- Circuito para teléfono digital que incluye un empaquetador de datos de acuerdo al formato HDLC y que realiza la digitalización de la voz.

IET.- Identificador de punto Extremo Terminal.

OSI.- Interconexión de sistemas abiertos (Open Systems Interconnection).

CPI.- Controlador programable de interrupciones (PIC).

SNIC.- Circuito de interfaz entre el abonado y la red (Subscriber-Network Interface Circuit).

SVT.- Secuencia de Verificación de Trama.

TR.- Terminador de Red.

TR1.- Terminador de Red tipo 1.

TR2.- Terminador de Red tipo 2.

EXISA.- Tarjeta de extensión del ducto ISA.

## **APENDICE B.- PROGRAMACION DE LOS ALG.**

Se incluyen los archivos en formato ASCII necesarios para la programación de los arreglos lógicos genéricos GAL16V8 incluidos en las interfaces de control con la circuitería del concentrador.

\*\*\*\*\*

SCYM1\_V2.PLD  
-Arreglo lógico programable para módulo CON\_RDSI (Concentrador de RDSI)

-FUNCIONES:

-Generación de señales

- INIC\* Inicialización de los dispositivos.
- SSM\* Selección del módulo parcial
- SSMP Sub-selección de módulo parcial
- SELM Selección de módulo.
- DIR1 Bits que se decodificarán para
- DIR2 Generar los selectores de circuito
- DIR15 Dirección de control.
- SEL3 Selección de circuitos No. 4

-DISPOSITIVO: GAL16V8 (Lattice Semiconductor)

-FIRMA: SCYM1

7 de Septiembre de 1992

V 3.0

Gerardo Ibarra.

\*\*\*\*\*

DEVICE 16V8;

/ESC	1	'[E]	ESC*
HDIR	2	'[E]	Habilitación de direcciones
DD0	3	'[E]	Dato/Dirección 0
DD1	4	'[E]	Dato/Dirección 1
DD2	5	'[E]	Dato/Dirección 2
DD3	6	'[E]	Dato/Dirección 3
DD4	7	'[E]	Dato/Dirección 4
S2	8	'[E]	Selector para la elección de módulo
S3	9	'[E]	Selector para la elección de módulo
GND	10		
S4	11	'[E]	Selector para la elección de módulo
/SEL3	12	'[S]	Selección de circuito no. 4
SSMP	13	'[S]	Uso interno
DIR15	14	'[S]	Dirección de control
DIR2	15	'[S]	Bit para decodificación-2
DIR1	16	'[S]	Bit para decodificación-1
SELM	17	'[S]	Selector de módulo
SSM	18	'[S]	Selección de módulo parcial
/INIC	19	'[S]	Inicialización de los dispositivos
VCC	20		

START

```
/INIC /= HDIR * ESC ;
DIR1  = /HDIR * DD0 * DIR15 * ESC +
      /HDIR * DD0 * DIR15 * DIR1 +
      /HDIR * DIR1 * /ESC +
      /HDIR * DIR1 * /DIR15 +
      /ESC * DIR1 ;
DIR2  = /HDIR * DD1 * DIR15 * ESC +
      /HDIR * DD1 * DIR15 * DIR2 +
      /HDIR * DIR2 * /ESC +
      /HDIR * DIR2 * /DIR15 +
      /ESC * DIR2 ;
DIR15 = DD0 * DD1 * DD2 * DD3 * HDIR +
      DD0 * DD1 * DD2 * DD3 * DIR15 +
      /HDIR * DIR15 ;
SSMP  = DD2 * S2 * DD3 * S3 * DD4 * S4 +
      DD2 * S2 * DD3 * S3 * /DD4 * /S4 +
      DD2 * S2 * /DD3 * /S3 * DD4 * S4 +
      DD2 * S2 * /DD3 * /S3 * /DD4 * /S4 ;
SSM   = SSMP +
      /DD2 * /S2 * DD3 * S3 * DD4 * S4 +
      /DD2 * /S2 * DD3 * S3 * /DD4 * /S4 +
      /DD2 * /S2 * /DD3 * /S3 * DD4 * S4 +
      /DD2 * /S2 * /DD3 * /S3 * /DD4 * /S4 ;
SELM  = /HDIR * DIR15 * ESC * SSM +
      /HDIR * DIR15 * SELM * SSM +
      /HDIR * SELM * /ESC +
      /HDIR * SELM * /DIR15 +
      /ESC * SELM ;
/SEL3 /= DIR2 * DIR1 * /DIR15 * SELM * ESC ;
END
```



START

```
/SEL0      /=  /DIR2 * /DIR1 * /DIR15 * SELM * LEC * LOE +  
            /DIR2 * /DIR1 * /DIR15 * SELM * ESC * /LOE +  
            HDIR * ESC ;  
  
/SEL1      /=  /DIR2 * DIR1 * /DIR15 * SELM * LEC * LOE +  
            /DIR2 * DIR1 * /DIR15 * SELM * ESC * /LOE +  
            HDIR * ESC ;  
  
/SEL2      /=  DIR2 * /DIR1 * /DIR15 * SELM * LEC * LOE +  
            DIR2 * /DIR1 * /DIR15 * SELM * ESC * /LOE +  
            HDIR * ESC ;  
  
/INTD.ENA  =  LEC * DIR15 ;  
  
/INTD      =  INTi ;  
  
/INTo.ENA  =  INTi ;  
  
/INTo      =  TINT ;  
  
HTRS       /=  LEC * SELM * /DIR15 ;  
  
E          =  LEC +  
            ESC ;  
  
/DS        /=  LEC +  
            ESC ;
```

END

\*\*\*\*\*

```
'
                                SCYM3_V2.PLD
'
-Arreglo lógico programable para módulo CON_RDSI (Concentrador de RDSI)
'
-FUNCIONES:
'
    -Generación de señales
'
        -SEL0*      Selector de circuito no. 1.
'
        -SEL1*      Selector de circuito no. 2.
'
        -SEL2*      Selector de circuito no. 3.
'
        -INTO*      Señal de interrupción de salida.
'
        -INTD*      Señal de interrupción para lectura.
'
        -HTRS       Habilita dirección del transeptor
'
-DISPOSITIVO:  GAL16V8   (Lattice Semiconductor)
'
-FIRMA:                SCYM3
'
23 de septiembre de 1992      V 3.0      Gerardo Ibarra
'
*****
```

DEVICE 16V8;

AD4E	1	'[E]	Dirección y dato 4 interno en la tarjeta
HDIR	2	'[E]	Habilitación de direcciones
/LEC	3	'[E]	LEC*
/ESC	4	'[E]	ESC*
DD4E	5	'[E]	Dirección y dato 4 externo (exisa)
DIR1	6	'[E]	Bit para decodificación-1
DIR2	7	'[E]	Bit para decodificación-2
SELM	8	'[E]	Selector de módulo
DIR15	9	'[E]	Dirección de control
GND	10		
/INTI	11	'[E]	Señal de interrupción de entrada
AD4S	12	'[S]	Dirección y dato 4 interno en la tarjeta
HTRS	13	'[S]	Habilita dirección del transeptor
/INTD	14	'[S]	Señal de interrupción para lectura
/INTO	15	'[S]	Señal de interrupción para salida
DD4S	16	'[S]	Dirección y dato 4 externo (exisa)
/SEL2	17	'[S]	Selector de circuito no. 3
/SEL1	18	'[S]	Selector de circuito no. 2
/SEL0	19	'[S]	Selector de circuito no. 1
VCC	20		

START

/SEL0 /= /DIR2 \* /DIR1 \* /DIR15 \* SELM \* /HDIR ;

/SEL1 /= /DIR2 \* DIR1 \* /DIR15 \* SELM \* /HDIR ;

/SEL2 /= DIR2 \* /DIR1 \* /DIR15 \* SELM \* /HDIR ;

= LEC \* DIR15 ;

/INTD.ENA

/INTD /= INTI ;

= INTI ;

/INTO.ENA

/INTO = INTI ;

HTRS /= LEC \* SELM \* /DIR15 ;

AD4S = DD4E \* /HDIR ;

= HTRS ;

AD4S.ENA

DD4S = AD4E ;

= /HTRS ;

DD4S.ENA

END

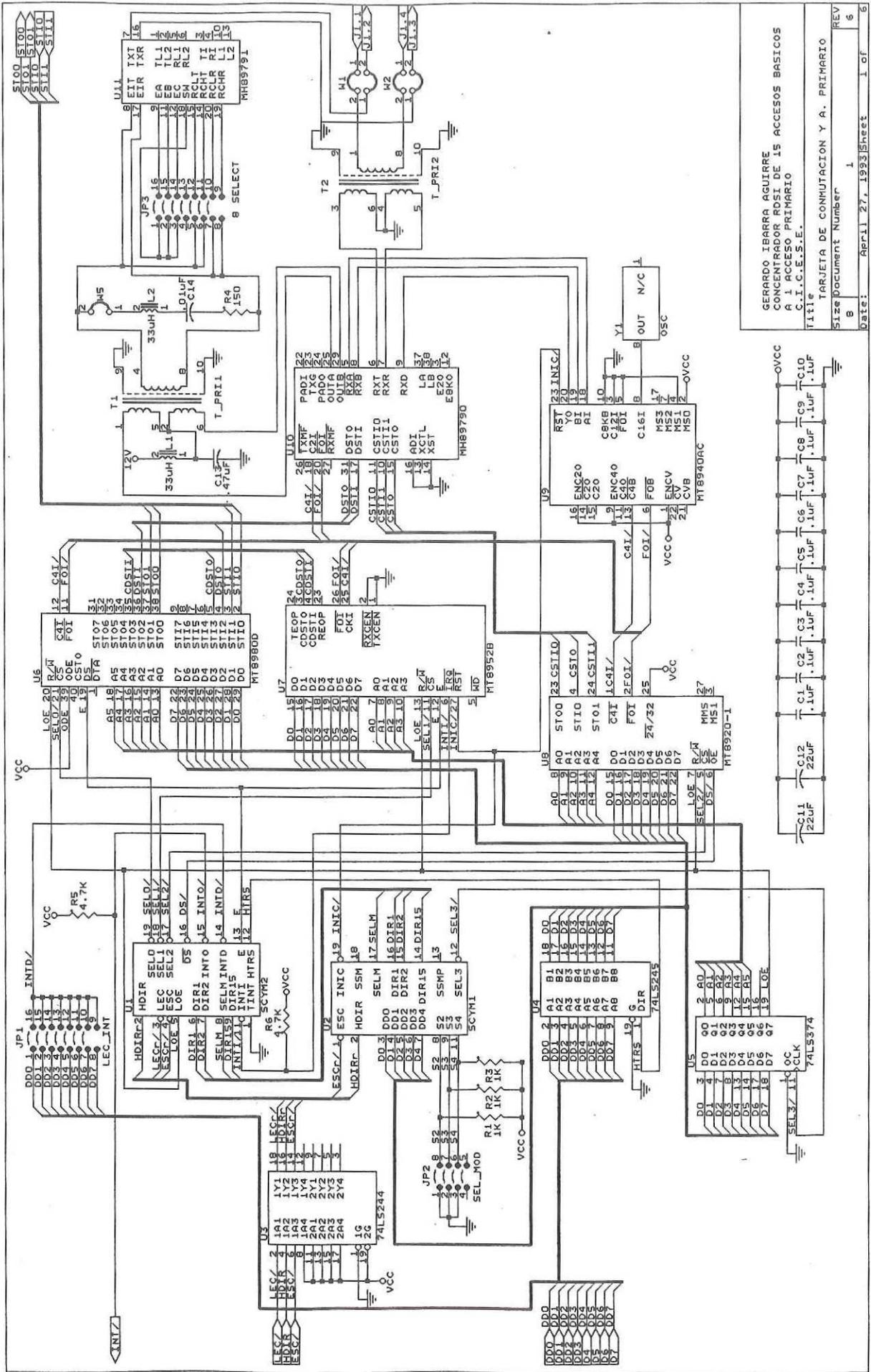
## APENDICE C.- ESQUEMATICOS DEL CONCENTRADOR.

En las siguientes páginas se encuentran los diagramas de la circuitería que integra el concentrador.

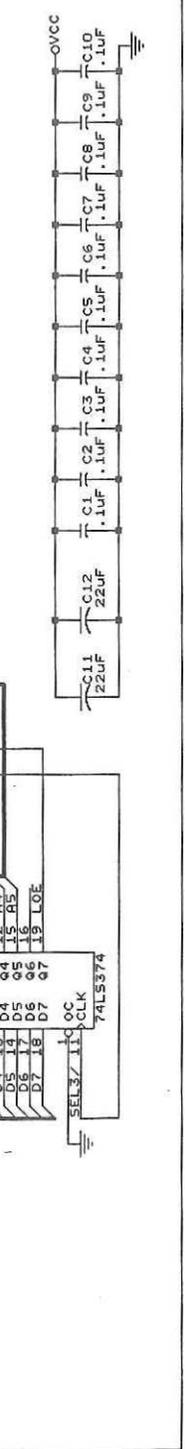
La descripción de cada uno de ellos es como sigue:

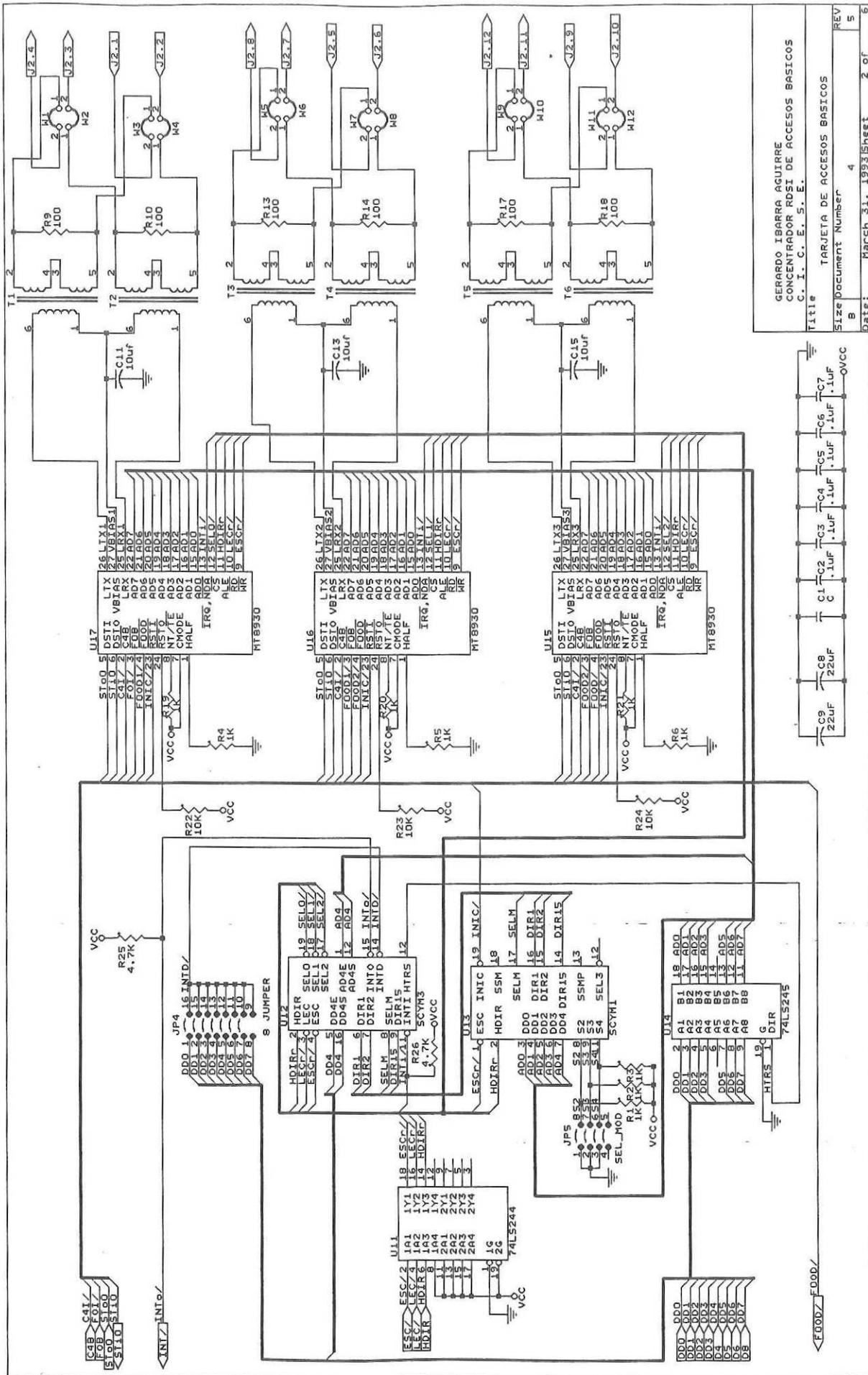
-Módulo de accesos básicos.- Tarjeta que incluye 3 de los 15 accesos básicos que son atendidos por el concentrador.

-Módulo de acceso primario y conmutación.- Tarjeta que incluye la etapa de conmutación, acceso primario, sincronía y HDLC.



GERARDO IBARRA AGUIRRE  
 CONCENTRADOR ROSI DE 15 ACCESOS BASICOS  
 A 1 ACCESO PRIMARIO  
 C.I.C.E.S.E.  
 Title: TARJETA DE CONMUTACION Y A. PRIMARIO  
 Size: Document Number 1  
 Date: April 27, 1993 Sheet 1 of 6

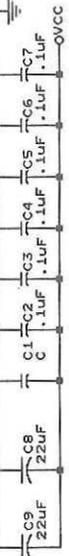




GERARDO IBARRA ACUIRE  
 CONCENTRADOR RDSI DE ACCESOS BASICOS  
 C. I. C. E. S. E.

Title  
 B  
 TARJETA DE ACCESOS BASICOS  
 4  
 Document Number

DATE: March 31, 1993 Sheet 2 of 6



FOODZ

## APENDICE D.- PROGRAMAS.

La programación desarrollada se encuentra en el disco flexible anexo a este documento.

Los archivos fuente, tanto en lenguaje C como en ensamblador, se encuentran en el subdirectorio A:\FUENTE y son los siguientes:

-CON\_AB.C: Programa en C que contiene las rutinas de inicialización y que activa los procesos que compartirán el microprocesador dentro del ambiente de multitareas.

-DEF\_CON.C: Archivo en C que contiene la definición de constantes asociadas a la inicialización de los circuitos.

-MULTAREA.C: Programa en C que contiene las rutinas del administrador de multitareas.

-MULTAREA.H: Archivo que contiene la definición de algunas variables asociadas con el administrador de multitareas.

-RDSI.ASM: Programa en ensamblador que incluye las funciones de atención a la circuitería y de transferencia de paquetes de las colas de recepción a las de transmisión.

El archivo ejecutable se encuentra en el subdirectorio A:\EJECUTA y es el siguiente:

-CONCEN.EXE

Se utilizó el paquete TURBO C versión 2.0 de BORLAND para crear los archivos ejecutables a partir de los archivos fuente.

En el directorio CREA\_EXE hay un programa auxiliar llamado CREA\_CON.BAT que se utiliza para crear el archivo ejecutable CONCEN.EXE, a partir de los archivos fuente y utilizando el programa TCC.EXE de BORLAND.