

TESIS DEFENDIDA POR
Jaime Alberto Zamudio Flores
Y APROBADA POR EL SIGUIENTE COMITÉ

Dr. José Luis Medina Monroy

Director del Comité

Dra. Ana Isabel Martínez García

Miembro del Comité

Dr. Arturo Velázquez Ventura

Miembro del Comité

M. en C. Jesús Ibarra Villaseñor

Miembro del Comité

Dr. Arturo Velázquez Ventura

*Coordinador del programa en
Electrónica y Telecomunicaciones*

Dr. Federico Graef Ziehl

Director de Estudios de Posgrado

25 de enero del 2005

**CENTRO DE INVESTIGACIÓN CIENTÍFICA Y DE EDUCACIÓN SUPERIOR
DE ENSENADA**



**PROGRAMA DE POSGRADO EN CIENCIAS
EN ELECTRÓNICA Y TELECOMUNICACIONES**

**ANÁLISIS Y DISEÑO DE AMPLIFICADORES DE REFLEXION DE MEDIANA
POTENCIA .**

TESIS

que para cubrir parcialmente los requisitos necesarios para obtener el grado de
MAESTRO EN CIENCIAS

Presenta:

JAIME ALBERTO ZAMUDIO FLORES

Ensenada, Baja California, México, Enero del 2005.

RESUMEN de la tesis que presenta **Jaime Alberto Zamudio Flores**, como requisito parcial para la obtención del grado de MAESTRO EN CIENCIAS en ELECTRÓNICA Y TELECOMUNICACIONES. Ensenada, Baja California. Diciembre de 2004.

Análisis y diseño de amplificadores de reflexión de mediana potencia.

Resumen aprobado por:

Dr. José Luis Medina Monroy
Director de Tesis

La amplificación de microondas por reflexión se usó ampliamente hasta la popularización del transistor y desde entonces no ha tenido aplicación extensa. En este trabajo de tesis se propone un análisis del amplificador de reflexión, sin utilizar el concepto de resistencia negativa. Posteriormente se explica su diseño para manejo de mediana potencia en régimen lineal, de aproximadamente 0.5 W con una sola etapa, bajo la hipótesis de que el amplificador de reflexión puede operar con un consumo relativamente bajo de potencia de CD, consiguiendo una buena eficiencia.

Del análisis se deriva la importancia que tiene el circuito equivalente del transistor para diseñar el amplificador de reflexión. Por tanto, se propusieron mejoras para algunos de los métodos existentes para la extracción del modelo, tanto analíticos como aquellos basados en optimización, y se aplicaron para encontrar el circuito equivalente. Se diseñaron, construyeron y caracterizaron dos bases de prueba diferentes, una coplanar-microcinta-coplanar y otra coaxial-microcinta-coaxial, como requerimientos para la medición del transistor, la cual se realizó mediante bancos automatizados para medir en CD, parámetros S y potencia con un programa de cómputo desarrollado.

Como resultado del trabajo se presentan varias alternativas de diseño de amplificadores de reflexión para las bandas C y X a las frecuencias de 3.5, 3.75, 4 y 11.4 GHz, que proporcionan ganancias desde 10.9 a 14.3 dB con una variación máxima de 1.07 dB, los anchos de banda respectivos se encuentran entre 2.2% y 13%. Las configuraciones superficiales presentadas están listas para la fabricación y se incluyen recomendaciones de montaje. Las simulaciones de un diseño presentado proporcionan una potencia de salida de 447 mW con un consumo de potencia de CD de 22.5 mW que comprueba la hipótesis que se formuló sobre la eficiencia del amplificador de reflexión.

Palabras clave: amplificador de reflexión con transistores, amplificador de mediana potencia, alta eficiencia, extracción del circuito equivalente del transistor, base de pruebas coplanar-microcinta, base de pruebas coaxial-microcinta.

ABSTRACT of the thesis presented by **Jaime Alberto Zamudio Flores** as a partial requirement to obtain the MASTER OF SCIENCE degree in ELECTRONICS AND TELECOMMUNICATIONS. Ensenada, Baja California, Mexico December 2004.

Analysis and design of medium power reflection amplifiers.

Microwave amplification by reflection was widely used until the popularisation of transistors and since then it has not had extensive use. In this thesis work an analysis of the reflection amplifier is presented, avoiding the use of the negative resistance concept. After this, the design of a medium power reflection amplifier operating in linear regime is presented, giving approximately 0.5 W for a single stage, under the hypothesis that the reflection amplifier is able to operate with a relatively low DC power consumption, giving a high efficiency.

From the analysis is demonstrated the importance of the transistor's equivalent circuit for designing the reflection amplifier. Thereby, improvements were proposed for some of the available model extraction methods, analytical and optimisation-based, and they were applied to find the equivalent circuit.

Two different test fixtures, using coplanar and microstrip technologies, were designed, fabricated and characterized, in order to perform the transistor measurements. Such measurements were carried out using an automated test bench, with a developed software for DC, S-parameter and power measurements.

Four alternatives of reflection amplifier designs are presented for C and X bands, at the frequencies of 3.5, 3.75, 4 and 11.4 GHz, showing gains from 10.9 up to 14.3 dB with a maximum variation of 1.07 dB, and respective bandwidths between 2.2% and 13%. The layouts given are manufacture-ready, following the proposed assembly recommendations. The simulations of a design give an output power of 447 mW with a DC power consumption of 22.5 mW, demonstrating the high efficiency of the reflection amplifier.

Keywords: transistor reflection amplifier, medium power amplifier, high efficiency, transistor equivalent circuit extraction, coaxial-microstrip test fixture, coaxial-microstrip test fixture.

A *mis reinas,*

mi gran pequeña familia,

mi primer punto de partida.

Mis logros son suyos también.

AGRADECIMIENTOS:

Al Dr. Alexei Venguer Petrovich por proponer esta tesis y compartir conmigo sus conocimientos y desarrollos sobre un tema tan original.

Al Dr. José Luis Medina Monroy por tomar la dirección de la tesis a la salida del Dr. Venguer, por aportar su compromiso, sus invaluable ideas y su vasta experiencia para llevar a buen fin esta tesis. También por sus acertadas correcciones.

Al M. en C (futuro Dr.) Ricardo Arturo Chávez Pérez por su asistencia incondicional en los aspectos prácticos de mi trabajo, y por las mejores clases que tomé.

Al Dr. Arturo Velázquez Ventura por los dispositivos que suministró a mi trabajo y por su continuo apoyo moral.

Al Físico y Matemático José Luis Olvera Cervantes por unir su esfuerzo conmigo de forma desinteresada durante la maestría, no sólo en el ámbito académico sino también en el personal, y por toda la diversión.

A los demás miembros de mi comité, Dra. Ana Isabel Martínez García y M. en C. José de Jesús Ibarra Villaseñor por su disponibilidad y cooperación.

A todos mis profesores de la maestría por su enseñanza.

Al Departamento de Electrónica y Telecomunicaciones de la división de física aplicada por todas las facilidades prestadas durante mi estancia en CICESE, y en general al CICESE por continuar su larga labor científica y de investigación, y por la ayuda económica para finalizar mi trabajo.

Al CONACYT por la beca que me otorgó, imprescindible para realizar la maestría, y por apoyar el proyecto de investigación 41267-Y en que se inscribe mi tesis.

CONTENIDO

Página

I. INTRODUCCIÓN.....	1
I.2. JUSTIFICACIÓN DEL PROBLEMA.....	1
I.3. OBJETIVOS.....	2
I.4. ORGANIZACIÓN DEL TRABAJO.....	3
II. ANTECEDENTES BIBLIOGRÁFICOS PRINCIPALES.....	5
II.1. MÉTODOS DE ANÁLISIS Y DISEÑO DEL AMPLIFICADOR DE REFLEXIÓN.....	5
II.1.a) Amplificadores de reflexión con diodos.....	5
II.1.b) Amplificadores de reflexión con transistores.....	8
II.2. MÉTODOS PARA EXTRAER EL MODELO DEL TRANSISTOR.....	17
II.2.a) Optimización global.....	19
II.2.b) Optimización parcial.....	21
II.2.c) Métodos analíticos.....	26
III. CARACTERIZACIÓN DE TRANSISTORES Y CIRCULADORES.....	32
III.1 SELECCIÓN DEL TRANSISTOR.....	32
III.2. BASES DE PRUEBAS DEL TRANSISTOR.....	35
III.2.a) Diseño, fabricación y caracterización de la base de pruebas coplanar- microcinta.....	35
III.2.d) Diseño y simulación de la base de pruebas coaxial-microcinta-coaxial.....	42
III.2.e) Construcción y caracterización de la base de pruebas coaxial-microcinta- coaxial.....	45
III.3. BANCOS DE MEDICIÓN.....	50
III.3.a) Automatización del banco de medición de CD.....	51
III.3.b) Automatización del banco de medición de potencia.....	53
III.3.c) Automatización del banco de medición para los parámetros S.....	55
III.4. MEDICIONES REALIZADAS DEL TRANSISTOR.....	56
III.5 CARACTERIZACIÓN DEL CIRCULADOR.....	64
IV. MODELADO DEL TRANSISTOR.....	66
IV.1 EXTRACCIÓN DEL CIRCUITO EQUIVALENTE DEL TRANSISTOR POR OPTIMIZACIÓN.....	66
IV.1.a) Modelado por Optimización Global Convencional.....	66
IV.1.b) Modelado por Optimización Global Mejorada (multibias).....	68
IV.1.c) Optimización parcial por el Método de Shirakawa et al (1995) con enfoque multibias.....	69
IV.1.d) Optimización parcial por el Método de Ooi et al (1997), con el enfoque multibias.....	73
IV.1.e) Optimización parcial por el Método de Triquint [Campbell y Brown, 2001], con enfoque multibias.....	75
IV.2) EXTRACCIÓN ANALÍTICA DEL CIRCUITO EQUIVALENTE.....	76
IV.2.a) Extracción de las capacitancias extrínsecas.....	76
IV.2.b) Extracción de las Resistencias extrínsecas.....	80

CONTENIDO (continuación).	Página
IV.2.c) Extracción de las Inductancias Extrínsecas.....	82
IV.2.d) Extracción analítica de los PCE's intrínsecos por el Método de Dambrine et al (1988).....	83
IV.2.e) Extracción analítica de los PCE's intrínsecos por el Método de Berroth y Bosch (1991).....	84
V. ANÁLISIS Y DISEÑO PROPUESTOS DEL AMPLIFICADOR DE REFLEXIÓN.	90
V.1. ANÁLISIS PROPUESTO PARA EL AMPLIFICADOR DE REFLEXIÓN.....	90
V.1.a) Etapa de amplificación.....	90
V.1.b) Redes de terminación de los puertos restantes.	97
V.2. DISEÑOS DE AMPLIFICADORES DE REFLEXIÓN PROPUESTOS.	100
VI. DISCUSIÓN DE RESULTADOS.....	110
VI. CONCLUSIONES, APORTACIONES Y RECOMENDACIONES.....	113
LITERATURA CITADA.....	117
APÉNDICE A. HOJA DE DATOS DEL TRANSISTOR NE69589.	124
APÉNDICE B. HOJA DE DATOS DEL TRANSISTOR NE900275.....	129
APÉNDICE C. PROCESO DE FABRICACIÓN DE CIRCUITOS DE MICROONDAS	135

LISTA DE FIGURAS.

Página.

Figura 1. Esquemático del circuito básico para el amplificador de reflexión con transistor.	2
Figura 2. Ilustración del principio de análisis del amplificador de reflexión con base en el concepto de resistencia negativa.	7
Figura 3. Ilustración de un método de diseño para el amplificador de resistencia negativa con diodos [Ranson y Huish, 1980].	7
Figura 4. a) Esquemático y b) Circuito equivalente del amplificador de reflexión propuesto por Toyhama y Mizuno (1979).	9
Figura 5. Amplificador de reflexión de dos etapas propuesto por Nicotra (1979).	10
Figura 6. a) Transistor como red de tres puertos, b) reducción a dos puertos en función de la terminación en el puerto 3, c) determinación del coeficiente de reflexión de entrada para la red de dos puertos en función de la carga [Zbinden, 1980].	12
Figura 7. Esquemático del amplificador reflectivo propuesto por Gardner y Paul en 1991.	13
Figura 8. Ganancia y medida de ruido para amplificadores de transmisión y de resistencia negativa, previstas por Hickson et al en 1993.	15
Figura 9. Configuraciones del FET con resistencia negativa dadas por Paul y Gardner (1997. a) entrada en la compuerta, b) entrada en la fuente, c) entrada en el drenaje.	16
Figura 10. Amplificador de un puerto propuesto por Venguer et al en 2002.	17
Figura 11. Ilustración del origen físico del circuito equivalente para el FET.	18
Figura 12. Diferentes variantes del circuito equivalente. a), b) y c) son de 8 elementos externos y de 7 intrínsecos y su voltaje de control es V_{Cgs} ; d) es de 6 elementos externos y de 8 intrínsecos y el voltaje de control es V_2 .	18
Figura 13. Circuito equivalente propuesto por Curtice y Camisa (1984), para el transistor polarizado en $V_{ds} = 0$ v.	22
Figura 14. Circuito equivalente del FET extendido por Berroth y Bosch, en 1991, (elementos agregados en recuadros punteados) para aplicaciones de gran señal.	31
Figura 15. Daño en el canal presentado por uno de los transistores tipo NE69589 mientras operaba dentro de sus rangos recomendados (fotografía tomada una vez removido el encapsulado).	34
Figura 16. a) Base de pruebas con transiciones coplanar-microcinta y microcinta-coplanar. b) Circuito alternativo con una línea ocupando el espacio del transistor.	36
Figura 17. Fotografía de las bases de prueba fabricadas, y acercamiento con el microscopio que se usó para medir las dimensiones de las etapas de transición.	37
Figura 18. Fotografía que ilustra la metalización que aterriza el conductor inferior.	38
Figura 19. Medición del circuito auxiliar con el plano inferior aterrizado (-), en la banda de comportamiento óptimo, y comparación con las simulaciones previas (x) y (o).	39
Figura 20. Desplazamiento de fase de cada transición, y retardo eléctrico según la ec. (2).	40
Figura 21. Resultado del "de-embedding" descrito (o), para los parámetros S medidos con la base de pruebas coplanar-microcinta-coplanar en $V_{ds}=1$ v e $I_{ds}=180$ mA (.).	41
Figura 22. Perfil metálico óptimo de la transición coaxial-microcinta.	43
Figura 23. Base de pruebas coaxial-microcinta-coaxial diseñada y circuito auxiliar.	44

LISTA DE FIGURAS (continuación)

Página

Figura 24. Simulación del retraso de fase de la base de pruebas coaxial-microcinta-coaxial diseñada, incluyendo el efecto de borde en los extremos internos.	45
Figura 25. Simulación del circuito auxiliar diseñado para la base coaxial-microcinta-coaxial.	45
Figura 26. Parámetros S medidos de los conectores en corto.	46
Figura 27. Parámetros S medidos de la base sin transistor, terminación de circuito abierto.	47
Figura 28. Parámetros S medidos para el circuito auxiliar (línea).	47
Figura 29. Fotografías de la base de pruebas coaxial-microcinta-coaxial fabricada, del transistor NE900275, y del montaje.	48
Figura 30. Validación del método para obtener los parámetros de transmisión de la base de pruebas coaxial-microcinta-coaxial.	49
Figura 31. Parámetros S con el proceso descrito de de-embedding (o), vs. mediciones del transistor en 8 volts, 300 mA (.).	50
Figura 32. Banco de medición para CD.	51
Figura 33. Interfase del programa de control para la medición en CD.	52
Figura 34. Despliegue de resultados del programa que controla las medidas en CD.	53
Figura 35. Banco de medición de potencia.	54
Figura 36. Interfase del programa de control para las medidas de potencia.	54
Figura 37. Interfase del programa de control para las medidas de parámetros S.	56
Figura 38. Características en CD medidas del transistor NE900275.	57
Figura 39. Parámetros S resultantes de aplicar el “de-embedding” a las mediciones (primeros 6 puntos de polarización activa).	58
Figura 40. Parámetros S resultantes de aplicar el “de-embedding” a las mediciones.	59
Figura 41. Manejo de potencia lineal medido para el transistor en (orden descendente) Izquierda: $V_{ds} = 2.25$ v, $I_{ds} = \{10, 100, 200\}$ mA. Derecha: $V_{ds} = 1$ v, $I_{ds} = \{10, 50, 100\}$ mA.	61
Figura 42. Manejo de potencia lineal medido para el transistor en (orden descendente) Izquierda: $V_{ds} = 5$ v, $I_{ds} = \{10, 100, 200\}$ mA. Derecha: $V_{ds} = 8$ v, $I_{ds} = \{50, 100, 200\}$ mA.	62
Figura 43. Símbolo y matriz S ideal de un circulador.	65
Figura 44. Parámetros S medidos de los circuladores disponibles (destacando las bandas donde se usarán).	65
Figura 45. Esquemático de ADS® para la Optimización Global Convencional basado en las ecuaciones del modelo.	67
Figura 46. Ilustración de la convergencia del modelo obtenido por el método de Shirakawa et al (1995) con las mejoras propuestas.	71
Figura 47. Dispersión de los PCE's intrínsecos extraídos por el método de Shirakawa et al (1995) con las mejoras propuestas.	72
Figura 48. Circuito equivalente de Dambrine et al (1988) para el transistor en “pinch-off”.	77
Figura 49. Circuito equivalente de White y Healy (1993) para el transistor en “pinch-off”.	77
Figura 50. Circuito equivalente de Lai y Hsu (2001) para el transistor en “pinch-off”. ...	77

LISTA DE FIGURAS (continuación)

Página

Figura 51. Resultados de aplicar el enfoque de Lai y Hsu (2001) a los parámetros S medidos con el transistor bloqueado.	79
Figura 52. Ilustración del procedimiento para remover el término que corresponde a la barrera Schottky de compuerta de Z_{11frio} , b) Acercamiento	81
Figura 53. a) Variación de Z_{11frio} respecto de I_{gs} . b) Z_{ijfrio} ($Z_{Schottky}$ de compuerta removida), y R_c obtenida con la ecuación (46).	81
Figura 54. Gráfica de las partes imaginarias de las ecuaciones (41) a (43), para extraer las inductancias.	83
Figura 55. Ilustración de la convergencia de los modelos obtenidos por el método de Berroth y Bosch (1990) con la mejora propuesta.	85
Figura 56. Dispersión de los PCE's intrínsecos extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para 2.25 v, 10 mA.	86
Figura 57. Dispersión de los PCE's intrínsecos extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para 5 v, 100 mA.	87
Figura 58. Dispersión de los PCE's intrínsecos extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para 8 v, 200 mA.	88
Figura 59. Circuito equivalente de la etapa de amplificación y sus simplificaciones.	91
Figura 60. Transformación de la red P formada por Z_{gs} - Z_{gd} - Z_{ds} en una red T.	92
Figura 61. Ilustración del voltaje de retroalimentación.	93
Figura 62. Ejemplificación gráfica de la ecuación (81) para los datos de la Tabla XXI.	96
Figura 63. Mejora del ancho de banda, aplanamiento de la ganancia.	99
Figura 64. Ganancia de la etapa de amplificación para cada punto de operación, según el análisis presentado en este estudio (ecuación (81)).	103
Figura 65. Esquemático del amplificador de reflexión en ADS®.	104
Figura 66. Layout de los circuitos de polarización diseñados, a) ≈ 4 GHz, b) ≈ 11 GHz.	105
Figura 67. Resultados de la simulación electromagnética de los circuitos de polarización diseñados para ambas bandas de operación.	106
Figura 68. Configuraciones superficiales de los amplificadores de reflexión diseñados.	106
Figura 69. Resultado final de ganancia y acoplamiento, de entrada y salida, para los amplificadores de reflexión diseñados en {2.25 v, 10 mA} y {5 v, 100 mA}.	107
Figura 70. Resultado final de ganancia y acoplamiento, de entrada y salida, para los amplificadores de reflexión diseñados en {5 v, 100 mA} (a 10 GHz) y {8 v, 200 mA}.	108

LISTA DE TABLAS.

Página

Tabla I. Pasos de un ciclo de optimización propuestos por Kondoh en 1986.	20
Tabla II. Criterios para la selección del transistor.	33
Tabla III. Datos del sustrato para la base de pruebas coplanar-microcinta.	35
Tabla IV. Dimensiones de la base coplanar-microcinta-coplanar diseñada.	36
Tabla V. Distancia del conductor central al plano de tierra lateral, referida al espesor del dieléctrico (0.635 mm), para las etapas coplanares de la base de pruebas fabricada.	39
Tabla VI. Datos de los sustratos disponibles, (destacando el óptimo según los criterios). ...	43
Tabla VII. Datos de los conectores coaxiales disponibles.	44
Tabla VIII. Tiempos de retardo eléctrico de la base de pruebas coaxial-microcinta-coaxial obtenidos de las mediciones de circuito abierto (base sin transistor).	48
Tabla IX. Pérdidas a la entrada y la salida del transistor para las medidas de potencia.	60
Tabla X. Resultados más importantes producidos por las mediciones de potencia, donde las cursivas que no se comprimió la ganancia 1 dB con +15 dBm de la fuente.	63
Tabla XI. PCE's extraídos con ADS® por optimización global convencional.	67
Tabla XII. PCE's extraídos con ADS® para la optimización global propuesta (multibias).	68
Tabla XIII. PCE's extraídos por el método de Shirakawa et al (1995), con la mejora propuesta.	71
Tabla XIV. PCE's extraídos por el método de Ooi et al (1997) con la mejora propuesta.	74
Tabla XV. PCE's extraídos por el método de Triquint [Campbell y Brown, 2001] con la mejora propuesta.	76
Tabla XVI. Capacitancias extrínsecas extraídas analíticamente.	79
Tabla XVII. Resistencias extrínsecas extraídas analíticamente.	82
Tabla XVIII. Inductancias extrínsecas extraídas analíticamente.	82
Tabla XIX. PCE's extraídos por el método de Dambrine et al (1988) con la mejora propuesta para los elementos parásitos.	84
Tabla XX. PCE's extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para los elementos parásitos.	89
Tabla XXI. PCE's extraídos en la banda de 0 a 3 GHz para un transistor de ejemplo, con el propósito de ilustrar la ecuación (81).	97
Tabla XXII. Inductancias de retroalimentación para la etapa de amplificación en los diferentes puntos de operación.	102
Tabla XXIII. Resultados finales de desempeño para los amplificadores de reflexión diseñados.	107

I. INTRODUCCIÓN

El proceso de amplificación se puede definir como: el traslado de señales de un nivel de energía a otro mayor, las cuales usualmente contienen información.

Los componentes principales de un amplificador son la fuente de energía y el elemento que combina esta energía con la señal. En la electrónica de altas frecuencias, este último componente es un elemento no-lineal el cual puede ser un diodo o un transistor.

Existen dos tipos de topología de amplificadores, los cuales pueden clasificarse en los de transmisión, que son los más comunes, y los de reflexión. Un amplificador del tipo de transmisión tiene dos puertos, uno para la entrada y otro para la salida, mientras que el de reflexión cuenta con uno solamente, en el que se presentan tanto las señales de entrada como las de salida. El circuito general del amplificador de reflexión se ilustra en la figura 1. Este tipo de amplificador consiste de un elemento no-lineal, un elemento de retroalimentación y dos redes pasivas que mejoran las características de acoplamiento y ancho de banda.

I.2. Justificación del problema. mejorar

Los amplificadores de reflexión de microondas que se han desarrollado con transistores inicialmente despertaron interés por entregar una mayor ganancia a frecuencias mayores, que los amplificadores de transmisión convencionales [Tohyama, 1977; Nicotra, 1979 y Hickson *et al*, 1993]. Por otro lado, los trabajos que han presentado un análisis del

amplificador de reflexión con transistores no son abundantes, y su acercamiento al problema o se limitó a ser experimental [Tohyama y Mizuno, 1979] o se basó en el concepto de resistencia negativa [Gardner y Paul, 1997].

Estas dos circunstancias son un motivo para emprender una investigación sobre los amplificadores de reflexión, tratando de presentar un enfoque de análisis teórico alternativo.

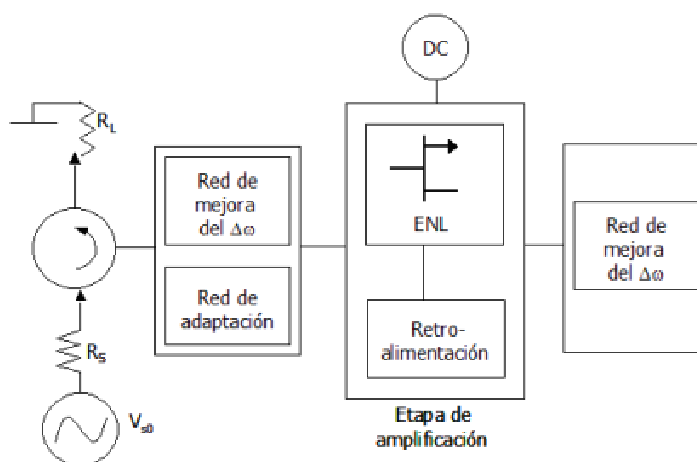


Figura 1. Esquemático del circuito básico para el amplificador de reflexión con transistor.

Además, se tiene la hipótesis de que el amplificador de reflexión puede poseer una eficiencia ventajosa con respecto a la topología de transmisión [Venguer *et al* 2002].

I.3. Objetivos.

Este trabajo consiste en realizar el diseño y análisis de un amplificador de reflexión para manejo de mediana potencia a frecuencias de microondas. Los objetivos planteados son:

- Presentar un enfoque de análisis del amplificador de reflexión prescindiendo del concepto de resistencia negativa.

- Diseñar amplificadores de reflexión de mediana potencia que operen en el régimen lineal para las frecuencias en el rango de 3.5 a 4.5 GHz y en el de 9.5 – 11.5 GHz, con una potencia aproximada de 0.5 Watts (+27 dBm).

I.4. Organización del trabajo.

Los amplificadores de reflexión de microondas desarrollados con diodos fueron ampliamente utilizados en décadas pasadas, y existen numerosos antecedentes bibliográficos los cuales describen con detalle las metodologías de diseño y análisis [Okean, 1966; Ranson y Ruish, 1980].

En el capítulo II se analizan y resumen los trabajos más importantes al respecto. A partir de la invención del transistor, las investigaciones sobre esta topología de amplificación con transistores se enrarecieron, y todas las que se pudieron encontrar hasta la fecha se examinan también en el siguiente capítulo. Se estudian además las metodologías presentadas en la literatura del área para modelar transistores de altas frecuencias.

El diseño del amplificador de reflexión demanda que se obtenga información a través de mediciones. Por lo tanto, en el capítulo III de este estudio se reportan las medidas necesarias y sus resultados, se describen los bancos de medición y las metodologías de automatización que se emplean para medir a los transistores y circuladores. Asimismo, se presenta el diseño, construcción y caracterización de las bases de prueba requeridas.

En el capítulo IV, se implementan algunos de los métodos para modelar al dispositivo empleando un circuito eléctrico equivalente. Los elementos del modelo se obtienen empleando métodos analíticos y de optimización ya sea parcial o global.

La carencia de publicaciones que presenten un análisis teórico del amplificador de reflexión, alternativo al concepto de resistencia negativa, fue la motivación inicial de éste trabajo para proponer el principio de retroalimentación positiva resonante. El capítulo V contiene una explicación detallada del principio de operación de este tipo de amplificadores y de la metodología propuesta para analizar y diseñar a los amplificadores de reflexión.

El análisis que se propone en el capítulo V da lugar a la fase de diseño, en la cual se definen las subredes y el amplificador completo, para lograr un comportamiento determinado. Este comportamiento se obtiene en un ambiente de simulación para validar el diseño de acuerdo con los resultados, hasta determinar la configuración física (Layout) final del amplificador.

En el capítulo VI se efectúa una discusión de las diferentes alternativas presentadas y sus resultados obtenidos del diseño y análisis.

Finalmente, en el capítulo VII se presentan las conclusiones de este trabajo y las recomendaciones para continuar con esta línea de investigación y en particular con el diseño y construcción de este tipo de amplificadores.

II. ANTECEDENTES BIBLIOGRÁFICOS PRINCIPALES.

En este capítulo se presentan los métodos existentes en la literatura para efectuar el análisis y diseño de amplificadores de reflexión, basados en diodos y transistores. Asimismo, se describen los métodos necesarios para extraer el modelo de circuito equivalente de los transistores. Se presentan algunos métodos completamente analíticos y otros basados en efectuar un proceso de optimización global o parcial.

II.1. Métodos de análisis y diseño del amplificador de reflexión.

Existen investigaciones previas relacionadas con el estudio y desarrollo de los amplificadores de reflexión, que emplean como elemento activo no lineal tanto diodos como transistores. En este apartado se exponen los aportes más importantes que se pueden encontrar. Se realiza un recorrido cronológico y se tratan primero las metodologías descritas en la literatura que emplearon diodos, para pasar después a las que recurrieron a transistores.

II.1a) Amplificadores de reflexión con diodos.

La aparición de las fuentes de energía en microondas data de los años 30's. En aquel momento, los primeros componentes de microondas emplearon válvulas de vacío, hasta que Tager y Read previeron el efecto de tiempo de tránsito de avalancha (ATT) en 1957 y 1959, dando lugar a los diodos de avalancha IMPATT [Smith y Carpentier, 1993]. Poco después,

Ridley y Watking en 1961, y Hilsung en 1962, predijeron las ventajas de transferir electrones entre valles de alta y baja movilidad en las bandas de conducción de materiales como el GaAs y el InP (efecto Gunn), lo cual se aprovechó para fabricar diodos de electrones transferidos o Gunn [Smith y Carpentier, 1993]. Ambos tipos de diodos mencionados encontraron su aplicación en la región de microondas, sustituyendo a las válvulas de vacío que fueron pasando a segundo plano.

Las referencias más antiguas que se pueden encontrar en términos de amplificación de estado sólido, emplearon diodos como dispositivo no lineal. El enfoque de análisis generalizado se basó en el concepto de *resistencia negativa* (ver figura 2), y la piedra angular del diseño surgió con la publicación del “Teorema de circuitos terminados en *resistencia negativa*” [Aron, 1961]. Este trabajo se basó en otros anteriores [Bode, 1945 y Fano, 1950] que se realizaron para impedancias arbitrarias, no estrictamente negativas, y que trataban sobre ganancia y ancho de banda. Basados en el Teorema de Aron, se presentaron trabajos que exponían prototipos [Getsinger, 1963], o teorías [Scanlan, 1966] para esas propiedades en amplificadores de *resistencia negativa*. Pronto los siguieron otros trabajos sobre las características de estabilidad de amplificadores de reflexión [Gupta, 1978], sobre los efectos de los acopladores [Okean, 1966 y Niemayer, 1972], sobre características de ruido [Thim, 1971 y Goedbloed y Vlaardingerbroek, 1977] y sobre fenómenos en gran señal [Best *et al*, 1982 y Steer, 1985]. Inclusive, se cuenta con referencias que resumían las investigaciones anteriores en directivas generales de diseño del amplificador [Ranson y Huish, 1980], de las cuales se da un ejemplo en la figura 3.

Los dispositivos utilizados fueron principalmente diodos de avalancha por impacto y tiempo de tránsito (IMPATT) [Niemayer, 1972 y Goedbloed y Vlaardingerbroek, 1977;

Ando *et al*, 1978; Best *et al*, 1982 y Steer, 1985], así como diodos de transferencia de electrones (efecto Gunn) [Thim, 1971; Okean, 1966; Ranson y Huish, 1980; Jerinic *et al*, 1983 y Sebastián-Franco, 1985]. Entre los resultados publicados que se pudieron encontrar destacan: un amplificador que entregaba hasta 3 W con 11 dB de ganancia en la frecuencia de 44 GHz [Jerinic *et al*, 1983], y otro que operaba a la frecuencia 86 GHz con 10 dB de amplificación y 18 dBm de potencia de salida [Ando *et al*, 1978].

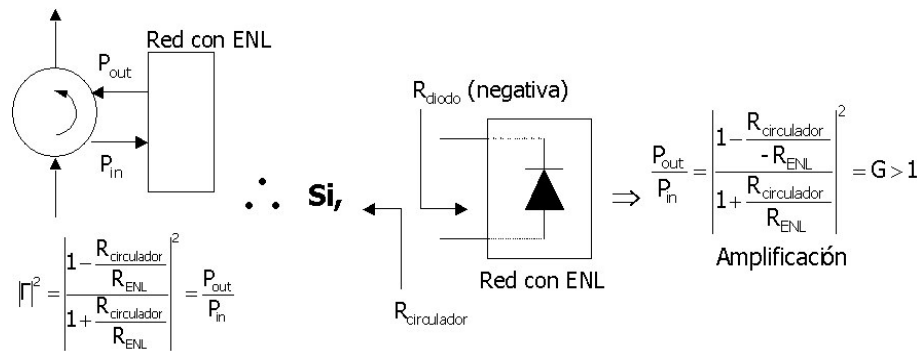


Figura 2. Ilustración del principio de análisis del amplificador de reflexión con base en el concepto de resistencia negativa.

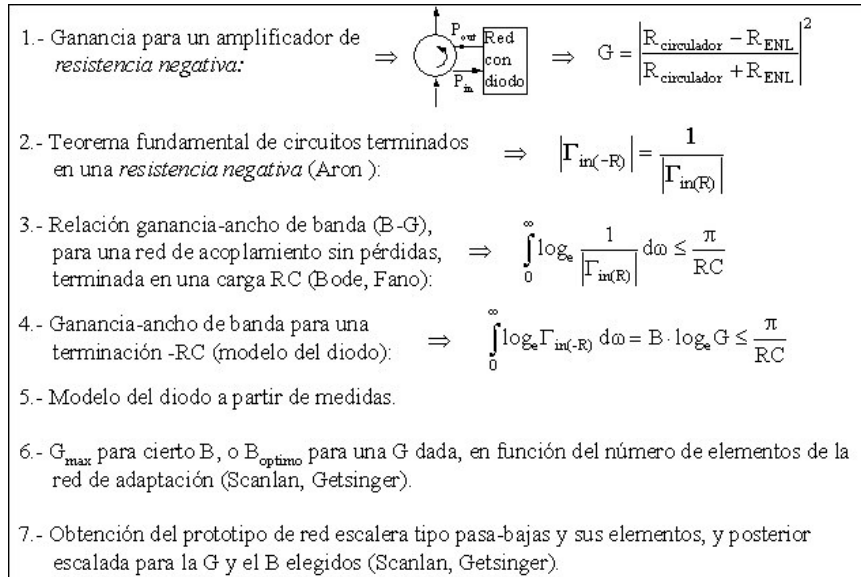


Figura 3. Ilustración de un método de diseño para el amplificador de resistencia negativa con diodos [Ranson y Huish, 1980].

II.1.b) Amplificadores de reflexión con transistores.

La popularización de los transistores en la electrónica de altas frecuencias tuvo los siguientes precursores importantes [Smith y Carpentier, 1993]:

- La invención del transistor de contacto puntual por Bardeen y Brattain en 1947.
- La creación de los transistores bipolares (BJT's) en 1950 y de efecto de campo en 1952 (FET's), ambos por Shockley.
- La innovación del transistor de efecto de campo con unión metal-semiconductor de arseniuro de galio (MESFET de GaAs), por Mead en 1966.
- La introducción del transistor de alta movilidad electrónica (HEMT), por Thomson (de la compañía Fujitsu) en 1980.
- El desarrollo de los primeros circuitos integrados monolíticos de silicio (Si MIC's), por Texas Instruments® en 1964.
- La producción de los primeros circuitos integrados de silicio para microondas (Si MMIC's) (Banda X, Switch T/R), por Ertel en 1966.
- La presentación de los primeros circuitos integrados de arseniuro de galio (GaAs MIC's), por Hewlett-Packard en 1974.
- La introducción de los primeros circuitos integrados de arseniuro de galio para microondas (GaAs MMIC's), por Plessey en 1976.

Sin embargo, fue necesario un desarrollo tecnológico considerable para trasladar en realidades factibles todos estos avances científicos y de investigación. Los primeros resultados, en aplicaciones prácticas para el campo de las microondas, empezaron a surgir desde mediados de los años 70's. De esta manera, los diodos se fueron dejando de usar en

los amplificadores, y la topología de reflexión también. No obstante, es posible encontrar casos aislados de investigaciones sobre amplificadores de reflexión con transistores.

i. Al parecer, la referencia publicada en primer término se debe a Toyhama en 1977. En este trabajo, y en uno más que publicaría un par de años después [Toyhama y Mizuno, 1979], los objetivos fueron obtener un amplificador de bajo ruido con ganancia elevada a frecuencias mayores a 20 GHz. Este tendría como diferencia, respecto de los amplificadores de transmisión semejantes que había en aquel entonces, el hecho de contener una sola etapa. Se reportaron amplificadores de reflexión entre 20 y 27 GHz, con una ganancia de 7.8 ± 0.8 dB y una figura de ruido mínima de 6.9 ± 0.9 dB, en anchos de banda de 4% y menores. Este trabajo desarrolló experimentalmente un recinto metálico especial, y un resonador que conectaba dos terminales del transistor, con el objeto de medir un coeficiente de reflexión mayor que 1 entre las otras dos terminales. Estas dos terminales se acoplaban a un circulator a través de una guía de onda rectangular como se puede observar en la figura 4.

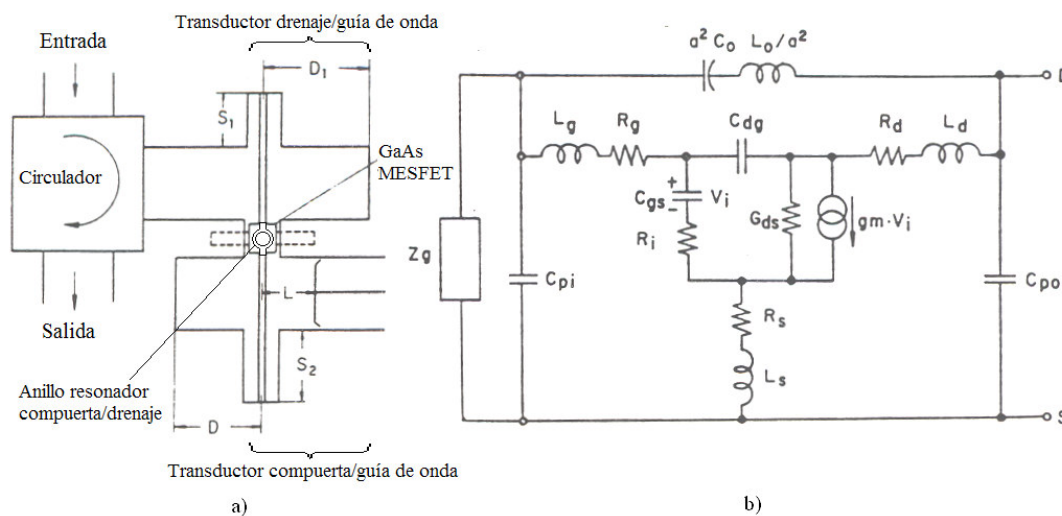


Figura 4. a) Esquemático y b) Circuito equivalente del amplificador de reflexión propuesto por Toyhama y Mizuno (1979).

La orientación del trabajo fue sumamente experimental, con una teoría muy vaga e incompleta. No obstante, se cumplía el propósito de demostrar la factibilidad de un amplificador de reflexión, que operaba a frecuencias mayores que los amplificadores de transmisión de una sola etapa que se habían reportado hasta entonces.

ii. Casi paralelamente, se desarrolló otro trabajo que es el más antiguo encontrado sobre un amplificador de reflexión de transistores con manejo de potencia mediana [Nicotra, 1979], y también el primero reportado cuya fabricación se efectuó en microcinta. El componente contaba con dos etapas acopladas mediante circuladores, como se muestra en la figura 5, las cuales entregaban hasta 0.5 Watts de potencia lineal (en el P_{1dB}) con una ganancia de 15 ± 1 dB, entre 12.7 y 13.3 GHz. La topología de reflexión mejoraba la ganancia y la frecuencia que podían alcanzar los dos transistores que se emplearon, en comparación con su desempeño en la topología convencional (ganancia = 6.7dB y P_{1dB} = 6.5 dBm hasta 8 GHz en configuración de transmisión).

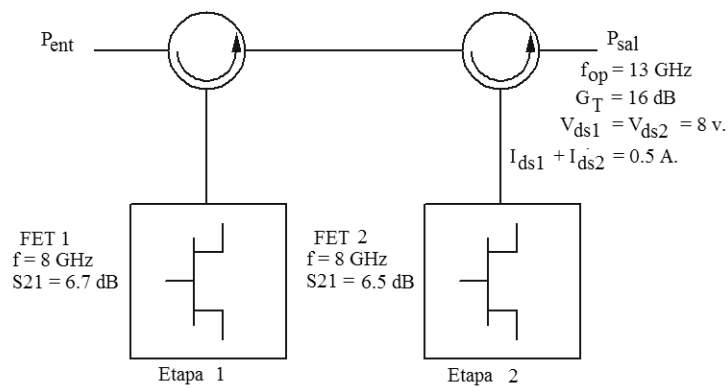


Figura 5. Amplificador de reflexión de dos etapas propuesto por Nicotra (1979).

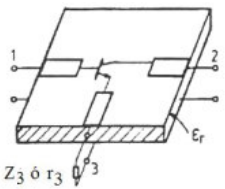
En contraste, el manejo de potencia decayó (0.515 y 0.94 Watts de salida respectivamente, en la configuración de dos puertos) y la eficiencia fue muy baja, pues consumían 4 Watts de potencia de corriente continua.

Para el análisis del amplificador de reflexión se utilizó el concepto de *resistencia negativa* que generaba un coeficiente de reflexión mayor que uno entre dos terminales de los elementos no lineales. Una desventaja es que el diseño no se expuso, y la investigación carece de un trabajo teórico capaz de predecir la respuesta del amplificador o de sus etapas.

iii. Hasta ahora se han presentado un par de trabajos experimentales que desarrollaron amplificadores de reflexión. A continuación se describe la primera referencia, que presentó un método analítico de diseño [Zbinden, 1980]. Este trabajo es el único, hasta donde se ha podido investigar, en utilizar un transistor bipolar en un amplificador de reflexión. Inicialmente, el análisis llevado a cabo en ese trabajo muestra una explicación gráfica, en el plano complejo, para el surgimiento de una *resistencia negativa* en la entrada del transistor, como consecuencia de conectar un elemento reactivo de retroalimentación en serie. Dicha parte real negativa de la impedancia de entrada da lugar a una ganancia potencial. Para diseñar el amplificador, se inicia con la caracterización del transistor como una red de tres puertos, mediante una matriz de parámetros de dispersión de tercer orden, como la que se ilustra en la figura 6a. De acuerdo con el análisis, una terminación reactiva del puerto común sería suficiente para generar la *resistencia negativa* y convertir al transistor en una red de dos puertos, lo cual en términos matemáticos transformaría los parámetros de dispersión iniciales en una matriz de segundo orden, como la presentada en la figura 6b.

Entonces, el coeficiente de reflexión en cada uno de los puertos restantes y la ganancia del amplificador, se podían expresar en función de la carga presente en la otra terminal, así como de los parámetros S de la matriz de 2x2, de la forma que se muestra en la figura 6c. Con esta solución se puede escoger la segunda terminación hasta producir la ganancia requerida.

Por optimización se obtienen las terminaciones realizables para los puertos que generan una coeficiente de reflexión mayor que la unidad en alguna terminal. Finalmente, se reportó un amplificador en la frecuencia de 3 GHz con ancho de banda de 140 MHz y una ganancia aproximada de 23 ± 3 dB, para un transistor bipolar. Al igual que en otras referencias, se observó una ganancia más alta del amplificador de reflexión que la presentada por un amplificador de transmisión con el mismo elemento no lineal.



a)

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} \\ S_{21} & S_{22} & S_{23} \\ S_{31} & S_{32} & S_{33} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \end{bmatrix}$$

b)

$$\begin{bmatrix} b_1' \\ b_2' \end{bmatrix} = \underbrace{\begin{bmatrix} S_{11} + \frac{S_{13}S_{31}}{1 - S_{33}} & S_{12} + \frac{S_{13}S_{32}}{1 - S_{33}} \\ S_{21} + \frac{S_{33}S_{21}}{1 - S_{33}} & S_{22} + \frac{S_{23}S_{32}}{1 - S_{33}} \end{bmatrix}}_{\begin{bmatrix} S'_{11} & S'_{12} \\ S'_{21} & S'_{22} \end{bmatrix}} \begin{bmatrix} a_1' \\ a_2' \end{bmatrix}$$

c)

$$r_1 = S_{11}' + \frac{S_{12}'S_{21}'}{1 - S_{22}'}$$

$$r_2 = S_{22}' + \frac{S_{12}'S_{21}'}{1 - S_{11}'}$$

Figura 6. a) Transistor como red de tres puertos, b) reducción a dos puertos en función de la terminación en el puerto 3, c) determinación del coeficiente de reflexión de entrada para la red de dos puertos en función de la carga [Zbinden, 1980].

iv. A pesar de estas investigaciones pioneras exitosas, aunque inconclusas, la amplificación por reflexión con transistores no fue recurrente, y solamente se ha podido encontrar continuidad hasta la aparición de los trabajos efectuados durante la década de los 90's en los que participan Peter Gardner y Dipak K. Paul (1991, 1992, 1993 y 1997). En su primer trabajo (1991) presentaron condiciones para el desempeño óptimo de ruido del amplificador, basándose en los parámetros de ruido del transistor, y utilizaron un método gráfico para calcular las terminaciones requeridas del elemento no-lineal.

La configuración del amplificador consistió en convertir al transistor en una red de dos puertos, con una impedancia de retroalimentación aterrizada en el puerto de fuente, y con

una impedancia de carga conectada al puerto de drenaje. El puerto de compuerta se unió con una red de acoplamiento al circulator que separaba las señales de entrada y salida. La figura 7 ilustra la configuración explicada.

Al igual que los trabajos anteriores, el análisis de ganancia y ancho de banda se basa en el concepto de *resistencia negativa*. El diseño se dividió en dos partes principales: en primer término se escogen las impedancias de carga y de retroalimentación para crear una resistencia negativa, y un coeficiente de reflexión mayor que 1, además de recibir un ruido mínimo. En segundo lugar se diseña la red de entrada, como un transformador de impedancias, que proporciona la respuesta de ganancia deseada. Utilizando el estudio propuesto, un modelo de ruido, y un programa de análisis de circuitos de alta frecuencia (Libra®), se obtuvo una predicción teórica de la ganancia y el ruido del transistor.

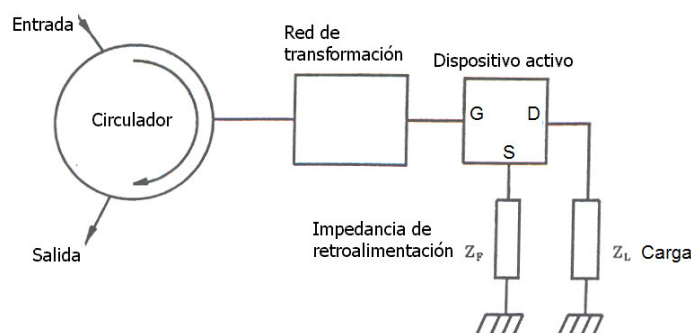


Figura 7. Esquemático del amplificador reflectivo propuesto por Gardner y Paul en 1991.

Los resultados alcanzados del experimento mostraban una ganancia de 10 ± 2 dB y una medida de ruido de 0.5 ± 0.1 entre 9 y 9.6 GHz. Los principales avances de este trabajo corresponden: al desarrollo de un método teórico para predecir la medida de ruido de un amplificador de reflexión según sus terminaciones, y a demostrar que la ganancia alcanzable correspondiente a la mínima medida de ruido en un amplificador de reflexión es arbitrariamente elevada, donde solo el producto ganancia-ancho de banda está acotado en

términos teóricos. Al respecto, los amplificadores de transmisión tienen un límite superior de ganancia cuando la entrada se sintoniza para un comportamiento óptimo de ruido.

v. La siguiente referencia producida por Paul y Gardner (1992) es un estudio de destrucción de amplificadores de bajo ruido. Éste se llevó a cabo como comprobación de una de las ventajas del amplificador de reflexión con respecto al de transmisión, en cuanto a la pérdida de funcionalidad de un sistema receptor, para el caso de daño permanente del transistor. Los resultados mostraron que la energía necesaria para destruir un transistor, en un amplificador de reflexión, no era significativamente diferente que en un amplificador de transmisión empleando el mismo dispositivo. En contraste, una vez que ocurría el daño permanente y se recibían pérdidas por inserción en vez de ganancia, las cuales eran mucho menores para el amplificador de reflexión, entre 2 y 5 dB, que para la topología convencional, de cerca de 25 dB. Es decir, después de la falla fatal del transistor, un amplificador de reflexión tiene como ventaja que la trayectoria adicional es de bajas pérdidas. Esta cualidad es de interés en ciertos sistemas de radar en los cuales una trayectoria de paso emergente es de utilidad para un desempeño continuo, aunque degradado del receptor.

vi. Un trabajo posterior en el que participaron Paul y Gardner [Hickson *et al*, 1993] demostró que la limitación de amplificación de los transistores, conforme se eleva la frecuencia puede ser rebasada. Se expuso la posibilidad de obtener mayor ganancia en un amplificador de reflexión que en uno de transmisión, en un ancho de banda angosto, con el empleo del mismo dispositivo y manteniendo el mismo desempeño de ruido, lo cual se ilustra en la figura 8.

Un amplificador convencional se diseñó presentando a la entrada del transistor el coeficiente de reflexión óptimo para una medida de ruido mínima. Dicho coeficiente se encontró previamente mediante un modelo de ruido del transistor. Por otro lado, la red de acoplamiento a la salida se sintonizó para obtener un acoplamiento conjugado. De manera alternativa, se diseñó un amplificador de reflexión siguiendo el método expuesto en un trabajo anterior de los mismos autores [Paul y Gardner, 1991]. Ambos amplificadores usaban el mismo dispositivo, un transistor de alta movilidad electrónica con una medida de ruido mínima de 0.654 a 30 GHz. El amplificador de reflexión demostró una ganancia superior a 10 dB, mientras que la ganancia del de transmisión fue menor a 6 dB.

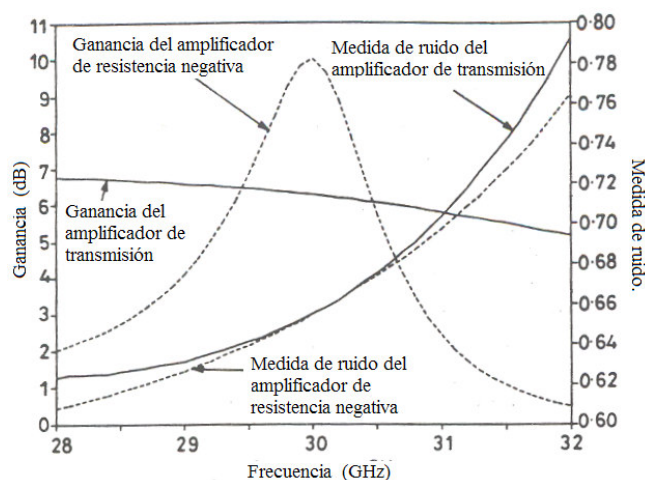


Figura 8. Ganancia y medida de ruido para amplificadores de transmisión y de resistencia negativa, previstas por Hickson et al en 1993.

vii. En el último trabajo publicado por Gardner y Paul (1997) sobre amplificación de reflexión con transistores, el principio de análisis es el mismo que en sus estudios anteriores. Sin embargo, se extendió su aplicación a cualquiera de las configuraciones de terminal común disponibles que se despliegan en la figura 9: compuerta común, fuente común y drenaje común. También se mejoró el diseño de las terminaciones que se

presentan al transistor para lograr una ganancia determinada y una medida de ruido mínima en función de los parámetros de ruido y de dispersión del dispositivo. La mejora fue el hecho de convertir un método gráfico en uno matricial.

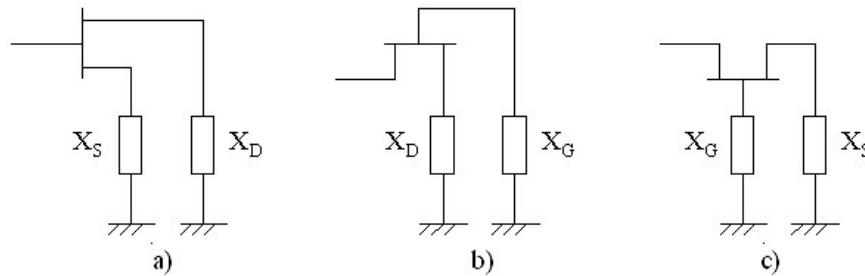


Figura 9. Configuraciones del FET con resistencia negativa dadas por Paul y Gardner (1997. a) entrada en la compuerta, b) entrada en la fuente, c) entrada en el drenaje.

viii. Hasta el momento, todos los enfoques analíticos con que se ha abordado el amplificador de reflexión aluden como principio de operación al concepto de *resistencia negativa*. El primer acercamiento diferente a la investigación de amplificadores de reflexión, dentro de los antecedentes publicados que ha sido posible documentar, se debe a una referencia originada dentro del CICESE [Venguer *et al*, 2002]. En dicho trabajo se presentó un estudio del amplificador que estableció las bases para el principio de análisis que se formula en este trabajo de tesis. El proceso de amplificación se explica en esa referencia por un aumento adicional de la transconductancia del transistor. Este incremento se produciría por un elemento inductivo de retroalimentación, el cual a la vez forma un circuito resonante con la capacitancia de compuerta-fuente del transistor, ilustrado en la figura 10.

Este trabajo exponía resultados experimentales para diferentes puntos de polarización, con lo que se podía optimizar la respuesta de ruido y la ganancia. Aunque por otro lado no mostraba una predicción para el desempeño del amplificador, ni los procedimientos para

generarla, ni tampoco el diseño de la red de adaptación al circulator de manera explícita. Se verificó que la ganancia alcanzable en reflexión podía ser mayor que la que se obtendría en transmisión, usando una etapa con el mismo transistor. También se mostró que el amplificador presentaría muy bajas pérdidas en caso de apagar o inhabilitar el transistor.

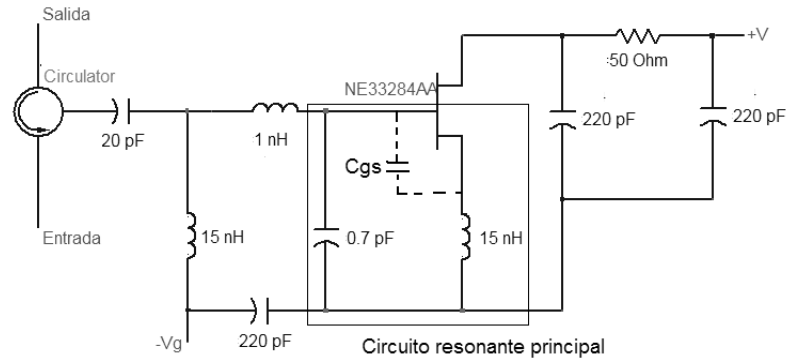


Figura 10. Amplificador de un puerto propuesto por Venguer et al en 2002.

II.2. Métodos para extraer el modelo del transistor.

Para analizar y diseñar el amplificador con los principios que se proponen en este estudio que serán expuestos en el capítulo IV, resulta importante el conocimiento del circuito equivalente en pequeña señal. Los elementos de este circuito tienen su origen en la estimación de los principales fenómenos físicos que ocurren dentro del transistor, el cual se ilustra en la figura 11.

Ese circuito equivalente para el transistor de efecto de campo, o FET, se puede dividir en dos partes, donde la primera contiene a los elementos intrínsecos y la otra a los extrínsecos. Los elementos externos, también llamados elementos parásitos, pueden ser 6 u 8 dependiendo básicamente de la tecnología de encapsulado del transistor, y existen cuatro variedades de configuración, véase la figura 12.

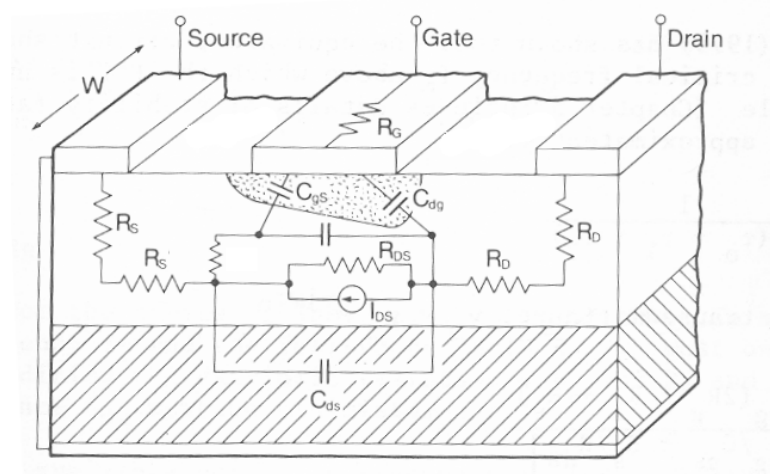


Figura 11. Ilustración del origen físico del circuito equivalente para el FET.

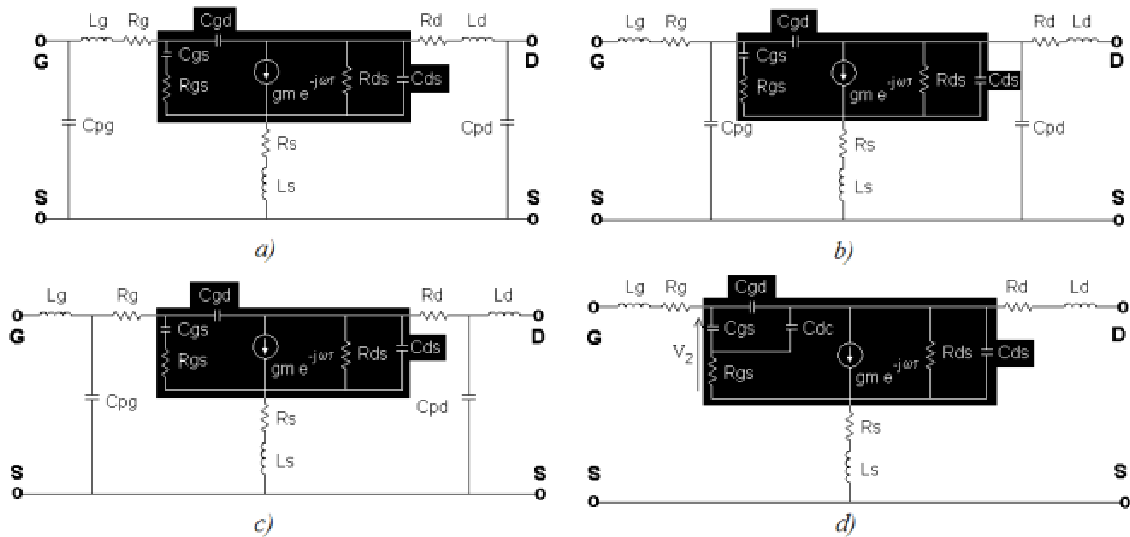


Figura 12. Diferentes variantes del circuito equivalente. a), b) y c) son de 8 elementos externos y de 7 intrínsecos y su voltaje de control es V_{Cgs} ; d) es de 6 elementos externos y de 8 intrínsecos y el voltaje de control es V_2 .

En lo que respecta a los elementos intrínsecos se pueden encontrar muchas variantes, pero las principales son las que utilizan 7 y 8 parámetros, indicadas en la figura 12. Además, el modelo de 8 elementos internos tiene dos variedades: una en la cual el voltaje de control se define a través de C_{gs} y R_{gs} [Curtice y Camisa, 1984; Curtice, 1988] dada en la figura 12d, mientras que en la otra solamente se toma sobre C_{gs} .

Para obtener los parámetros de circuito equivalente (PCE's), se han aplicado muchos enfoques en la literatura del área. Su espectro se extiende desde métodos de optimización numérica para todos los PCE's, hasta técnicas totalmente analíticas. En esta tesis los métodos se clasifican en tres tipos:

- Métodos de optimización global [Tsironis y Meierer, 1982; Kondoh, 1986; Bandler y Zhang, 1987; Patterson *et al*, 1993; van Niekerk y Meyer, 1996 y 1998; y van Niekerk *et al*, 2000],
- Métodos de optimización parcial [Curtice y Camisa, 1984; Curtice, 1988; Kompa y Novotny, 1992; Lin y Kompa, 1994; Shirakawa *et al*, 1995; Ooi *et al*, 1997; Ghazinour y Jansen, 1998; y Campbell y Brown, 2001],
- Métodos analíticos [Dambrine *et al*, 1988; Berroth y Bosch, 1990 y 1991; Anholt y Swirhun, 1991a; Yanagawa *et al*, 1996; Rorsman *et al*, 1996; Arnold *et al*, 1999; Mwema y Kompa, 2000; y Lenk y Doerner, 2000].

A continuación se revisan los métodos que se consideran más relevantes.

II.2.a) Optimización global.

Este enfoque consiste en minimizar la función de error que representa la diferencia entre los parámetros S medidos en el punto de operación y los correspondientes al modelo, mediante la variación de todos los PCE's. El monitoreo estadístico de FET's para grandes volúmenes de producción requiere de un método rápido, consistente y robusto para extraer los elementos de circuito equivalente, que pueda ser realizado en línea y con el mínimo

número de mediciones. Es ahí donde los métodos de extracción por optimización numérica encuentran su mejor campo de aplicación. Sin embargo, como determinan los elementos del circuito equivalente mediante la minimización de una función de diferencias existente entre los parámetros S medidos y los calculados, implican varias desventajas. Estos inconvenientes han sido estudiados en diferentes investigaciones [Tsironis y Meierer, 1982; Vaitkus, 1983; King *et al*, 1998; van Niekerc y Meyer, 1998 y Fager *et al*, 2002]. Por ejemplo: los que son altamente dependientes de los valores iniciales [van Niekerc y Meyer, 1998], o el hecho de que obtener una solución única para tantas variables podría no ser viable [Tsironis y Meierer, 1982]. Considerando estas dificultades, se propuso la descomposición del problema global en pasos que representan optimizaciones más simples.

i. El primer método de optimización global que presentó la idea de la descomposición [Kondoh, 1986] dividió el problema en ocho pasos, descritos en la Tabla I. Se utilizó el modelo de la figura 12b y una variante que excluye a R_i , puesto que el optimizador presentado difícilmente distingue entre esa resistencia y R_g . Los pasos de cada iteración y su orden específico fueron encontrados experimentalmente.

Tabla I. Pasos de un ciclo de optimización propuestos por Kondoh en 1986.

Paso	Elementos optimizados.	Parámetro ajustado.	Rango de frecuencia
1	R_{ds}, C_{ds}	S_{22}	Todo.
2	C_{gs}	S_{11}	‘
3	C_{gd}, R_s	S_{12}	‘
4	g_m	S_{21}	‘
5	R_d, L_d	S_{22}	Media banda superior
6	R_g, R_i, L_g	S_{11}	‘
7	L_s	S_{12}	‘
8	τ	S_{21}	‘

ii. Posteriormente, se aplicó la descomposición en varios trabajos en que participaban van Niekerk y Meyer (1996, 1998 y 2000). Un repaso cronológico de sus publicaciones fue el siguiente: La primera de ellas (1996) aportaba la descomposición del problema en el máximo número de pasos posible, y hacía adaptivo el orden de las sub-optimizaciones (gracias a las sensibilidades de la función de error respecto a cada parámetro [Patterson *et al*, 1993]). En el segundo artículo (1998), un análisis de convergencia demostró que el enfoque era poco sensitivo a los valores iniciales y comprobó la dificultad de extraer R_g a partir de una sola medición de parámetros S . Una tercera publicación en que participaron los autores mencionados [van Niekerk *et al*, 2000] incorporó la extracción simultánea en varias polarizaciones activas (extracción *multibias* propuesta anteriormente [Bandler y Zhang, 1987]), en la que se considera a los elementos parásitos como independientes de la polarización y a los intrínsecos como dependientes. Los optimizadores de van Niekerk y Meyer solamente se aplican a modelos sin C_{pg} ni C_{pd} , como el de la figura 12b.

iii. La tercera variante de optimización global que se considera es la que utiliza software de tipo CAD o CAE para circuitos de altas frecuencias (ADS®, MMICAD®, Microwave Office®, Libra®, etc.). En esta opción se implementa el modelo en el entorno del programa, se introducen los datos medidos desde un archivo (frecuentemente del tipo Touchstone *.s2p*), se definen los parámetros como variables, y se emplea el optimizador incluido en cada paquete para ajustar el modelo con las mediciones.

II.2.b) Optimización parcial.

Las desventajas señaladas para los métodos que optimizan todos los PCE's a la vez

condujeron a los diseñadores en la búsqueda de maneras que tiendan a disminuir la cantidad de variables a optimizar. Es decir que, ya sea realizando mediciones para determinar algunos PCE's, o bien encontrando las correlaciones entre ellos, con el fin de optimizar un conjunto más limitado de variables que serían independientes.

i. En el primer método de optimización parcial que se expone [Curtice y Camisa, 1984] se determinaron los PCE's con dos etapas de optimización diferentes: una para los elementos extrínsecos, y otra para los intrínsecos. Las optimizaciones se efectuaron en el programa SUPER-COMPACT® de Compact Software.

Inicialmente, se ajustaron los parámetros del circuito equivalente para el transistor en “frío” ($V_{ds} = 0$ volts) [Diamant y Laviron, 1982] con las mediciones de parámetros S en esas condiciones. Dicho circuito equivalente se muestra en la figura 13. Esta fase entregó como resultados los elementos capacitivos e inductivos parásitos. Posteriormente, se emplearon mediciones en corriente directa para estimar las resistencias extrínsecas [Fukui, 1979].

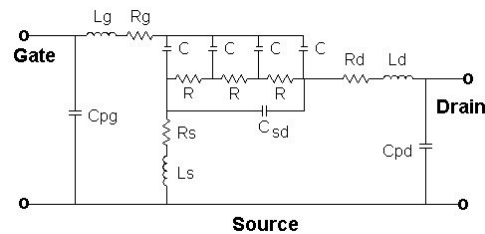


Figura 13. Circuito equivalente propuesto por Curtice y Camisa (1984), para el transistor polarizado en $V_{ds} = 0$ v.

Posteriormente, los elementos extrínsecos se mantuvieron constantes mientras que se optimizaban los 7 parámetros internos usuales, además de una capacitancia adicional de retroalimentación, hasta ajustar los parámetros S del modelo con las medidas en

polarización activa. Dicha capacitancia se introdujo al modelo por los autores. El circuito equivalente correspondiente se muestra en la figura 12d.

Curtice y Camisa propusieron este método, después de que comprobaron las conclusiones de otros trabajos previos respecto a dos problemas: Por una parte, que existen demasiadas variables para crear una solución única basada solo en una medición de parámetros S [Tsironis y Meierer, 1982]. Y por otro lado, que los errores asociados con la medición y con el proceso de “de-embedding” de los parámetros S, llevan a errores significativos en los elementos del circuito equivalente [Vaitkus, 1983]. Cabe mencionar que Curtice describió y empleó nuevamente este método en la primera parte de un trabajo posterior [Curtice, 1988].

ii. En el segundo método de optimización parcial presentado en esta tesis [Kompa y Novotny, 1992] se estableció que la resistencia de acceso en la compuerta R_g , debía conocerse previamente para poder obtener valores únicos para el resto de los PCE's mediante el método de optimización. Además, se considera que es difícil converger con una sola medición a valores únicos de R_g y R_i al mismo tiempo. Por lo tanto, se propuso un método que utilizaba medidas del transistor en régimen bloqueado ($V_{ds} = 0$ v, $V_{gs} < V_{pinch-off}$). En esa polarización se podrían eliminar a R_i , R_{ds} , g_m y τ , del circuito original de 15 elementos, presentado en la figura 12a. Una vez conocida R_g , se mantuvo fija y se varió el resto de los elementos para ajustar el modelo con los parámetros S medidos en polarización activa, empleando un optimizador basado en el método Simplex.

iii. La tercera investigación que se trata en este apartado sobre optimización parcial [Lin y Kompa, 1992], expuso un método que asignó como variables de optimización inicial

a las parasitancias del modelo de 15 elementos de la figura 12a. Los PCE's extrínsecos se obtuvieron de los parámetros S medidos, hasta obtener como resultado la matriz intrínseca de admitancias $[Y_{Int}]$. Empleando las admitancias de las ramas del circuito intrínseco se calcularon por mínimos cuadrados los demás elementos del modelo. Este procedimiento se repite hasta que se ajusta el modelo con los parámetros S medidos.

Para generar los valores iniciales de los elementos extrínsecos, se propuso una medida de parámetros S extra con el transistor bloqueado (*pinch-off*). En esa polarización el modelo de circuito equivalente inicialmente sería el mismo que en el trabajo expuesto anteriormente [Kompa y Novotny, 1992]. Las capacitancias extrínsecas se toman como variables de optimización, se calculan los parámetros S externos en oclusión (en *pinch-off*) para cada iteración y se obtienen los parámetros de impedancia. Por medio de una transformación de red “ π ” a red “T” se tendrían tres ramas R-L-C simples cuyos elementos pueden calcularse de las impedancias de rama. El proceso se repite hasta que el error alcanza una tolerancia y así se tienen los valores iniciales de los PCE's extrínsecos para la optimización principal en polarización activa, la cual se explicó en el párrafo anterior.

iv. Un cuarto método de optimización parcial [Shirakawa *et al*, 1995] propuso minimizar una función de error, la cual emplea la diferencia entre los parámetros S medidos y los calculados, y que además calcula la varianza en frecuencia de cada uno de los elementos internos. Dichos elementos intrínsecos se expresaron en función de los parámetros extrínsecos, de los datos de parámetros S en polarización activa y de la frecuencia, con la finalidad de reducir la cantidad de variables de optimización al número de parasitancias del modelo únicamente. Los autores actualizaron los valores de los

elementos externos (variables de optimización), para cada iteración mediante el algoritmo de Levenberg-Marquart. Este algoritmo es una variación del método de Newton que requiere información del gradiente, y que construye una pseudo-matriz Hessiana por combinaciones lineales de ese gradiente evaluado en iteraciones anteriores.

v. El siguiente método tratado en este estudio [Ooi *et al*, 1997] utilizó las mismas expresiones para relacionar los PCE's extrínsecos con las mediciones que el método anterior, además de una función de error semejante. La diferencia es que se redujo el número de variables de optimización mediante la adquisición analítica de una de las parasitancias, introduciendo así una mejora. La suposición del modelo de 7 elementos internos: que $\text{Re}\{Y_{12}^{\text{Int}}\} = 0$, se aprovechó para obtener una ecuación que relaciona R_g con R_s , R_d , L_g , L_d , L_s , y con los parámetros S medidos. Las cinco variables de optimización también se actualizaron en cada iteración con el algoritmo de Levenberg-Marquart.

vi. El siguiente trabajo a tratar [Ghazinour y Jansen, 1998] incorporó la extracción en polarizaciones activas múltiples (*multibias*), al método de optimización parcial. Las variables de optimización, que se consideran independientes de la polarización, se integran con los elementos extrínsecos y con algunos elementos intrínsecos: R_i , τ y C_{ds} . La optimización se realiza mediante un algoritmo híbrido aleatorio-evolutivo. El resto de los PCE's se considera dependiente de la polarización y se calcula analíticamente para cada condición, partiendo de $[Y_{\text{Int}}]$.

vii. La última y más reciente investigación [Campbell y Brown, 2001] de optimización parcial, expone un método en el cual R_d , L_g , L_d y L_s se tomaron como variables de optimización, mientras que R_g se mantuvo como dato fijo, y R_s se calculó en cada iteración.

Una vez conocidos todos los parámetros extrínsecos, se extrajo $[Y_{\text{Int}}]$ de los datos medidos para calcular los demás elementos del modelo.

Los autores contaron con una base de datos de modelos lineales y con ella efectuaron un promedio de las resistencias de compuerta normalizadas para las dimensiones del transistor. De nuevo, se empleó la suposición de que $\text{Re}\{Y_{12}^{\text{Int}}\} = 0$, pero esta vez se determinó R_s , a partir de las otras parasitancias, y de los parámetros S medidos, lo cual difiere con una publicación anterior [Ooi *et al*, 1997]. La R_s se prefirió sobre R_g siguiendo trabajos anteriores [Kompa y Novotny, 1996; van Niekerc y Meyer, 1996] que censuraban el cálculo iterativo o la optimización de R_g , por derivar en inconsistencias e imprecisiones.

La optimización se apoyó en la búsqueda, sobre la dirección de mayor variación del conjunto de parámetros R_d , L_g , L_d y L_s que anula la pendiente en frecuencia de los PCE's internos. El parámetro de la pendiente respecto a la frecuencia de un elemento intrínseco extraído en función de las parasitancias, se calculó por medio de regresión lineal. Los autores realizaron la optimización iterativa de las variables siguiendo un método Newtoniano amortiguado (*damped Newton*), hasta que el promedio de error de la aproximación estuviera dentro de una tolerancia especificada.

II.2.c) Métodos analíticos.

Los problemas de falta de convergencia global, de mínimos locales, y de dependencia respecto de los valores iniciales, que afectan en mayor o menor proporción a los métodos de optimización, así como las investigaciones orientadas a reducir el número de variables a optimizar, dieron lugar a que se encontraran relaciones entre algunos PCE's y ciertas

mediciones. De este modo fueron surgiendo trabajos que establecían dichas relaciones. En una primera aproximación se intentaron determinar las resistencias parásitas a partir de mediciones en CD [Hower y Bechtel, 1973; Fukui, 1979] o en RF [Yang y Long, 1986; Sommer, 1991]. Por otro lado se conectaron las impedancias parásitas con mediciones del transistor sin polarizar “*cold-FET*” [Diamant y Laviron, 1982]. Posteriormente se han deducido de forma extensiva modelos para vincular las capacitancias parásitas con ciertas mediciones, básicamente con el transistor bloqueado “*pinched-off FET*” [Dambrine *et al*, 1988; Anholt y Swirhun, 1991b; White y Healy, 1993; Lai y Hsu, 2001]. También se han presentado expresiones para los elementos intrínsecos dependientes de los parámetros S en un punto de polarización activa [Vickes, 1991]. Finalmente, se han aprovechado y mejorado estos estudios, combinando diferentes tipos de mediciones en métodos que calculan todos los PCE’s [Dambrine *et al*, 1988; Berroth y Bosch, 1990 y 1991; Anholt y Swirhun, 1991a; Yanagawa *et al*, 1996; Rorsman *et al*, 1996; Arnold *et al*, 1999; Mwema y Kompa, 2000; Lenk y Doerner, 2000]. Las desavenencias principales que implica el enfoque completamente analítico son el creciente número de mediciones que se requieren, y la orientación del modelo al tipo de dispositivo [Rorsman *et al*, 1996], a una arquitectura [Yanagawa *et al*, 1996], o a un régimen de polarización [Berroth y Bosch, 1991].

i. En el primer método totalmente analítico del que se tiene conocimiento [Dambrine *et al*, 1988], se propone una serie de técnicas para calcular las parasitancias y con ellas extraer $[Y_{int}]$ de las mediciones en polarización activa. Posteriormente, se expresan todos los PCE’s restantes en función de dicha matriz.

Se midieron los parámetros S del transistor en *frío* y se transformaron a parámetros Z, separando las partes reales e imaginarias. Con base en el modelo del transistor polarizado

así [Diamant y Laviron, 1982], los autores establecieron un sistema de tres ecuaciones con las partes reales y cinco resistencias: las tres resistencias extrínsecas, la del canal y la de la barrera Schottky en la compuerta. Al mismo tiempo, existe otro sistema de tres ecuaciones formado con las tres inductancias parásitas y las partes imaginarias de los parámetros Z .

La dependencia que tiene la resistencia de la barrera Schottky con respecto al recíproco de la corriente de compuerta, se aprovecha para eliminar esta incógnita haciendo una extrapolación, para lo cual se realizan mediciones en *frío* para diferentes valores de I_{gs} .

A fin de presentar una ecuación adicional que relacionara algunas de las cuatro incógnitas restantes, se propusieron cuatro técnicas diferentes:

- Determinar la suma $R_s + R_d$ con mediciones en CD [Hower y Bechtel, 1973 o Fukui, 1979] o con un analizador de redes sobre la base de $\text{Re}\{Z_{22}\}$ en “*frío*”;
- Generar R_g por la medición de resistencia entre terminales;
- Obtener R_s y R_d por mediciones de CD [Yang y Long, 1986];
- Deducir R_{ch} de los parámetros tecnológicos del canal.

Posteriormente, los efectos parásitos se remueven de las mediciones de parámetros S del transistor en polarización activa, hasta hallar $[Y_{int}]$. A partir del arreglo resultante se calcularon los PCE's intrínsecos, por medio de expresiones que simplifican el modelo general del transistor para frecuencias menores a 5 GHz.

Por otro lado, para calcular las C_{pd} y C_{pg} se propusieron mediciones de parámetros S en *frío* con la resistencia del canal suprimida (*pinched-off FET*), considerando una zona de depleción bajo la compuerta exactamente simétrica respecto del drenaje y la fuente.

ii. La siguiente técnica de extracción analítica [Arnold *et al*, 1999] consideró un circuito equivalente de 6 PCE's externos y 7 intrínsecos (ver figura 12b), y utilizando

solamente las mediciones de parámetros S en polarización activa en conjunto con mediciones en CD. Por medio del método de Fukui (1979) se calcularon las resistencias parásitas. Enseguida, se realizó una iteración de los siguientes pasos para aproximar paulatinamente a los valores de los PCE's restantes:

- 1) Convertir los parámetros S medidos a parámetros de impedancia.
- 2) Evaluar las inductancias con ecuaciones analíticas directas (anular las inductancias en la primera iteración).
- 3) Determinar los elementos parásitos para obtener los parámetros de impedancia de baja frecuencia ($\omega^2 C_{gs}^2 R_i^2$, $\omega\tau \ll 1$).
- 4) Calcular los parámetros S del modelo y el error.
- 5) Si el error es menor que una tolerancia el proceso termina, si no volver al inciso 2).

Esta investigación fue la primera de corte analítico en extender la extracción a polarizaciones activas múltiples (*multibias*). Solamente los elementos intrínsecos g_m , g_{ds} , C_{gs} y C_{gd} se consideraron como dependientes de la polarización, y los demás como globales, siendo extraídos para la polarización correspondiente a $I_{dss}/2$, al igual que las inductancias parásitas. R_i se elimina del modelo, puesto que las expresiones de los PCE's intrínsecos son válidas para bajas frecuencias y además que su efecto es más notable a frecuencias mayores, provocando que su extracción tenga una buena convergencia por este método.

iii. El tercer método analítico a tratar en esta tesis [Berroth y Bosch, 1990] presentó una mejora al procedimiento de Dambrine *et al* (1988), pues se evitó la simplificación para baja frecuencia de las ecuaciones que relacionan $[Y_{int}]$ con los elementos intrínsecos del modelo.

No obstante haber evitado la simplificación, se dedujeron expresiones directas para calcular los elementos intrínsecos, una vez que los efectos de las parasitancias se removieron de las mediciones de parámetros S. Los valores de estas últimas se determinaron como sigue: las inductancias se obtienen a través de mediciones del transistor en *frío* [Diamant y Laviron, 1982], y las resistencias se calculan mediante estas mismas medidas en conjunto con una estimación de $R_s + R_d$, la cual se genera por una variación del método de CD de Hower y Bechtel (1973), y el efecto resistivo de la unión Schottky de compuerta se desprecia. En lo que respecta a las capacitancias parásitas, se usó el mismo enfoque que en el trabajo de Dambrine *et al* (1988).

En otro trabajo posterior [Berroth y Bosch, 1991] publicaron un circuito equivalente para el FET apropiado para aplicaciones de gran señal. Este incluye los efectos de la resistencia que se encuentra en serie con la capacitancia de retroalimentación, y de las resistencias diferenciales correspondientes a los diodos de compuerta-fuente y de compuerta-drenaje ilustrados en la figura 14.

iv. El último método de corte analítico presentado en este estudio [Yanagawa *et al*, 1996] podría ser aplicado para modelos donde la tensión sobre C_{gs} se considera la señal de control, dados en las figuras 12a–12c, o también para circuitos equivalentes con voltaje de control sobre C_{gs} y R_{gs} , como el mostrado en la figura 12d. Además de los 7 elementos intrínsecos aceptados generalmente, se consideró una capacitancia de retroalimentación interna C_{DC} , como en el circuito de la figura 12d. Se emplearon mediciones del transistor en con la resistencia de canal suprimida (*pinched-off FET*) para determinar las parasitancias.

Los autores consideraron que si $V_{ds} = 0$ y $V_{gs} < V_p$, las resistencias de acceso podían definirse directamente de $\text{Re}\{[Z_{med}]\}$. Simultáneamente, las inductancias extrínsecas

pueden determinarse de las pendientes de las rectas aproximadas, al producto entre la parte imaginaria de la matriz mencionada y la frecuencia angular, dibujadas en una gráfica sobre un eje cuadrático de frecuencia (ω^2 vs. $\omega \text{Im}\{Z_{\text{frío-ij}}\}$).

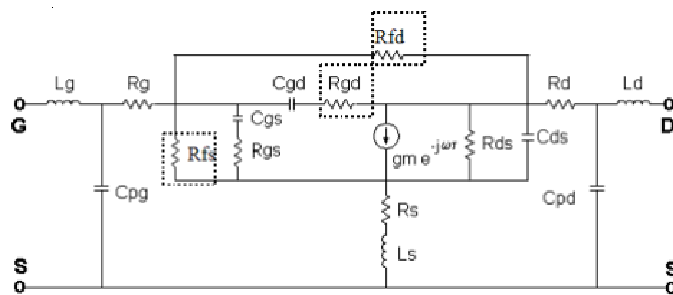


Figura 14. Circuito equivalente del FET extendido por Berroth y Bosch, en 1991, (elementos agregados en recuadros punteados) para aplicaciones de gran señal.

En este trabajo se ofrecieron expresiones directas para calcular los elementos restantes de los dos tipos de modelos considerados en función de $[Y_{\text{Int}}]$, la cual se obtuvo de las mediciones realizadas de manera similar a los demás métodos aquí presentados. Una desventaja de este método, es que no se aplica para transistores en cuyo modelo no se puedan despreciar las capacitancias parásitas.

Después de haber expuesto de manera breve los métodos analíticos y de optimización, tanto global como parcial, se puede proceder a aplicarlos en el capítulo IV, con el fin de explicarlos mejor y proponer las mejoras pertinentes.

III. CARACTERIZACIÓN DE TRANSISTORES Y CIRCULADORES.

En este capítulo se presentan las metodologías utilizadas para efectuar la caracterización de los transistores y circuladores empleados. Para la caracterización de los transistores, se diseñan y construyen dos bases de prueba: una en tecnología coplanar y otra empleando tecnología de microcinta. Asimismo, se presentan los resultados obtenidos de la caracterización de dos transistores y dos circuladores en las bandas C y X.

El número de mediciones que se necesitan varía según el método de extracción del modelo que se aplique, requiriéndose una medición adicional para prever el manejo de potencia que soporta el amplificador. Para realizar las mediciones se definen con antelación los bancos de medición correspondientes, así como los procesos de análisis e interpretación que requieran los datos para poder utilizarse.

Los bancos de medición dependen del tipo de medidas, del equipo de medición con el que se cuenta, y del dispositivo bajo prueba. Hasta el momento, el transistor que se utilizará representa la variable que es indispensable especificar en primer lugar en este capítulo.

III.1 Selección del transistor.

Para elegir un transistor de entre varias opciones, se debe contar con criterios para discriminar una alternativa de otra. En principio, atendiendo al manejo de potencia lineal y considerando los objetivos, se plantea como pauta principal que el elemento entregue una potencia entre 0.3 y 0.5 Watts cuando se encuentra operando en el punto de compresión de

ganancia P_{1dB} , con impedancias de 50Ω en la compuerta y en el drenaje, y bajo la configuración de fuente común. Lo anterior tiene por objeto investigar si el canal del transistor puede operar en régimen lineal con la potencia de salida que se desea. Aunque en la topología de reflexión el drenaje no corresponde a la salida de potencia del transistor, la energía de salida sí es inducida por la corriente de drenaje. De manera que, si la potencia de salida máxima de interés implica que el elemento soporta una cierta corriente de canal sin entrar en régimen no lineal, entonces una P_{1dB} entre 0.3 y 0.5 Watts (≈ 24 a 27 dBm) es un criterio funcional para elegir el transistor que se empleará. Considérese que los dispositivos que se tienen disponibles son los mostrados en la Tabla II.

Tabla II. Criterios para la selección del transistor.

Transistores disponibles con manejo adecuado de potencia lineal (0.3 y 0.5 Watts)			
Cantidad	Tipo	Compatibilidad con las bases de prueba disponibles.	Punto de 1 dB de compresión al menos de 24 a 27 dBm
1	NEC 90075	No	Sí (≈ 26.5 dB)
2	NEC 69589	Sí	No (≈ 21 dB) *

* Un arreglo de dos transistores de este tipo daría $P_{1dB} = 24$ dBm.

Aunque potencialmente ambos tipos de transistores podrían cumplir el criterio de potencia, durante la etapa de pruebas y medición de CD los transistores del segundo tipo fallaron mientras se operaban dentro de los rangos permitidos y recomendados por el fabricante (ver apéndice A). Desgraciadamente presentaron un daño en el canal, el cual se muestra en la figura 15, para un V_{ds} de aproximadamente 4.5 volts, y un V_{gs} de 0 volts, correspondientes a una corriente I_{ds} de 200 mA.

Fruto de esta eventualidad, es necesario construir una base de pruebas para efectuar las mediciones del transistor alternativo restante, NEC 90075, ya que éste no es compatible con las bases que se tienen disponibles en el laboratorio de alta frecuencia del CICESE. La primera aproximación considera que el dispositivo de medición se medirá mediante una maquina con puntas de prueba coplanares. Las razones son que este tipo de aparato es el de mayor disponibilidad en el laboratorio, y que la alternativa de una base de pruebas coaxial, podría introducir mayores parasitancias comparativamente en casos óptimos.

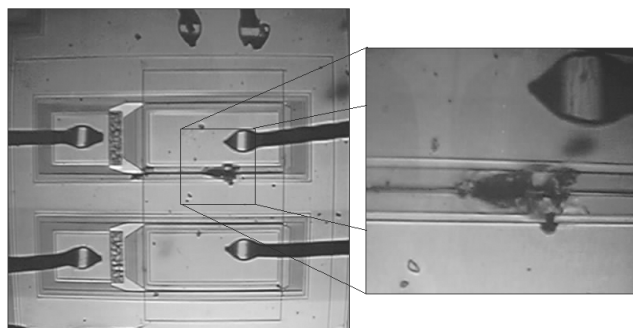


Figura 15. Daño en el canal presentado por uno de los transistores tipo NE69589 mientras operaba dentro de sus rangos recomendados (fotografía tomada una vez removido el encapsulado).

La base de pruebas tiene la función de permitir la inserción del transistor en el banco de mediciones, cuando el equipo y el elemento bajo prueba tienen conexiones incompatibles, de tal manera que el plano de medición se traslada de las terminales del transistor a las terminales de la base. Claramente, esto implica que las terminales externas de la base se adaptan al banco de medición, mientras que las internas lo hacen con el transistor. En el mejor de los casos se espera que los efectos agregados a las medidas por parte de la base sean despreciables. En otro caso es imprescindible caracterizar en primer término la base, además de determinar como se sustraerán los efectos parásitos añadidos a las mediciones.

III.2. Bases de pruebas del transistor.

III.2.a) Diseño, fabricación y caracterización de la base de pruebas coplanar-microcinta.

El transistor NE900275 está fabricado para que sus terminales se adapten con líneas de transmisión del tipo microcinta (ver apéndice B). Por otro lado, el banco de mediciones tiene terminaciones de tipo guía de onda coplanar, tanto para medir la potencia como para obtener los parámetros de dispersión. En consecuencia, se define que las transiciones de la base son de guía de onda coplanar a microcinta en la entrada, y de microcinta a guía de onda coplanar en la salida.

Tabla III. Datos del sustrato para la base de pruebas coplanar-microcinta.

Parámetro	Símbolo	Unidad	Magnitud
Permitividad eléctrica.	ϵ_r	—	10
Espesor del dieléctrico.	H	mm	0.635
Conductividad.	—	$S \cdot m^{-1}$	5.8×10^7 (Cu)
Espesor del conductor.	T	mm	0.018

Para elaborar la base de pruebas se emplea un sustrato especificado en la Tabla III. En el afán de que las transiciones sean graduales, se proponen cuatro fases de ensanchamiento del conductor central para la guía de coplanar y una fase de conversión del modo de propagación. La figura 16a y la Tabla IV describen la base diseñada con un hueco para el transistor cuyo ancho es de 3 mm, mientras que en la figura 16b se ilustra un circuito auxiliar en el cual el hueco del transistor se sustituye por una línea de transmisión continua.

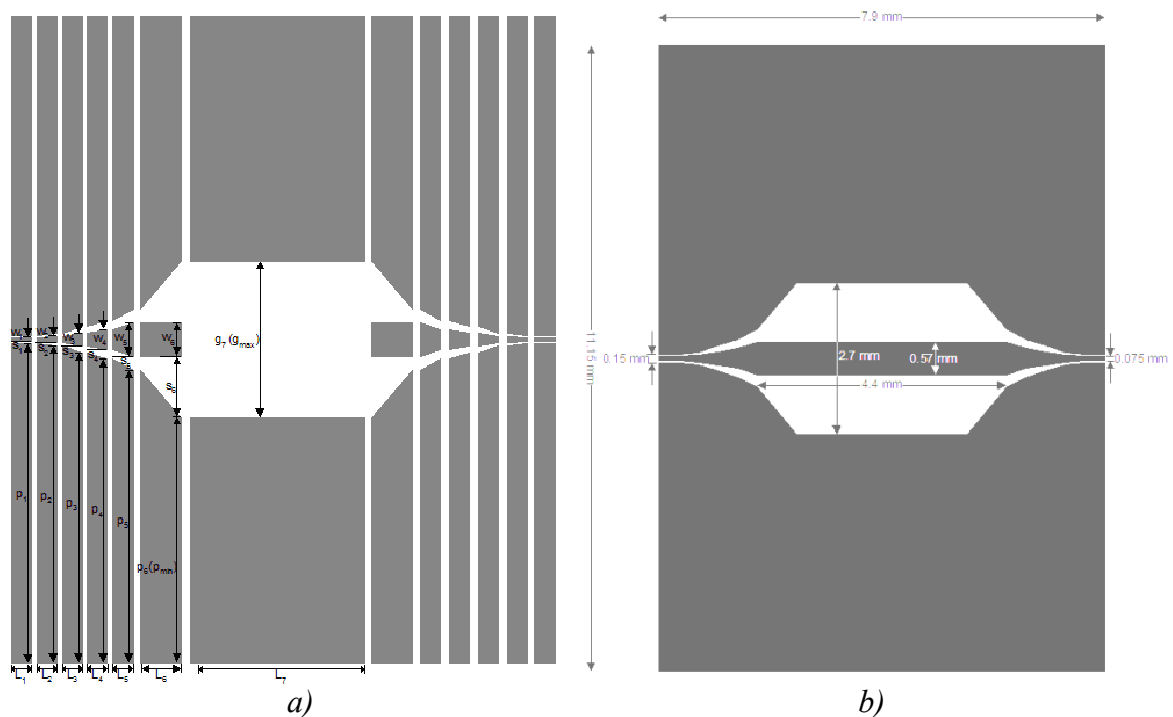


Figura 16. a) Base de pruebas con transiciones coplanar-microcinta y microcinta-coplanar. b) Circuito alterno con una línea ocupando el espacio del transistor.

Tabla IV. Dimensiones de la base coplanar-microcinta-coplanar diseñada.

Etapas	Separación conductor central-plano de tierra, s (mm)	Ancho del conductor central, w (mm)	Separación entre planos de tierra, $g=\{2s + w\}$ (mm).	Ancho del plano de tierra p (mm)	Longitud física, L (mm)
# 1	0.0375	0.075	0.150	5.5000	0.35
# 2	0.0550	0.115	0.225	5.4625	0.35
# 3	0.1100	0.230	0.450	5.3500	0.35
# 4	0.1615	0.352	0.675	5.2375	0.35
# 5	0.0240	0.570	1.050	5.0500	0.35
# 6	1.0650	0.570	2.700	4.2250	0.70
# 7	-	-	2.700	4.2250	3.00
# 8	1.0650	0.570	2.700	4.2250	0.70
# 9	0.2400	0.570	1.050	5.0500	0.35
# 10	0.1615	0.352	0.675	5.2375	0.35
# 11	0.1100	0.230	0.450	5.3500	0.35
# 12	0.0550	0.115	0.225	5.4625	0.35
# 13	0.0375	0.075	0.150	5.5000	0.35

El circuito auxiliar que se pretende fabricar tiene dos objetivos: el primero consiste en observar que tan gradual es el desempeño de las transiciones, lo cual se indica por los posibles cambios de impedancia que se midan. El segundo motivo es poseer un auxiliar en la caracterización de la base en caso de que aparezca la necesidad de hacerlo por desviaciones en las dimensiones, que pueden ocurrir como resultado de los errores inherentes al proceso de fabricación.

El proceso de fabricación de esta base de pruebas, y más tarde del amplificador, está detallado en el Apéndice C, y consta de dos partes principales: la producción de la mascarilla de contacto, y la transferencia de la configuración física al sustrato.

Los circuitos construidos mostrados en la figura 17, se midieron con ayuda de un microscopio con escala micrométrica. Se observan dos fenómenos de desviación con respecto del diseño: en primera instancia, al contrario de lo propuesto, las etapas de entrada y de salida no son exactamente iguales. En segundo lugar, existe una diferencia de las dimensiones resultantes respecto de los datos de diseño.

Ambas fallas ya se esperaban, puesto que son errores sistemáticos inherentes al proceso de fabricación cuando se manejan dimensiones micrométricas.

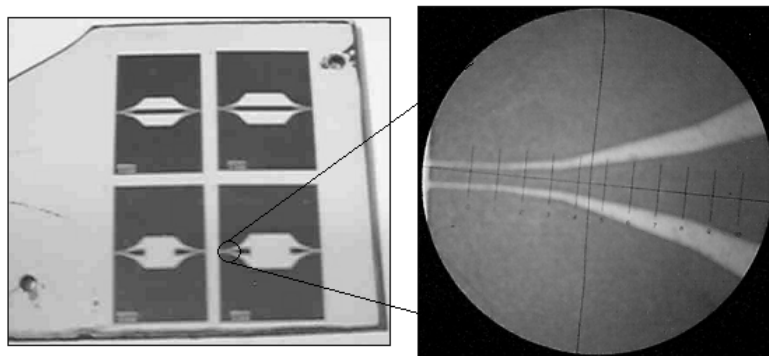


Figura 17. Fotografía de las bases de prueba fabricadas, y acercamiento con el microscopio que se uso para medir las dimensiones de las etapas de transición.

Para resolver el problema de aterrizar el conductor inferior se propone la metalización de los bordes del sustrato, conectando así los extremos de los planos de tierra laterales con el conductor que se encuentra debajo de la base como se ilustra en la figura 18. Entonces, surge una interrogante sobre si las etapas coplanares, cuyo diseño no contempla un plano de tierra inferior, cambian su comportamiento al metalizar los bordes de la base.

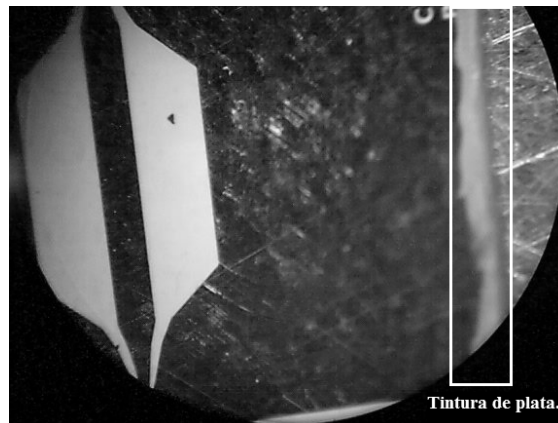


Figura 18. Fotografía que ilustra la metalización que aterriza el conductor inferior.

Hay indicios [Ghione y Naldi, 1987; Tien *et al*, 1993] de que la desviación de 50Ω producida por el plano de tierra inferior, en una guía de onda diseñada sin considerar este plano, es de muy pocos ohms y se puede despreciar, para un espesor del dieléctrico (H), mayor a $3s$ (donde s es la separación entre el conductor central y el plano de tierra lateral). Para la base diseñada, la Tabla V muestra que esta proporción se guarda en las etapas coplanares.

En la figura 19 se puede apreciar la respuesta del circuito auxiliar alrededor de la frecuencia de diseño es adecuada, y se puede definir el proceso de desmontado de los efectos parásitos como sigue. Considerando al circuito como una línea no reflectora formada por dos transiciones aproximadamente iguales y un segmento de línea del mismo

largo que el transistor, la longitud del circuito es (ver Tabla IV):

$$L_{\text{Total}} = 2(L_{\text{Transición}}) + L_{\text{Línea}} = 2(0.358 \times 5 + 0.716) + 3.265 \text{ (mm)} = 8.277 \text{ (mm)}$$

Tabla V. Distancia del conductor central al plano de tierra lateral, referida al espesor del dieléctrico (0.635 mm), para las etapas coplanares de la base de pruebas fabricada.

Etapas	s (mm)	$\approx H/s$ (-)	¿Criterio de [65, 66] para un efecto mínimo del plano de tierra inferior ($\approx H/s \geq 3$)?
1	0.052	12	Sí
2	0.064	10	
3	0.124	5	
4	0.183	4	
5	0.255	3	
9	0.255	3	
10	0.178	4	
11	0.120	5	
12	0.061	10	
13	0.053	12	

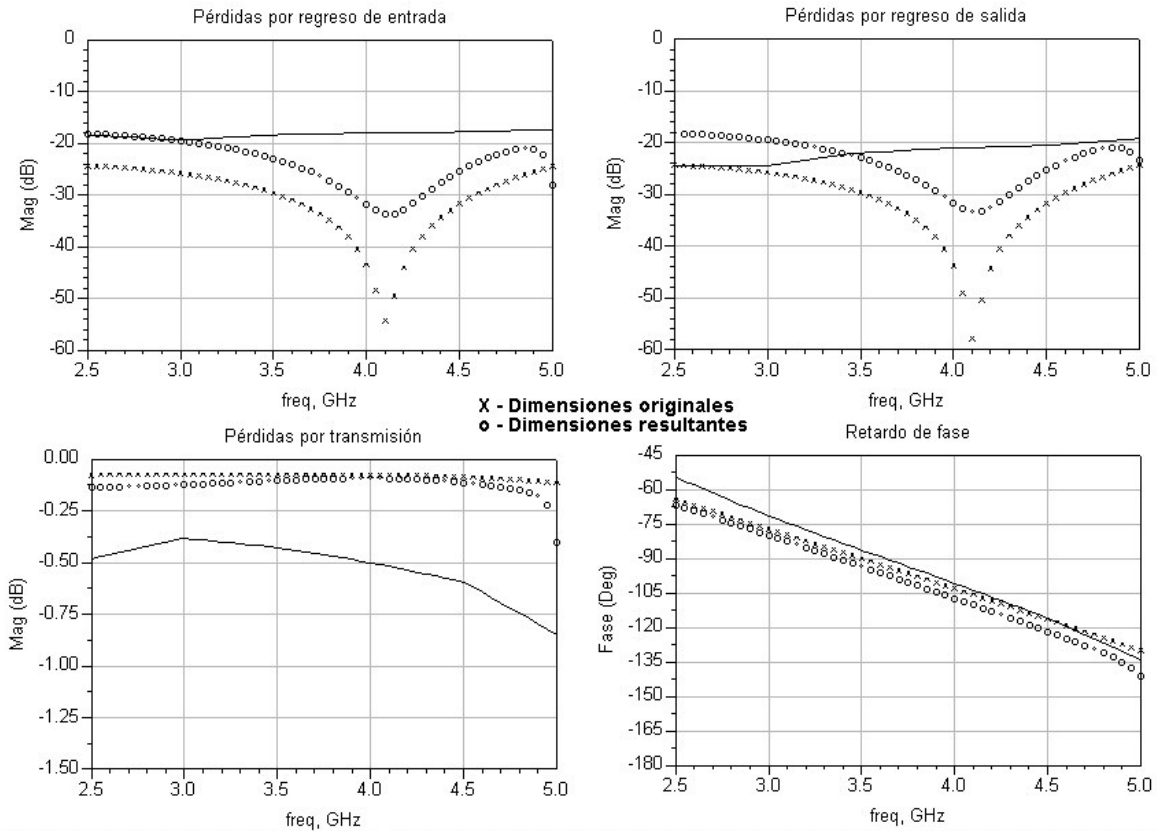


Figura 19. Medición del circuito auxiliar con el plano inferior aterrizado (-), en la banda de comportamiento óptimo, y comparación con la simulaciones previas (x) y (o).

Entonces, el Factor de Proporción de Longitud de las Transiciones (FPLT) se da por:

$$\text{FPLT} = 2(L_{\text{Transición}}) / L_{\text{Total}} = 2(0.358 \cdot 5 + 0.716) / 8.277 = 0.6055$$

Si se admite que las pérdidas por inserción, así como el desplazamiento de fase, son proporcionales a la longitud, entonces el coeficiente de transmisión de cada transición es:

$$S_{12,21\text{-Transición}} = \sqrt{|S_{12\text{-Total}}|^{\text{FPLT}}} e^{j \frac{\angle S_{12\text{-Total}}(\text{FPLT})}{2}} \quad (1)$$

Así que, el retardo eléctrico de cada transición, T_t , se da por la siguiente ecuación ilustrada en la figura 20:

$$T_t (\text{ps}) = 0.36 \cdot (\theta_{21,12\text{-Transición}}(^{\circ})) \cdot f(\text{GHz}); \quad (2)$$

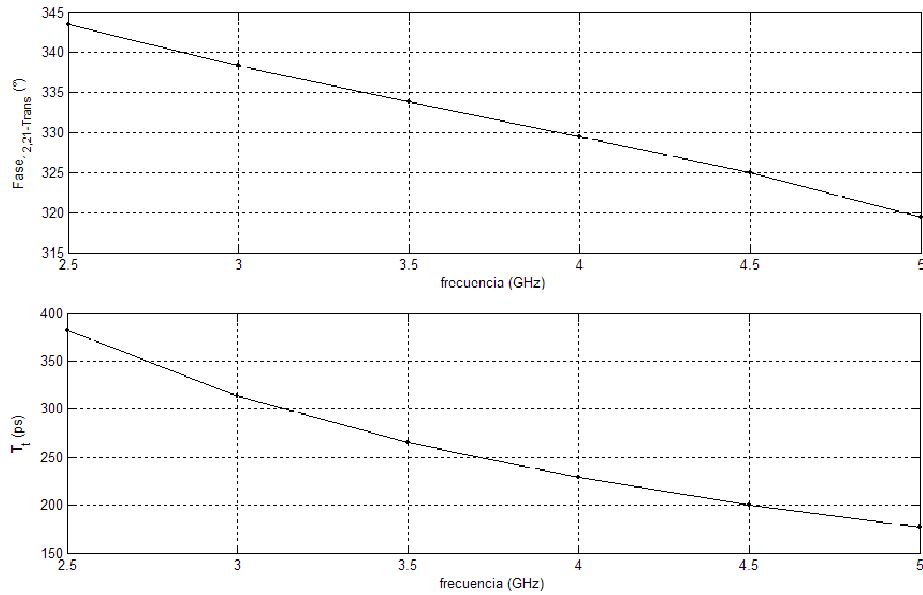


Figura 20. Desplazamiento de fase de cada transición, y retardo eléctrico según la ec. (2).

Finalmente, bajo las consideraciones hechas, el “de-embedding” respectivo se da por:

$$\begin{bmatrix} S_{11\text{DUT}} & S_{12\text{DUT}} \\ S_{21\text{DUT}} & S_{22\text{DUT}} \end{bmatrix} = \begin{bmatrix} S_{11\text{MEAS}} & S_{12\text{MEAS}} \\ S_{21\text{MEAS}} & S_{22\text{MEAS}} \end{bmatrix} e^{j\omega 2T_t} \quad (3)$$

No obstante la aparente corrección del proceso descrito para remover los efectos parásitos de la base, el resultado del “de-embedding” ilustrado en la figura 21, no es

satisfactorio (por ejemplo, S_{11} en baja frecuencia típicamente está en un cuadrante diferente de la carta polar y no suele ser mayor que 1).

Una causa probable es que las transiciones no puedan considerarse como no-reflectoras, dados los ineludibles errores de fabricación en la anchura de las líneas y los espaciamentos. Una razón adicional posible es que la línea de $50\ \Omega$ del circuito auxiliar, junto con las transiciones de la base de pruebas, presenten más pérdidas de las previstas. Finalmente, el hecho de que las transiciones del circuito auxiliar difieran de las transiciones en la base puede estar produciendo un proceso de “de-embedding” desviado. Para aplicar un proceso mejor, sería necesario construir circuitos adicionales (transiciones en corto), y realizar más mediciones (remover el transistor y realizar las medidas de las transiciones en abierto, y mediciones de las transiciones en corto).

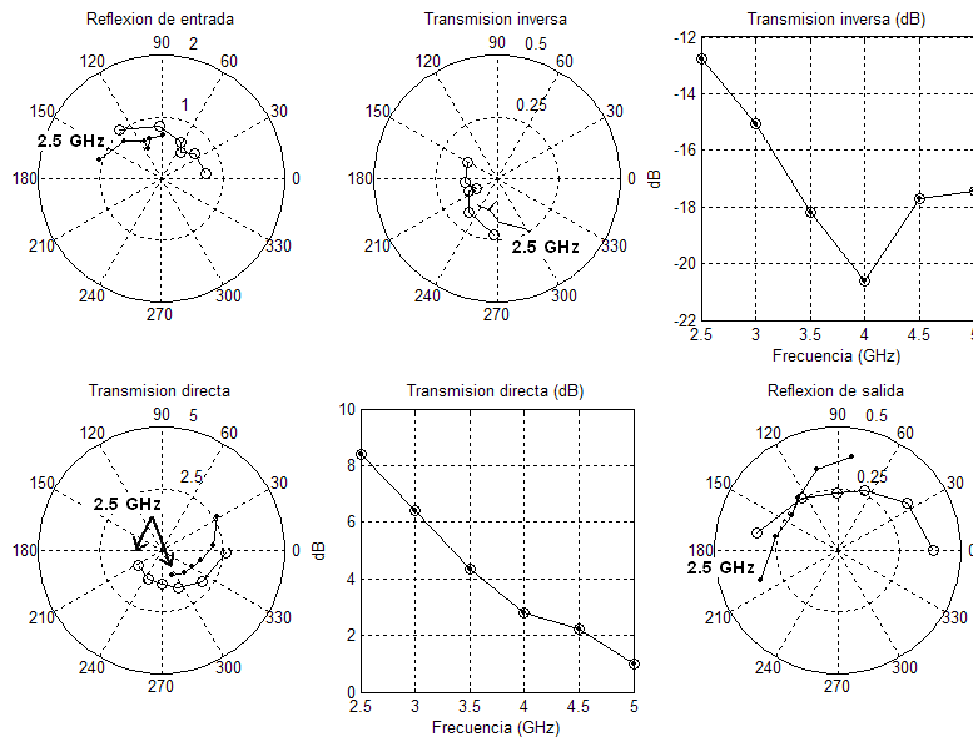


Figura 21. Resultado del "de-embedding" descrito (o), para los parámetros S medidos con la base de pruebas coplanar-microcinta-coplanar en $V_{ds}=1\text{ V}$ e $I_{ds}=180\text{ mA}$ (.).

En vista de la conclusión desfavorable del “de-embedding” para la base de pruebas coplanar-microcinta-coplanar, a continuación se procede a diseñar una base de pruebas alternativa. Puesto que el conocimiento de los parámetros S correspondientes al transistor debe ser preciso para obtener un modelo correcto que permita realizar un diseño válido.

III.2.d) Diseño y simulación de la base de pruebas coaxial-microcinta-coaxial.

Una base de pruebas alternativa se diseñó para acoplarse directamente con las terminales del equipo de medición sin utilizar la máquina de puntas, lo cual implica que se requirió de conectores coaxiales, que son el tipo de puertos que posee la mayoría de los instrumentos de medición. Los conectores se empalmaron con líneas de $50\ \Omega$ de acceso al transistor.

El conductor inferior del sustrato se soldó al plano de tierra del conector coaxial, formando el plano de tierra inferior para el modo de propagación de la microcinta. Las terminales de fuente del transistor se conectaron al plano de tierra inferior a través de orificios metalizados en el sustrato, realizados con postes de cobre y soldadura de estaño.

Para depurar las transiciones coaxial-microcinta y microcinta-coaxial, se emplearon datos de los diferentes sustratos de fabricación disponibles, descritos en la Tabla VI, con el fin de determinar el sustrato óptimo para el diseño. Las recomendaciones usadas como criterios son:

1. La interfaz dieléctrica en la transición debe ser lo más transparente posible, es decir, debe procurarse que el sustrato y el conector coaxial tengan constantes de permitividad eléctrica afines.

2. La interfaz metálica en la transición también debe ser lo más transparente posible, o sea, el ancho del conductor central del conector deberá coincidir, tanto como sea viable, con el ancho de la línea de 50Ω en microcinta para el sustrato elegido. Así, sólo es necesario soldar para hacer contacto, y para convertir el perfil cilíndrico del conductor coaxial al perfil rectangular de la línea en el sustrato, como se muestra en la figura 22.
3. Para minimizar las pérdidas de la base, se debe evitar que las líneas de acceso agreguen pérdidas por transmisión adicionales a las de los conectores, lo cual se puede lograr si se procura que el conductor superior del sustrato sea lo más espeso posible.

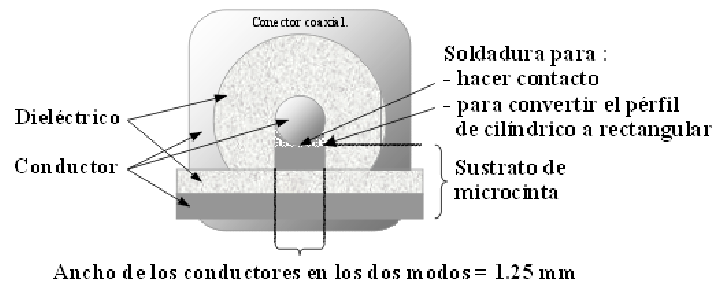


Figura 22. Perfil metálico óptimo de la transición coaxial-microcinta.

Tabla VI. Datos de los sustratos disponibles, (destacando el óptimo según los criterios).

Datos de los sustratos disponibles.						
Constante dieléctrica relativa ϵ_r	¿≈Criterio 1?	Espesor del dieléctrico h (mm)	Espesor del conductor t (mm)	¿≈Criterio 2?	Ancho de la línea de 50Ω w (mm)	¿≈Criterio 3?
6.15	X	0.635	0.018	X	0.9097	✓
6	X	0.635	0.036	✓	0.9129	✓
4	X	0.203	0.036	✓	0.3870	X
3	✓	0.254	0.018	X	0.6189	X
2.95	✓	0.508	0.036	✓	1.249	✓
2.2	✓	0.635	0.018	X	1.939	X

Las terminaciones coaxiales que se adquirieron son de bajas pérdidas por transmisión, poseen conectores tipo “SMA”, y sus características se detallan en la figura 22, y en la

Tabla VII. Con los datos del sustrato elegido, marca Taconic® y modelo TLC-30-0200 (ver Tabla VI), se diseñaron dos líneas de microcinta de 50Ω , cuyo ancho corresponde a 1.25 mm, y con 4 mm de longitud, suficientes para soldar el conector por un lado y el transistor por el otro.

Tabla VII. Datos de los conectores coaxiales disponibles.

Datos del conector coaxial.			
Diámetro exterior, D (mm)	Diámetro interior, d (mm)	Constante dieléctrica relativa ϵ_r	Ancho del plano de tierra (mm)
4.2	1.25	2.1	12.8

La base de pruebas tiene un hueco de 3 mm para colocar el transistor entre las dos líneas, lo cual significa que tiene 11 mm de largo total. El ancho de la base se diseñó para que el plano de tierra inferior coincidiera con el plano de tierra del conector coaxial, haciendo esta dimensión de 12.8 mm.

La base fabricada y el circuito auxiliar (sin el hueco para el transistor) se ilustran en la figura 23, mientras que sus simulaciones en un programa de análisis electromagnético basado en el método de momentos, denominado Momentum®, se muestran en las figuras 24 y 25. Se puede apreciar en la figura 24 la linealidad de la fase de ambos puertos (S_{11} y S_{22}) incluyendo el efecto de borde “fringing” de los extremos internos abiertos.

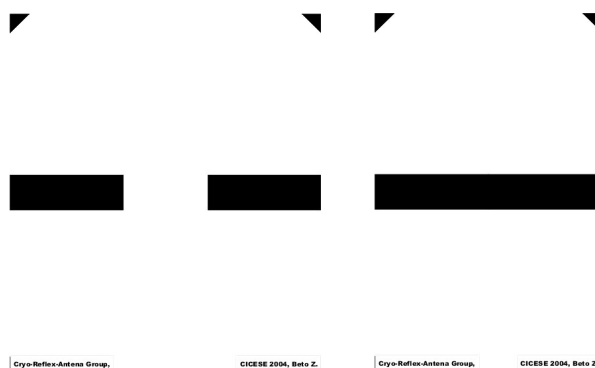


Figura 23. Base de pruebas coaxial-microcinta-coaxial diseñada y circuito auxiliar.

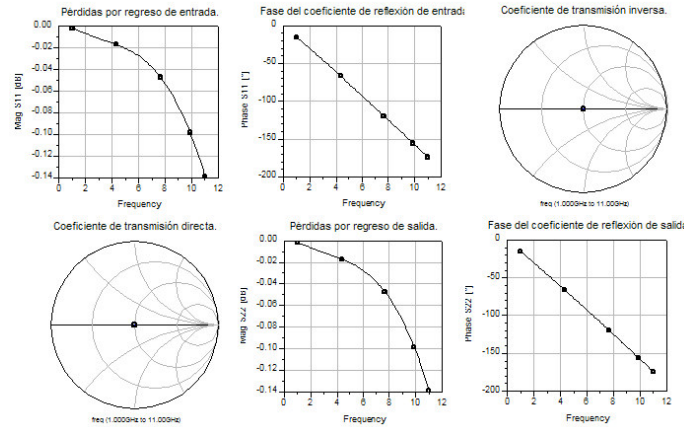


Figura 24. Simulación del retraso de fase de la base de pruebas coaxial-microcinta-coaxial diseñada, incluyendo el efecto de borde en los extremos internos.

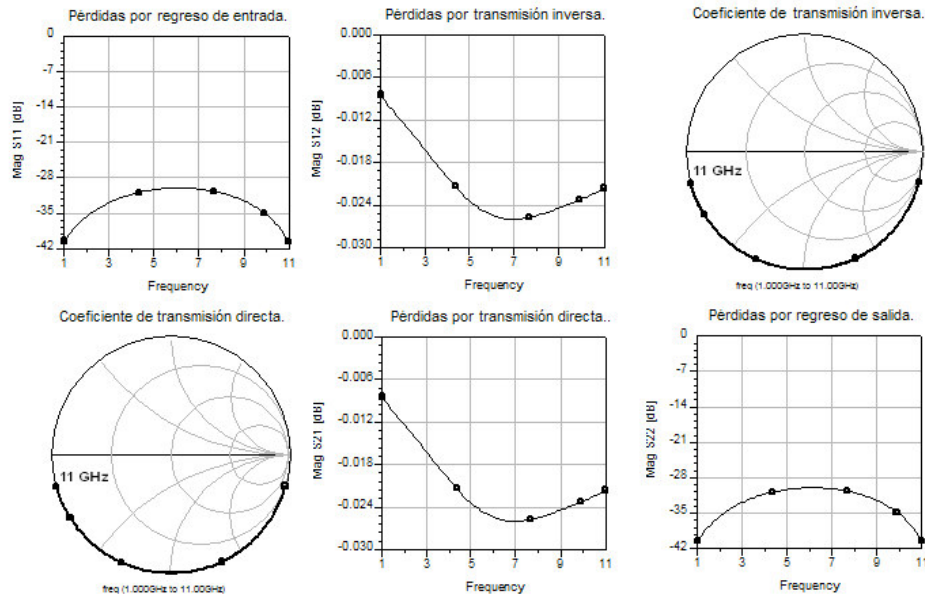


Figura 25. Simulación del circuito auxiliar diseñado para la base coaxial-microcinta-coaxial.

III.2.e) Construcción y caracterización de la base de pruebas coaxial-microcinta-coaxial.

Siguiendo el mismo procedimiento de construcción que para la base anterior (ver Apéndice C), se obtuvieron líneas con ancho de 1.27 mm, que corresponden a 49.5Ω . Para caracterizar la base de pruebas se propusieron las mediciones siguientes:

1. Medición de los parámetros S para los conectores de entrada y salida en corto circuito, cuyo resultado se ilustra en la figura 26.
2. Medición de los parámetros S para la base sin transistores, terminación de circuito abierto, cuyo resultado se ilustra en la figura 27.

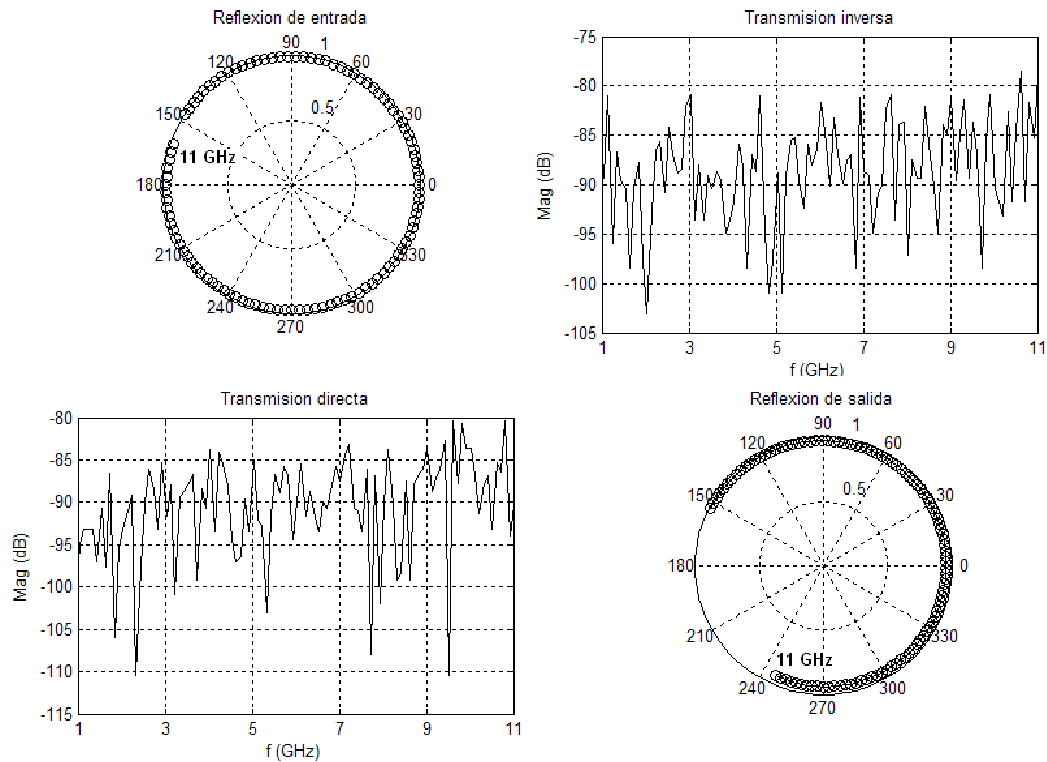


Figura 26. Parámetros S medidos de los conectores en corto.

3. Medición de los parámetros S del circuito auxiliar, línea de transmisión correspondiente a las dos líneas de acceso, cuyo resultado se ilustra en la figura 28.

Finalmente, el transistor se montó en la base de pruebas, como se ilustra en la figura 29. Se puede observar en la figura 28 que la base funciona con una buena adaptación de entrada y salida, $|S_{11,22}| < -14$ dB. Por tanto, para realizar el proceso de “de-embedding” sólo es necesario definir las pérdidas por transmisión y el retardo de las trayectorias de entrada (conector mas línea de acceso) y salida (línea de acceso mas conector).

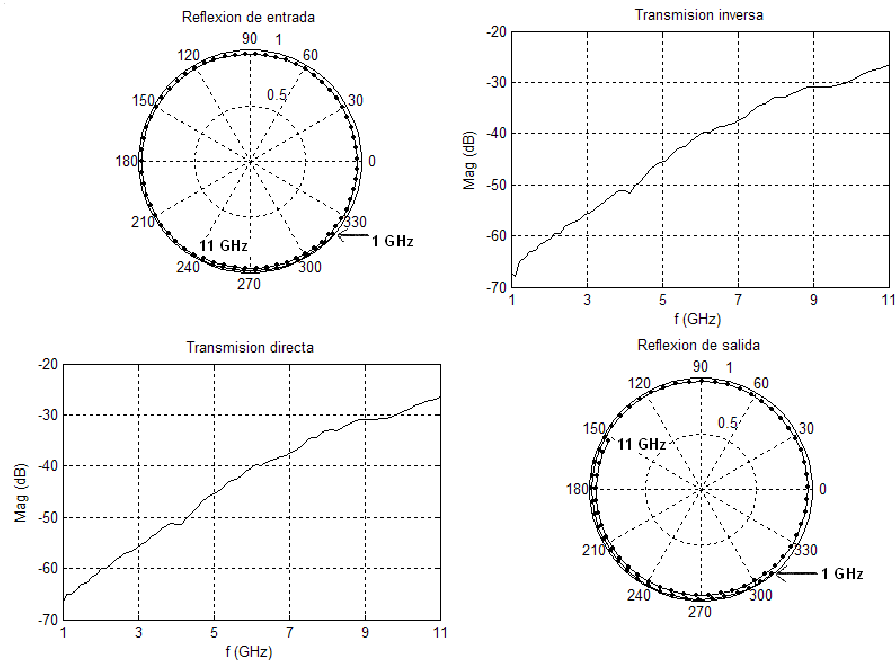


Figura 27. Parámetros S medidos de la base sin transistor, terminación de circuito abierto.

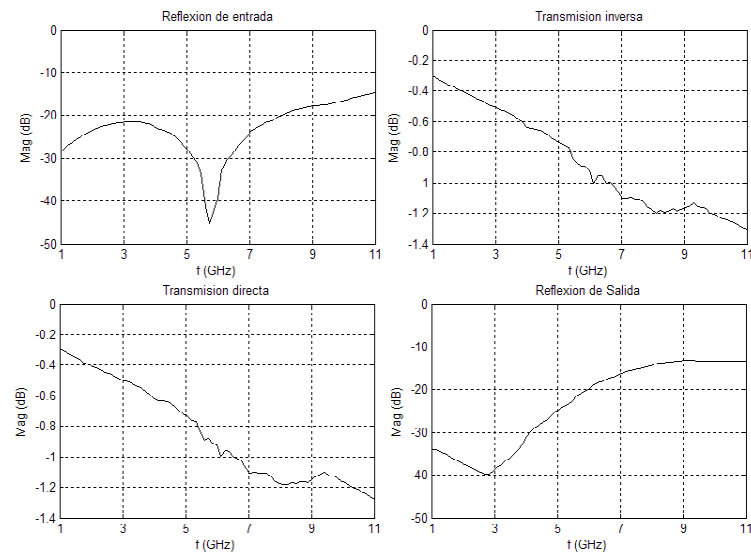


Figura 28. Parámetros S medidos para el circuito auxiliar (línea).

Se propone que se reciba el retardo de entrada a partir de la fase del coeficiente de reflexión de entrada para las mediciones de la base sin transistor (circuito abierto), y

similarmenre para la salida. Los resultados de dicho cálculo se presentan en la Tabla VIII. Las pérdidas se pueden obtener de las mismas mediciones, y además del circuito auxiliar (cuando las etapas previa y posterior al transistor no son de la misma longitud, es posible establecer una proporción y separar las pérdidas de entrada y de salida de la base).

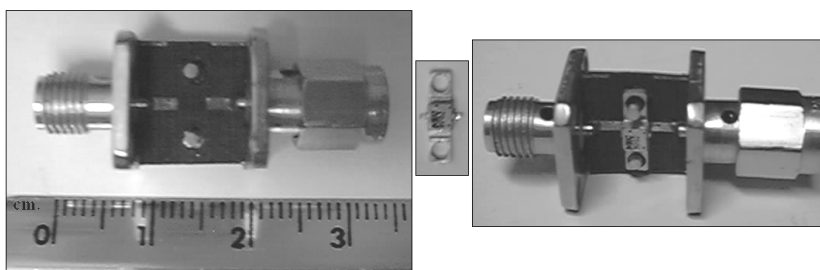


Figura 29. Fotografías de la base de pruebas coaxial-microcinta-coaxial fabricada, del transistor NE900275, y del montaje.

Para validar la extracción de estos parámetros de transmisión, se determinará la fase de los dos conectores (medidas de reflexión del corto), después la fase de cada conector con su línea de acceso (medidas de reflexión del abierto). La diferencia entre las dos cantidades mencionadas corresponderá con la fase de las líneas de acceso y deberá converger, como se muestra en la figura 30, con el desplazamiento de fase del circuito auxiliar simulado, que se integra precisamente con las dos líneas.

Tabla VIII. Tiempos de retardo eléctrico de la base de pruebas coaxial-microcinta-coaxial obtenidos de las mediciones de circuito abierto (base sin transistor).

Tiempo de retardo (conector + línea).	
Entrada	Salida
$T_{\text{delay-ent}}(\text{ps}) = \frac{1}{2} \frac{\theta_{11}^{\text{abierto}}(^{\circ})}{0.36 \cdot f(\text{GHz})} \approx 60.1444$	$T_{\text{delay-sal}}(\text{ps}) = \frac{1}{2} \frac{\theta_{22}^{\text{abierto}}(^{\circ})}{0.36 \cdot f(\text{GHz})} \approx 71.7867$

Dados los buenos resultados logrados del “de-embedding” para calcular los parámetros de transmisión, la figura 30 demuestra un error alrededor del 10%. Es posible definir el desplazamiento de fase de la entrada y de la salida de la base como sigue:

$$\theta_{ent,sal}^{Delay} = \frac{1}{2} \theta_{11,22}^{abierto} \quad (4)$$

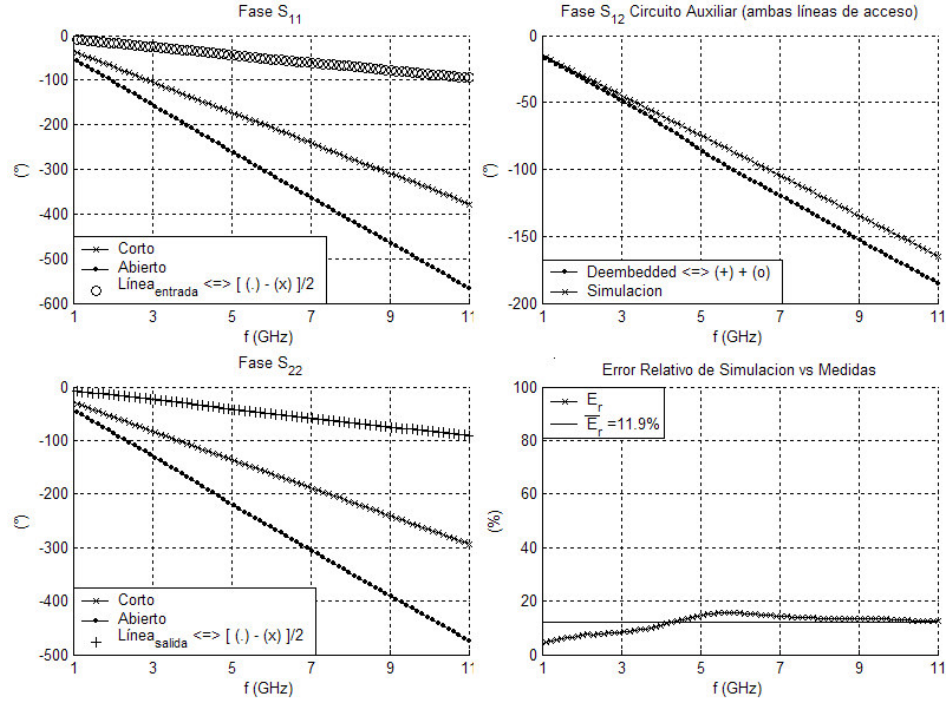


Figura 30. Validación del método para obtener los parámetros de transmisión de la base de pruebas coaxial-microcinta-coaxial.

Mientras que la magnitud del coeficiente de transmisión para la entrada y la salida de la base de pruebas se obtienen como sigue:

$$Mag_{ent,sal}^{Trans} = \frac{1}{2} S_{11,22}^{abierto} \quad (5)$$

Finalmente, el proceso “de-embedding” completo se da por:

$$\begin{bmatrix} S_{11}^{Deem} & S_{12}^{Deem} \\ S_{21}^{Deem} & S_{22}^{Deem} \end{bmatrix} = \begin{bmatrix} \frac{|S_{11}^{Meas}|}{2|Mag_{ent}^{Trans}|} e^{j(\angle S_{11}^{Meas} + 2\theta_{ent}^{Delay})} & \frac{|S_{12}^{Meas}|}{|Mag_{ent}^{Trans}| |Mag_{sal}^{Trans}|} e^{j(\angle S_{12}^{Meas} + \theta_{ent}^{Delay} + \theta_{sal}^{Delay})} \\ \frac{|S_{21}^{Meas}|}{|Mag_{ent}^{Trans}| |Mag_{sal}^{Trans}|} e^{j(\angle S_{21}^{Meas} + \theta_{ent}^{Delay} + \theta_{sal}^{Delay})} & \frac{|S_{22}^{Meas}|}{2|Mag_{sal}^{Trans}|} e^{j(\angle S_{22}^{Meas} + 2\theta_{sal}^{Delay})} \end{bmatrix} \quad (6)$$

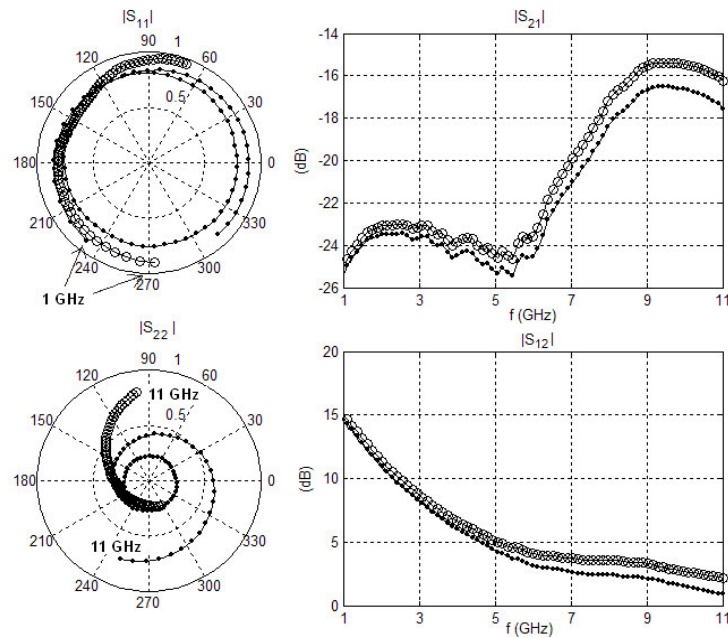


Figura 31. Parámetros S con el proceso descrito de de-embedding (o), vs. mediciones del transistor en 8 volts, 300 mA (.).

Luego de comprobar en la figura 31 que el “de-embedding” de los efectos correspondientes a la base de pruebas es adecuado, se ha concluido con la tarea de este apartado.

III.3. Bancos de medición.

Después de haber seleccionado el elemento no lineal, se procedió a diseñar la base de pruebas donde colocarlo. Una vez que la base se encuentra lista, es necesario considerar los bancos de medición donde ésta se agregará, los cuales son:

- Banco de medición de CD.
- Banco de medición de parámetros S .
- Banco de medición de potencia.

Con el objeto de facilitar el proceso de medición, y aprovechando que los diferentes equipos que se utilizarán comparten el protocolo GPIB, se emprendió la automatización por computadora de los diferentes bancos de medición [Anon1, 1992a; Anon2, 1992b; Anon3, 1994; Anon4, 2000a; Anon5, 2000b y Anon6, 2003], mediante el uso de rutinas de control escritas en MatLab®. Además de la simplificación de las mediciones, la automatización permite minimizar los errores humanos durante las mediciones y efectuarlas rápidamente.

III.3.a) Automatización del banco de medición de CD.

Para las mediciones en CD, el banco de medición ilustrado en la figura 32 consta de:

- La base de pruebas, correspondiente al apartado III.2.
- Circuitos de polarización propios del analizador de redes HP8510 (banda ancha).
- 2 fuentes de CD Agilent® modelo E3644A , una dual, y una normal.
- 2 multímetros de CD Agilent® modelo 34401A.

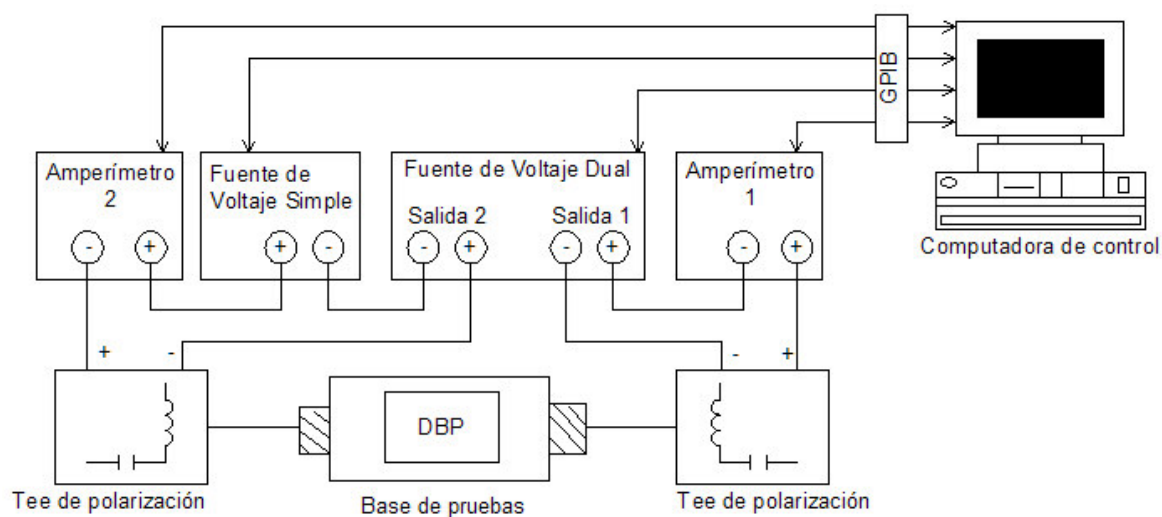


Figura 32. Banco de medición para CD.

El programa que controla los dispositivos de medición, cuenta con una interfase gráfica en donde se introducen los datos necesarios para generar las curvas V-I, ilustrada en la figura 33:

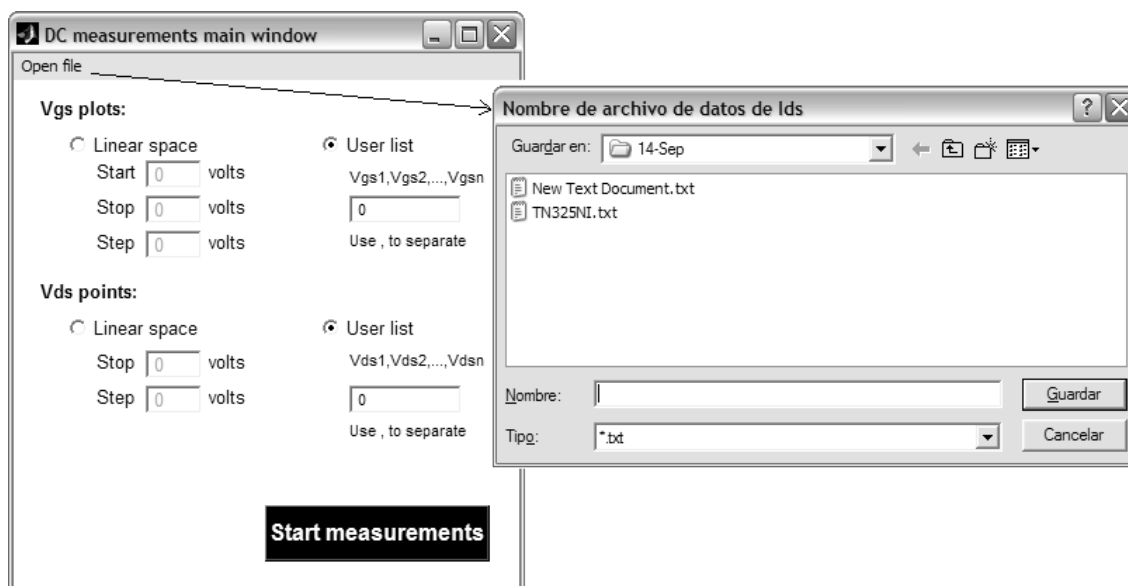


Figura 33. Interfase del programa de control para la medición en CD.

- Para un barrido lineal de V_{ds} los datos iniciales son: *incremento y valor final (valor inicial igual 0)*; mientras que para una lista de puntos son: V_{ds1} , V_{ds2} , ..., V_{dsn} .
- Para un barrido lineal de V_{gs} los datos iniciales son: *valor inicial, incremento y valor final (negativo o positivo)*; mientras que para una lista de puntos son: V_{gs1} , V_{gs2} , ..., V_{gsn} .

Después de efectuar las mediciones, los datos correspondientes a las curvas V_{ds} - I_{ds} y V_{ds} - I_{gs} se almacenan en archivos, cuyos nombres y rutas han sido requeridos previamente al usuario por la rutina de control. Asimismo, el programa despliega las curvas de g_m y g_{ds} , como se muestra en la figura 34, y entrega sus valores máximos y los puntos correspondientes en que ocurren. Incluso se puede realizar el proceso de desplegado y

cálculo para archivos con datos de mediciones anteriores, basándose en la ruta y el nombre de archivo como se ilustra en la figura 33.

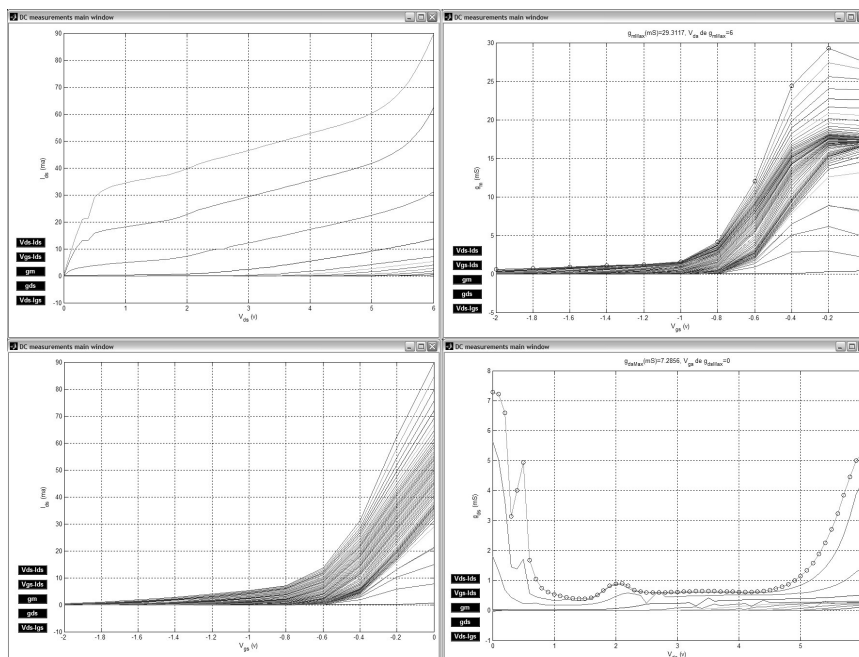


Figura 34. Despliegue de resultados del programa que controla las medidas en CD.

III.3.b) Automatización del banco de medición de potencia.

El banco de medición de potencia, dado en la figura 35, se integra principalmente por:

- La base de pruebas correspondiente al apartado III.2.,
- 2 circuitos de polarización Minicircuits, modelo 15542.
- 2 fuentes CD Agilent® modelo E3644A , una dual, y una normal.
- 2 multímetros de CD Agilent® modelo 34401A.
- 1 sintetizador de señal de microondas Hewlett-Packard®, modelo HP83620A.
- 1 analizador de espectro Rohde & Schwarz®, modelo FSP40.

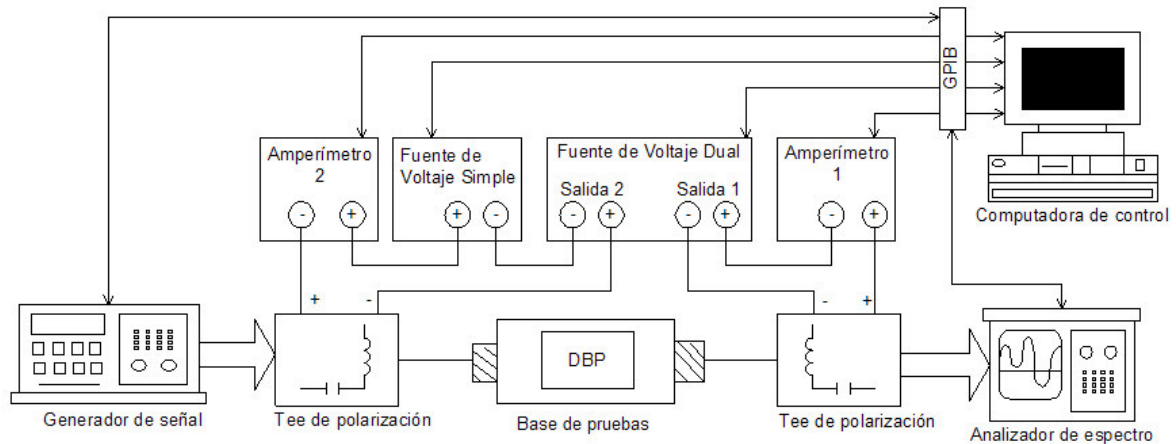


Figura 35. Banco de medición de potencia.

El programa que se implementó puede efectuar medidas de potencia de salida para un intervalo dado de potencias de entrada, con lo cual se determina la ganancia lineal y el primer punto de compresión de ganancia, P_{1dB} ; Estas mediciones se pueden hacer para una serie de polarizaciones y en diferentes frecuencias, como se puede ver en la figura 45.

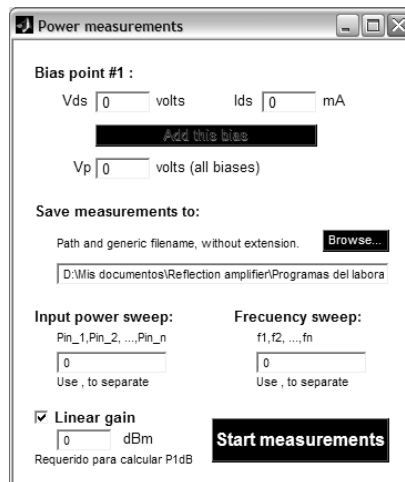


Figura 36. Interfase del programa de control para las medidas de potencia.

- Para la curva $P_{in}-P_{sal}$ y la ganancia lineal, se requieren los datos del barrido lineal en P_{in} : *valor inicial, incremento y valor final*; así como la ruta y nombre de un archivo para almacenar los datos obtenidos.

- Para determinar el P_{1dB} se requieren los valores para el barrido de potencia de entrada y la ganancia lineal.

III.3.c) Automatización del banco de medición para los parámetros S.

Para obtener los parámetros de dispersión el banco de medición se integra con:

- La base de pruebas correspondiente al apartado III.2.,
- Circuitos de polarización propios del analizador de redes HP8510 (banda ancha).
- 2 fuentes de CD Agilent® modelo E3644A, una dual y una normal.
- 2 multímetros de CD Agilent® modelo 34401A.
- 1 analizador de redes vectorial marca Hewlett-Packard®, modelo HP8510C.

El programa de medición realiza las medidas de parámetros S en polarización activa, en “frío” ($V_{ds}=0$), y con el canal del transistor ocluido (“*pinch-off*”), como lo muestra la interfase de la figura 37. Los últimos dos tipos de mediciones se utilizan en la caracterización de transistores.

- Para las mediciones en operación activa se piden los puntos de polarización de interés:

$V_{ds1}, I_{ds1}; V_{ds2}, I_{ds2}; \dots; V_{dsn}, I_{dsn}$; así como un nombre genérico para generar un archivo tipo Touchstone (.s2p) por cada medición.

- Para las mediciones en “frío” se requieren: *valor inicial, número de puntos y valor final*, para un barrido lineal de V_{gs} (valores positivos); o una lista de puntos: $V_{gs1}, V_{gs2}, \dots, V_{gsn}$; además de un nombre genérico para almacenar los datos leídos de cada polarización en un archivo tipo Touchstone.

- Para las medidas con el transistor bloqueado (*pinch-off*) se pide el *voltaje de bloqueo* del transistor. Además, el nombre y la ruta del archivo donde guardar los datos leídos.

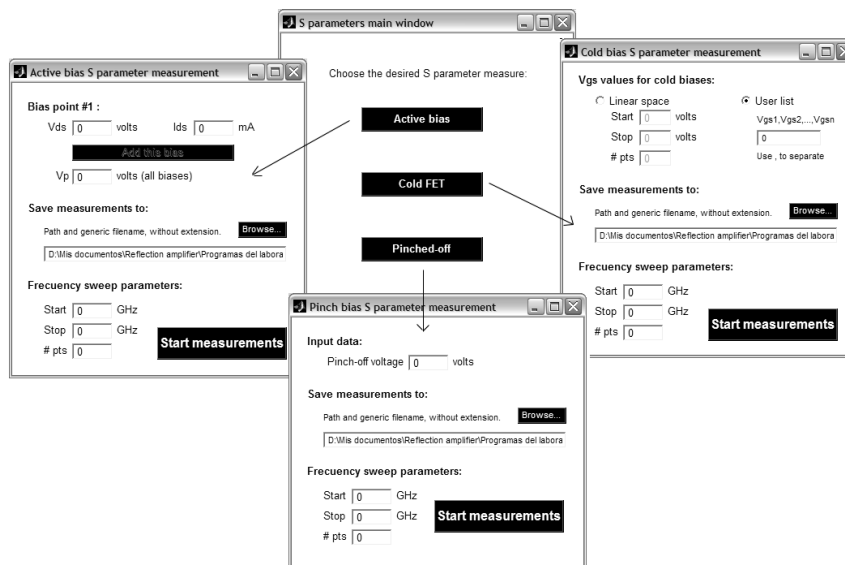


Figura 37. Interfase del programa de control para las medidas de parámetros S .

III.4. Mediciones realizadas del transistor.

La base de pruebas fabricada se colocó en cada banco de medición descrito y se midió el transistor con las rutinas de automatización. En primer lugar se realizaron medidas en CD, las cuales se muestran en la figura 38.

Para obtener los parámetros S en polarización activa, se propuso una serie de puntos de polarización. En primer lugar, una hipótesis de este trabajo es que el amplificador de reflexión puede operar con consumo bajo de potencia de CD [Venguer *et al*, 2002, 2004], considerando esto se realizaron medidas con $V_{ds} = 1$ volt, e $I_{ds} = 10, 50, 100$ y 150 mA, además se procuraron mediciones en $I_{ds} = 10$ mA para los otros puntos de V_{ds} posibles.

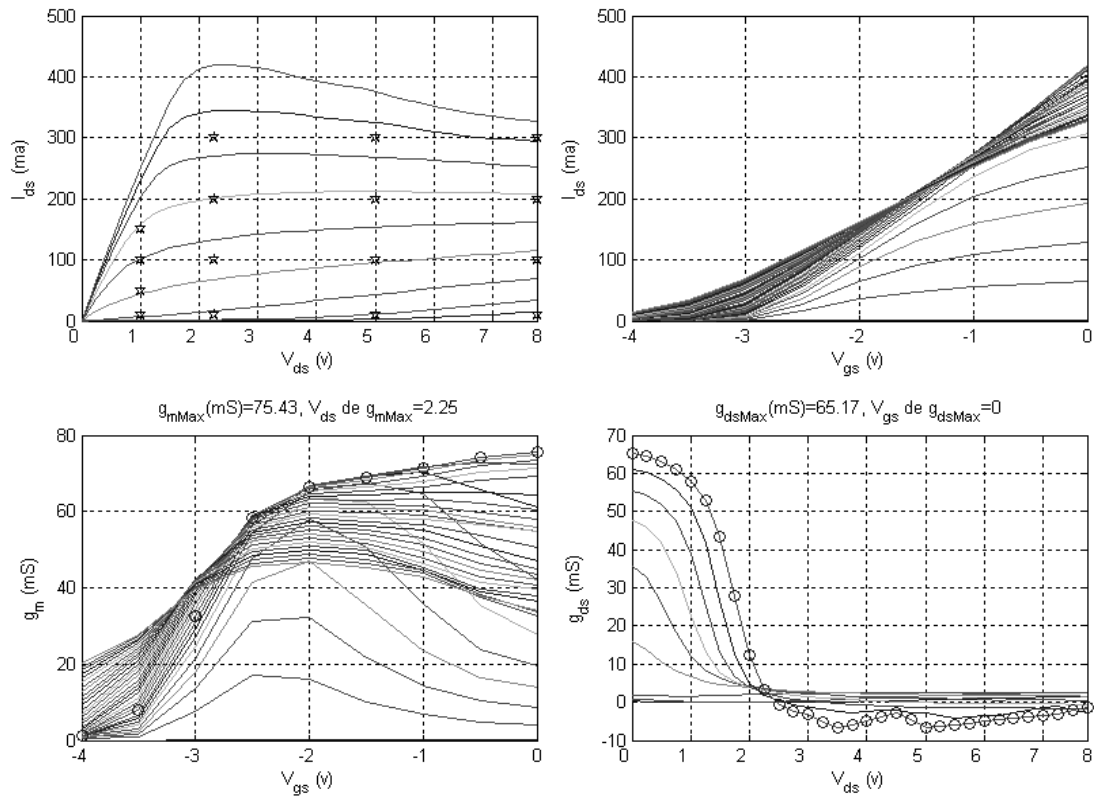


Figura 38. Características en CD medidas del transistor NE900275.

Por otro lado, en las medidas de CD se observó que se tiene la máxima transconductancia alrededor de $V_{ds} = 2.25$ V, por lo cual se consideró también este punto con $I_{ds} = 10, 100, 200$ y 300 mA. Una tercera alternativa viene de la hoja de datos del fabricante, donde se recomienda la operación en $V_{ds} = 8$ V para una P_{ldB} óptima, por tanto se agregaron polarizaciones en ese punto con las mismas corrientes que el caso anterior. Finalmente, para cubrir la zona de operación activa de manera más uniforme, se eligieron puntos con las mismas corrientes en $V_{ds} = 5$ V. La gráfica superior izquierda de la figura 38 ilustra, con marcadores tipo estrella, los puntos de polarización en los que se midieron los parámetros S en polarización activa, mientras que los resultados de las mediciones se muestran en las figuras 39 y 40.

Las mediciones en frío para $V_{ds} = 0$ v, se tomaron en 10 valores de V_{gs} positivos linealmente espaciados, correspondientes a $I_{gs} = \{1, 1.7, 2.7, 4, 5.5, 7.3, 9.2, 11.3, 13.4 \text{ y } 15.7\}$ mA, mostrando los resultados en la figura 40. Para la medición de parámetros S del transistor bloqueado, se consideró el punto de $V_{gs} = -8$ volts, que mantiene una $I_{ds} < 1$ mA para V_{ds} entre 0 y 5 v.

A todas las mediciones de parámetros S se les aplicó el proceso de “de-embedding” descrito en el apartado III.2.e) para eliminar los efectos de la base de pruebas.

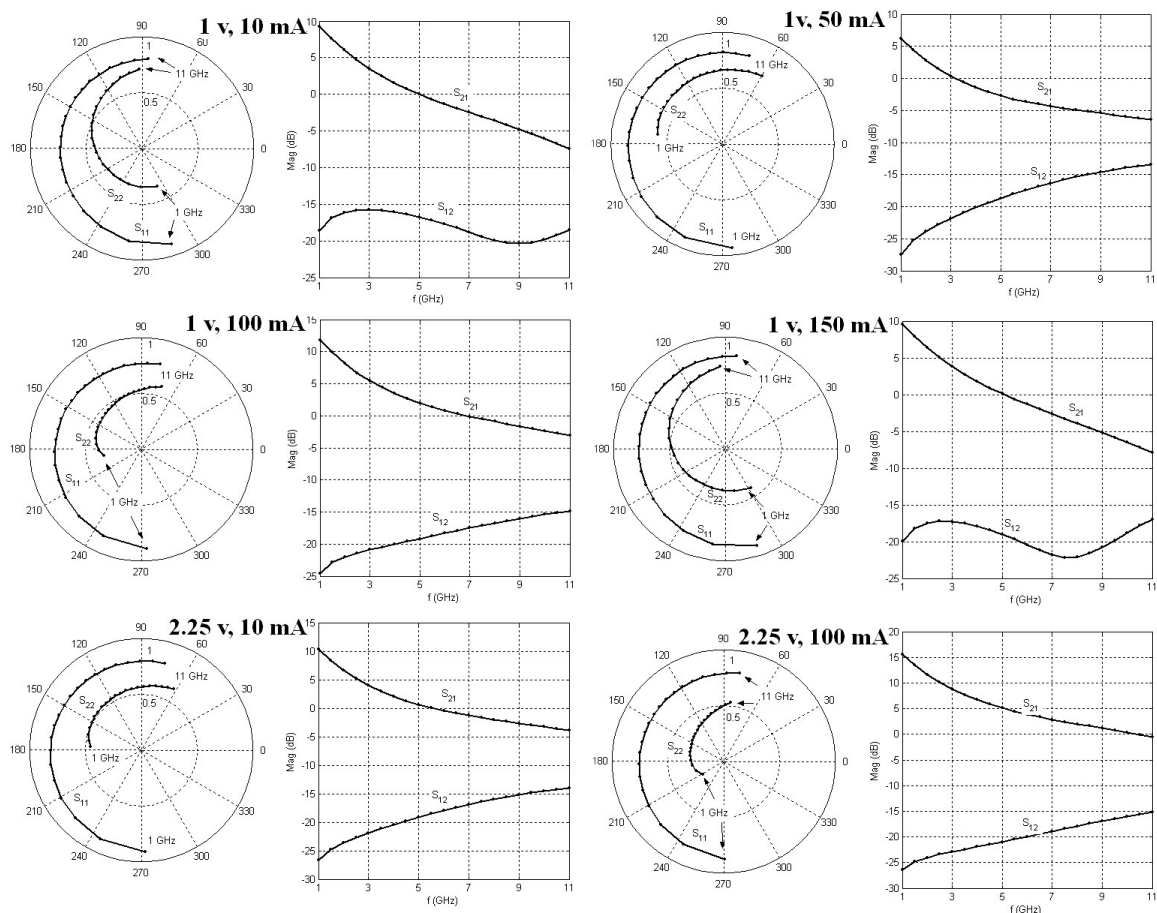


Figura 39. Parámetros S resultantes de aplicar el “de-embedding” a las mediciones (primeros 6 puntos de polarización activa).

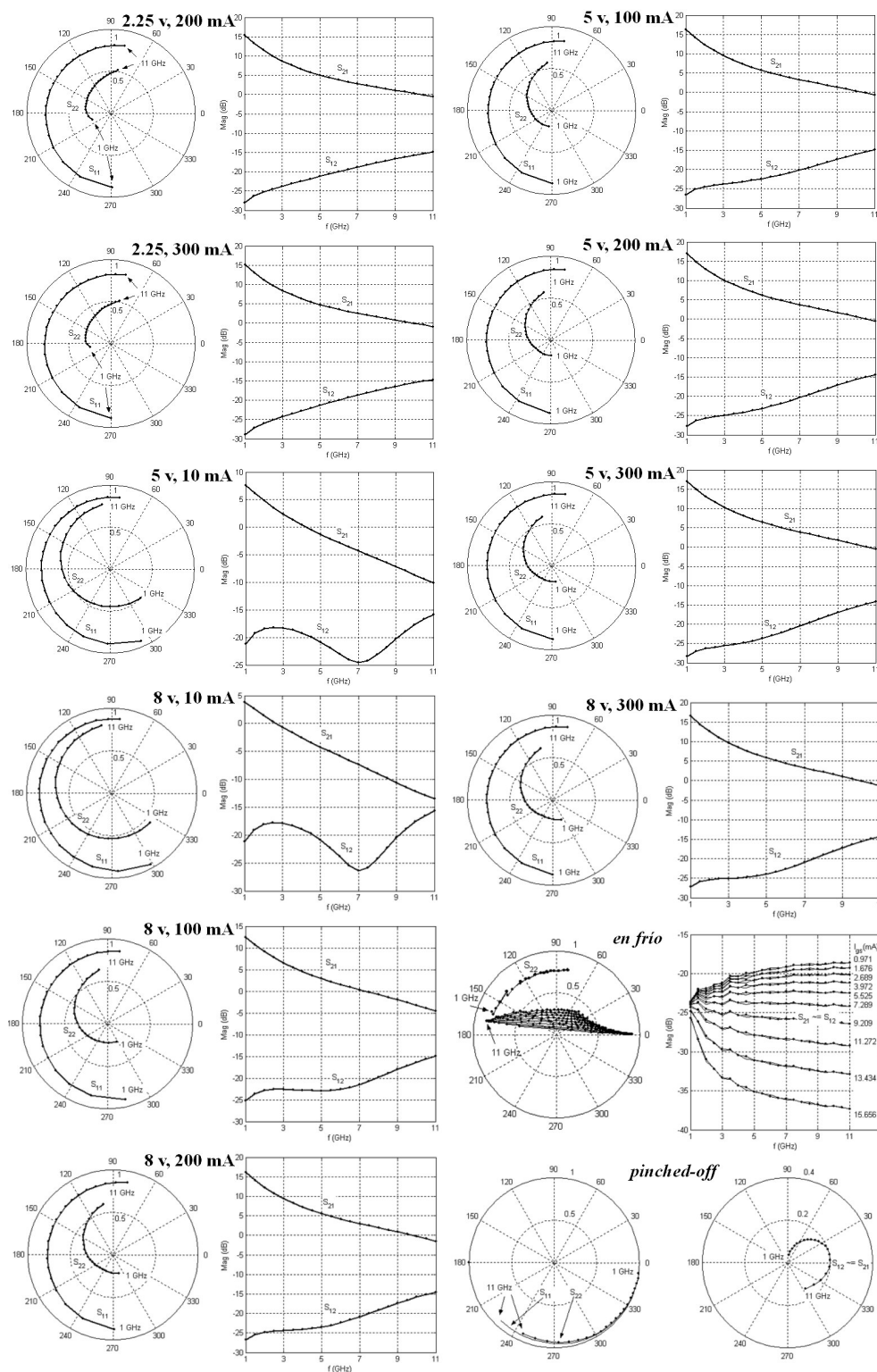


Figura 40. Parámetros S resultantes de aplicar el “de-embedding” a las mediciones (restantes 10 puntos de polarización acitva, medidas en frío y en “pinch-off”).

Las mediciones de potencia se realizaron a las frecuencias de 3.5, 4, 4.5, 9.5, 10 y 10.5 GHz y se reportan en las figuras 41 a 42. Para obtenerlas, fue indispensable cuantificar las pérdidas por transmisión entre el sintetizador y la base de pruebas (trayecto de entrada). Así como las pérdidas que existen entre la base de pruebas y el analizador de espectro (trayecto de salida). El banco de medición de potencia utiliza circuitos de polarización específicos (coaxial-coaxial), cuyos parámetros S medidos mostraron que están bien adaptados en sus dos puertos ($Z_0 \approx 50 \Omega$) en 3.5, 4, 4.5, 9.5 y 10 GHz, pero en 10.5 GHz las pérdidas por regreso de entrada son inaceptables (> -10 dB), razón por la cual no se tomaron en cuenta las mediciones de potencia en esa frecuencia.

Las pérdidas de transmisión de dichos circuitos se midieron en conjunto con los cables y conectores de acceso para los trayectos de entrada y salida en las frecuencias de interés, utilizando el mismo banco de medición de potencia y las rutinas de control. Dichas mediciones se utilizaron en conjunto con las pérdidas de la base (antes y después del transistor) para determinar las potencias de entrada y salida del elemento no-lineal. Las pérdidas de potencia antes de transistor, $Perd_{Ent}$, y después de este, $Perd_{Sal}$ que se determinaron se muestran en la Tabla IX.

Tabla IX. Pérdidas a la entrada y la salida del transistor para las medidas de potencia.

f (GHz)	Entrada (dB)			Salida (dB)		
	Circuito de polarización, cables y conectores.	Conector y línea de acceso de la base.	Total: $Perd_{Ent}$.	Circuito de polarización, cables y conectores.	Línea de acceso y conector de la base.	Total: $Perd_{Sal}$.
3.5	1.2159	0.0858	1.3017	1.6411	0.0853	1.7264
4	1.4453	0.1008	1.5461	2.0105	0.0959	2.1064
4.5	1.5989	0.1103	1.7092	2.1155	0.1044	2.2199
9.5	3.9019	0.2147	4.1166	5.8892	0.2141	6.1033
10	3.3312	0.2239	3.5551	4.0341	0.2357	4.2698

Las mediciones de potencia de salida se realizaron para niveles de entrada desde -30 dBm hasta $+15$ dBm (que es el límite superior de potencia que entrega la fuente).

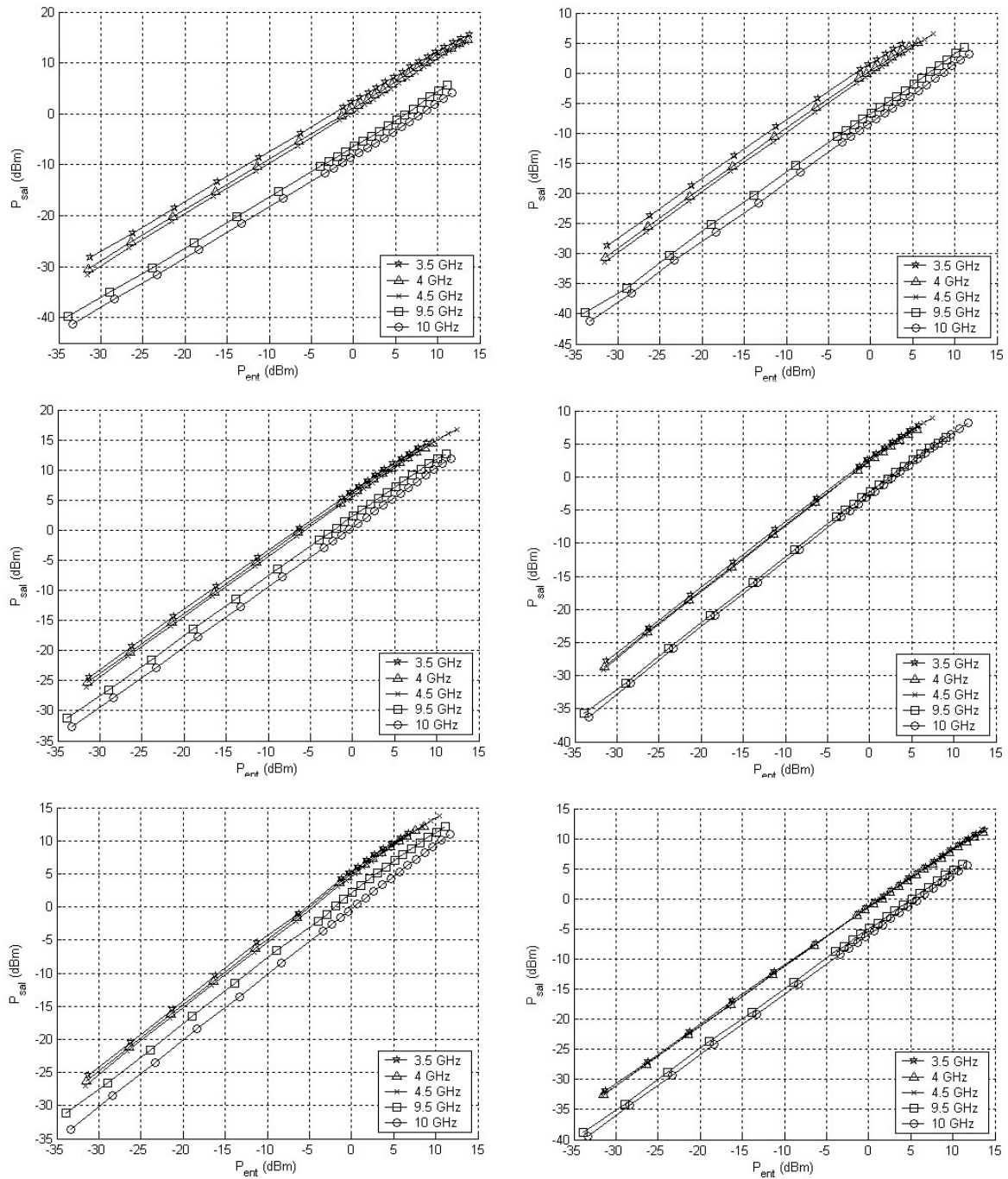


Figura 41. Manejo de potencia lineal medido para el transistor en (orden descendente) Izquierda: $V_{ds} = 2.25$ v, $I_{ds} = \{10, 100, 200\}$ mA. Derecha: $V_{ds} = 1$ v, $I_{ds} = \{10, 50, 100\}$ mA.

Los puntos de polarización fueron los mismos que en las medidas activas de parámetros S , exceptuando $\{1 \text{ v}, 150 \text{ mA}\}$, $\{8 \text{ v}, 10 \text{ mA}\}$, $\{2.25 \text{ v}, 300 \text{ mA}\}$ y $\{5 \text{ v}, 300 \text{ mA}\}$.

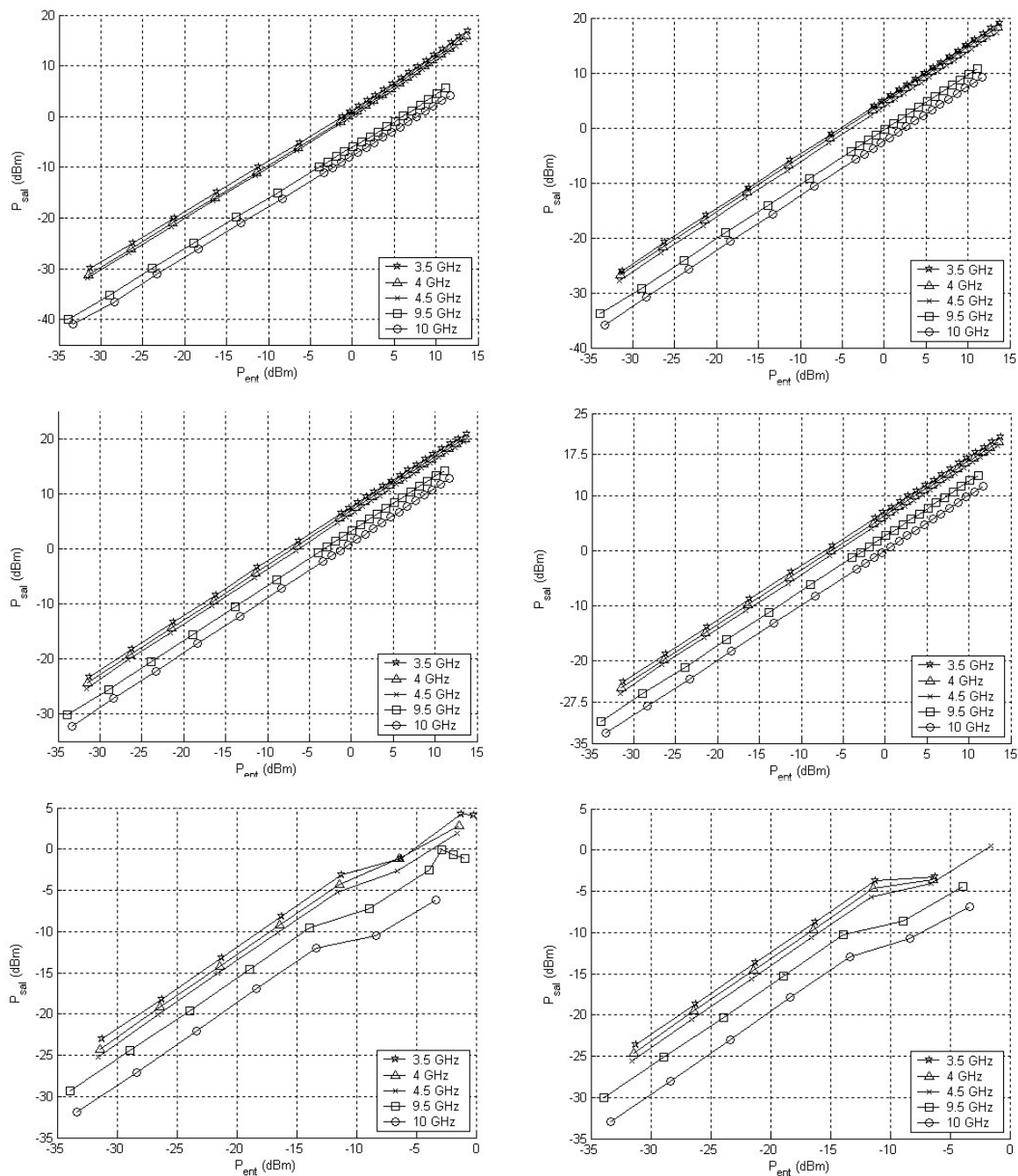


Figura 42. Manejo de potencia lineal medido para el transistor en (orden descendente) Izquierda: $V_{ds} = 5 \text{ v}$, $I_{ds} = \{10, 100, 200\} \text{ mA}$. Derecha: $V_{ds} = 8 \text{ v}$, $I_{ds} = \{50, 100, 200\} \text{ mA}$.

Los datos de compresión de ganancia, para determinar la potencia de salida máxima en operación lineal, así como la ganancia, en las diferentes frecuencias de medición se presentan en la Tabla X.

Tabla X. Resultados más importantes producidos por las mediciones de potencia, donde las cursivas que no se comprimió la ganancia 1 dB con +15 dBm de la fuente.

f (GHz)	P _{1dB} (dBm)	G _{lineal} (dB)	P _{in@P_{1dB}} (dBm)	Máxima compresión (dB)	Eficiencia de potencia agregada (%)	Eficiencia de potencia de drenaje (%)	V _{ds} (V), I _{ds} (mA)
3.5	4.81	2.22	3.70	4.93	6.80	30.24	{1, 10}
3.5	7.77	3.28	5.70	5.05	4.55	11.98	{1, 50}
4	7.25	2.95	5.45	5.04	3.59	10.61	
4.5	9.04	2.78	7.29	3.54	5.33	16.05	
3.5	> 15.59	2.59	> 13.70	0.67	56.90	161.05	{2.25, 10}
4	> 14.79	1.34	> 13.45	0.15	32.40	130.85	
3.5	14.47	6.81	8.70	2.98	9.14	12.44	{2.25, 100}
4	14.61	6.27	9.45	2.70	8.94	12.85	
4.5	16.85	5.79	12.29	1.57	14.01	21.54	
9.5	> 12.96	2.75	> 10.88	0.68	3.34	8.79	
3.5	11.20	5.55	6.70	3.13	1.89	2.93	{2.25, 200}
4	12.30	5.14	8.45	2.86	2.22	3.77	
4.5	13.83	4.70	10.29	1.99	2.99	5.37	
9.5	12.33	2.61	10.88	1.16	1.07	3.80	
3.5	> 20.91	7.85	> 13.70	0.63	19.98	24.66	{5, 100}
4	> 20.10	7.21	> 13.45	0.57	16.02	20.45	
4.5	> 19.53	6.53	> 13.29	0.29	13.67	17.94	
9.5	> 14.49	3.61	> 10.88	0.01	3.17	5.62	
10	> 12.96	1.54	> 11.44	0.02	1.17	3.96	
3.5	4.24	6.08	-0.30	1.86	0.17	0.27	{5, 200}
4	2.93	6.08	-1.55	1.56	0.13	0.20	
4.5	1.96	4.82	-1.71	1.48	0.09	0.16	
9.5	-0.94	2.61	-1.12	1.23	0.00	0.08	
3.5	> 19.20	5.33	> 13.70	-0.18	7.47	10.40	{8, 100}
4	> 18.47	4.91	> 13.45	-0.11	6.03	8.80	
4.5	> 17.46	4.01	> 13.29	-0.17	4.30	6.97	
3.5	> 20.86	7.37	> 13.70	0.21	6.15	7.61	{8, 200}
4	> 19.93	6.68	> 13.45	0.21	4.76	6.14	
4.5	> 19.18	5.94	> 13.29	0.06	3.84	5.17	
9.5	> 13.94	3.10	> 10.88	0.05	0.78	1.55	

En algunos de los casos no fue posible alcanzar el punto P_{1dB} . En primera instancia esto permite asegurar solamente que el transistor puede manejar una potencia de salida correspondiente a más de 15 dBm disponibles de la fuente, dentro del régimen lineal, aunque no se pueda establecer un límite máximo de manejo de potencia.

Los resultados de las mediciones de potencia que se llevaron a cabo nos indican la viabilidad de los puntos de operación para un diseño dado, con respecto a las especificaciones de manejo de potencia, ganancia y frecuencia de operación. Las polarizaciones que representan un punto de operación potencial para el diseño son:

- Punto único alrededor de 10 GHz con ganancia suficiente: {5 v, 100 mA}.
- Punto con la mayor ganancia, buena eficiencia y alta P_{1dB} a 4 GHz: {5 v, 100 mA}.
- Punto con la mayor eficiencia, ganancia suficiente y alta P_{1dB} a 4 GHz: {2.25 v, 10 mA}.
- Punto que podría tener el manejo de potencia más alto (mayor potencia de CD) con buena ganancia a 4 GHz: {8 v, 200 mA}.

En el siguiente capítulo, se extrae el modelo del transistor en estas polarizaciones.

III.5 Caracterización del circulator.

Como se puede apreciar en la figura 1, el amplificador de reflexión utiliza un acoplador para separar las señales de entrada y de salida, en donde generalmente se utiliza un circulator. Este dispositivo de 3 puertos, con las trayectorias mostradas en la figura 43a, idealmente tiene una matriz de parámetros S de la forma ilustrada en la figura 43b. Sin embargo, en la práctica el aislador tiene una adaptación imperfecta ($S_{11}, S_{22}, S_{33} \neq 0$), y

además presenta pérdidas en las trayectorias de transmisión ($S_{13}, S_{21}, S_{32} \neq 1$), y posee un aislamiento finito en las trayectorias inversas ($S_{12}, S_{23}, S_{31} \neq 0$).

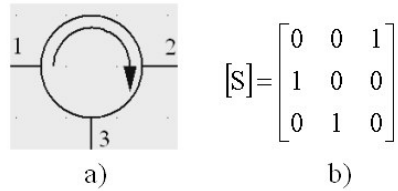


Figura 43. Símbolo y matriz S ideal de un circulator.

Para utilizarlo en el diseño del amplificador se debe conocer la matriz S real mediante su medición. Las mediciones para dos circuladores disponibles, se ilustran en la figura 44.

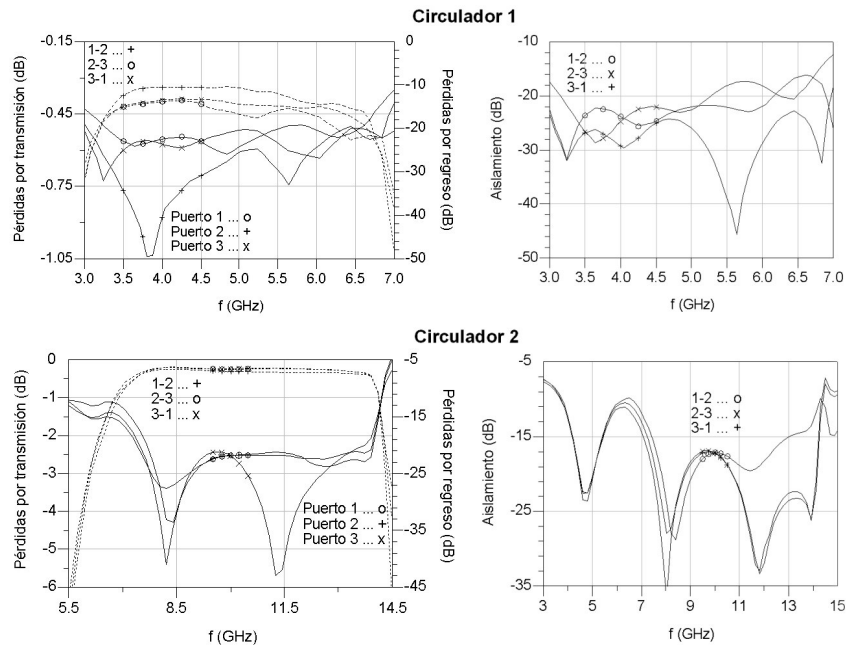


Figura 44. Parámetros S medidos de los circuladores disponibles (destacando las bandas donde se usarán).

Se puede observar que ambos circuladores tienen bajas pérdidas, buen aislamiento y adaptación y funcionan en banda C (3.5 y 6.5 GHz) y en banda X (8 a 14 GHz) respectivamente. Los anchos de banda resultantes definen los rangos de frecuencia en los cuales se puede diseñar los amplificadores de reflexión.

IV. MODELADO DEL TRANSISTOR.

En este capítulo se utilizan los resultados obtenidos de la caracterización del transistor para modelarlo y obtener su circuito equivalente. El modelo se obtiene mediante el uso de metodologías tanto analíticas como aquellas basadas en un proceso de optimización.

IV.1 Extracción del circuito equivalente del transistor por optimización.

A continuación se aplicarán algunos de los métodos para modelar el transistor que se revisaron en el capítulo II, y se proponen las mejoras que se consideran necesarias. Como resultado, será posible determinar el circuito equivalente del elemento no-lineal para el diseño del amplificador de reflexión.

El modelo de circuito equivalente que se emplea contiene 8 elementos extrínsecos y 7 intrínsecos, y se toma V_{Cgs} como el voltaje de control (véase figura 12a).

Para extraer el modelo del transistor en los puntos de operación que se definieron al final del apartado anterior, se utilizarán métodos correspondientes a cada enfoque tratado en el capítulo II: optimización global, optimización parcial y extracción analítica. Además, se propone una mejora para cada tipo como aportación de este trabajo.

IV.1.a) Modelado por Optimización Global Convencional.

El enfoque convencional consiste en optimizar los 13 elementos del circuito equivalente mediante ADS®, con el fin de ajustar las mediciones en cada punto de

polarización. El modelo se implementó en el programa desarrollado como se muestra en la figura 52. Los modelos extraídos para las tres polarizaciones, se dan en la Tabla XI.

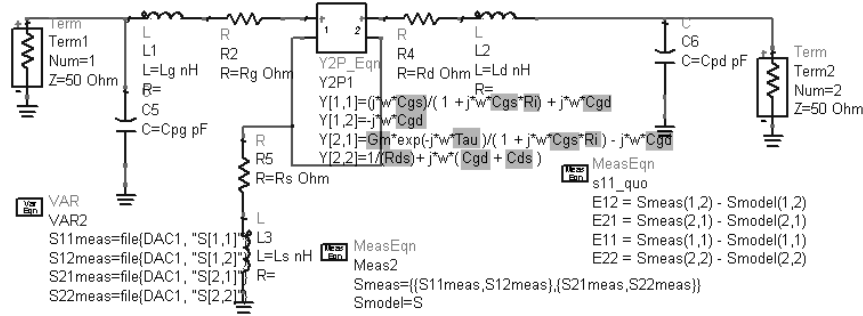


Figura 45. Esquemático de ADS® para la Optimización Global Convencional basado en las ecuaciones del modelo.

Tabla XI. PCE's extraídos con ADS® por optimización global convencional.

	V_{ds} (v), I_{ds} (mA)	{2.25, 10}	{5, 100}	{8, 200}
Parámetros Extrínsecos	R_g (Ω)	0.06123	0.07189	0.01581
	R_s (Ω)	1.82797	0.31512	0.29031
	R_d (Ω)	4.03735	3.39197	4.84835
	L_g (nH)	0.54332	0.53317	0.54622
	L_s (nH)	0.05775	0.10129	0.10813
	L_d (nH)	0.65137	0.65888	0.63304
	C_{pg} (pF)	0.19998	0.19096	0.18660
	C_{pd} (pF)	0.12643	0.12250	0.10363
Parámetros Intrínsecos	R_i (Ω)	2.37914	1.54040	0.69199
	C_{gs} (pF)	0.14116	0.17713	0.16031
	C_{gd} (pF)	0.02292	0.01817	0.01994
	g_m (mS)	59.53540	77.13900	49.44300
	τ (ps)	5.27511	8.24433	9.15415
	R_{ds} (Ω)	119.12500	86.82350	91.31750
	C_{ds} (pF)	0.07190	0.05373	0.05737
Error (ec. 26)		0.0066	0.0018	0.02369

El error del modelo respecto de las medidas para cada punto de polarización se da por:

$$E_{bias} = \frac{1}{4} \sum_{\forall i,j \in \{1,2\}} \sqrt{\frac{\sum_{k=1}^n \left[\text{Re} \left\{ \frac{|S_{ij,k}^{\text{modelado}} - S_{ij,k}^{\text{medidas}}|^2}{|S_{ij,k}^{\text{medidas}}|^2} \right\} + \text{Im} \left\{ \frac{|S_{ij,k}^{\text{modelado}} - S_{ij,k}^{\text{medidas}}|^2}{|S_{ij,k}^{\text{medidas}}|^2} \right\} \right]}{n}} \quad (7)$$

IV.1.b) Modelado por Optimización Global Mejorada (multibias).

En la mayoría de las investigaciones previas se considera a los PCE's extrínsecos como independientes de la polarización y a los intrínsecos como dependientes. Por lo contrario, los resultados de la optimización convencional, proporcionados en la Tabla XI, no tienen en común un conjunto de PCE's extrínsecos para los tres puntos de polarización modelados. Tratando de observar esa consideración, se integra un patrón de optimización que busque un conjunto PCE's extrínsecos común a todos los puntos de polarización, mientras que los intrínsecos, sombreados en la figura 45, cambiarían para cada polarización. De esta forma se tienen tres circuitos como el de dicha figura con C_{gs1} , ..., C_{ds1} ; C_{gs2} , ..., C_{ds2} y C_{gs3} , ..., C_{ds3} ; respectivamente, mientras que todos tendrían las mismas R_g , ..., C_{pd} . La función objetivo general incluye los errores individuales de los tres modelos. Al implementar dicho patrón en ADS® se obtuvieron los resultados mostrados en la Tabla XIV.

Tabla XII. PCE's extraídos con ADS® para la optimización global propuesta (multibias).

Parámetros extrínsecos		V_{ds} (v), I_{ds} (mA)	{2.25, 10}	{5, 100}	{8, 200}
R_g (Ω)	0.30556	R_i (Ω)	1.33588	1.48353	1.47390
R_s (Ω)	1.36804	C_{gs} (pf)	1.25585	0.18347	0.19079
R_d (Ω)	3.51202	C_{gd} (pf)	0.27868	0.01756	0.01610
L_g (nH)	0.53806	g_m (mS)	51.87310	71.86800	50.78500
L_s (nH)	0.06942	τ (ps)	5.52676	8.41817	8.54455
L_d (nH)	0.64124	R_{ds} (Ω)	135.88500	64.58790	82.81650
C_{pg} (pf)	0.19773	C_{ds} (pf)	0.53248	0.04937	0.05029
C_{pd} (pf)	0.12658	Error (ec. 26)	0.00381	0.0083	0.0469

En la optimización en la cual se varían solo algunos de los PCE's, se utilizaron tres métodos [Shirakawa *et al*, 1995; Ooi *et al*, 1997; Campbell y Brown, 2001]. En el afán de conservar la asunción que se hizo en el apartado anterior sobre la independencia que poseen

los PCE's extrínsecos respecto de la polarización, se propone una extensión de estos métodos para que la función objetivo incluya los errores de las tres polarizaciones de interés y genere un conjunto de parámetros intrínsecos común.

IV.1.c) Optimización parcial por el Método de Shirakawa et al (1995) con enfoque multibias.

Retomando el método de Shirakawa *et al* (1995), que se trató en el capítulo II, la función de error objetivo tiene dos componentes, la convergencia del modelo a los parámetros S medidos (ec. 7), y la varianza de los elementos intrínsecos extraídos (ec. (8).

$$\varepsilon_1^k(Z_{\text{ext}}) = \frac{1}{N-1} \sum_{i=0}^{N-1} \left| f_k(\omega_i, Z_{\text{ext}}) - \overline{f_k(\omega_i, Z_{\text{ext}})} \right| \quad k = 1, 2, 3, 4, 5, 6 \quad (8)$$

donde N es el número de puntos de frecuencia y,

$$f_k(\omega_i, Z_{\text{ext}}) = [R_i(\omega_i, Z_{\text{ext}}), C_{gs}(\omega_i, Z_{\text{ext}}), C_{gd}(\omega_i, Z_{\text{ext}}), g_m(\omega_i, Z_{\text{ext}}), \tau(\omega_i, Z_{\text{ext}}), R_{ds}(\omega_i, Z_{\text{ext}}), R_{ds}(\omega_i, Z_{\text{ext}})]. \quad (9)$$

Las componentes de f_k , a su vez se determinan por las siguiente ecuaciones:

$$C_{gs}(\omega_i, Z_{\text{ext}}) = \frac{1 + d^2(\omega_i)}{\omega_i} \text{Im}(Y_{11}(\omega_i) + Y_{12}(\omega_i)) \quad (10)$$

$$R_i(\omega_i, Z_{\text{ext}}) = \frac{d^2(\omega_i)}{1 + d^2(\omega_i) \text{Re}(Y_{11}(\omega_i) + Y_{12}(\omega_i))} \quad (11)$$

$$C_{gd}(\omega_i, Z_{\text{ext}}) = \frac{-\text{Im}(Y_{12}(\omega_i))}{\omega_i} \quad (12)$$

$$g_m(\omega_i, Z_{\text{ext}}) = \sqrt{c^2(\omega_i)} \quad (13)$$

$$\tau(\omega_i, Z_{\text{ext}}) = -\frac{1}{\omega_i} \tan^{-1} \frac{\text{Im}(c(\omega_i))}{\text{Re}(c(\omega_i))} \quad (14)$$

$$R_{ds}(\omega_i, Z_{ext}) = \frac{1}{\text{Re}(Y_{22}(\omega_i) + Y_{12}(\omega_i))} \quad (15)$$

$$C_{ds}(\omega_i, Z_{ext}) = \frac{\text{Im}(Y_{22}(\omega_i) + Y_{12}(\omega_i))}{\omega_i} \quad (16)$$

$$d(\omega_i, Z_{ext}) = \frac{\text{Re}(Y_{11}(\omega_i) + Y_{12}(\omega_i))}{\text{Im}(Y_{11}(\omega_i) + Y_{12}(\omega_i))} \quad (17)$$

$$c(\omega_i, Z_{ext}) = (Y_{21}(\omega_i) - Y_{12}(\omega_i)) \cdot (1 + j\omega_i d(\omega_i)) \quad (18)$$

La matriz de admitancias intrínseca (Y_{11} , Y_{12} , Y_{21} , Y_{22}) se extrae de los datos medidos en cada iteración removiendo los efectos de los PCE's externos. Originalmente los autores de método consideraron un modelo de 6 PCE's externos [Shirakawa *et al*, 1995], así que también se hizo la modificación correspondiente para tomar en cuenta 8 elementos. La ecuación (9) define a Y_{11} , Y_{12} , Y_{21} y Y_{22} con respecto a los PCE's externos y también se utiliza junto con las ecuaciones (10) a (18), para reconstruir los parámetros del modelo.

$$[Z_{Total}] = \left\{ \left(\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{12} & Y_{22} \end{bmatrix}^{-1} + \begin{bmatrix} R_g + R_s + j\omega(L_s + L_g) & R_s + j\omega L_s \\ R_s + j\omega L_s & R_d + R_s + j\omega(L_s + L_d) \end{bmatrix} \right)^{-1} + \begin{bmatrix} j\omega C_{pg} & 0 \\ 0 & j\omega C_{pd} \end{bmatrix} \right\}^{-1} \quad (19)$$

La optimización se realizó utilizando el método de Levenberg-Marquardt implementado en la función *fmincon* de MatLab® (función correspondiente a la optimización vectorial con restricciones), la cual requiere otra función (archivo *.m*) que entregue el valor del error para un conjunto de soluciones (PCE's externos). Los valores que se obtuvieron se presentan en la Tabla XII, y en la figura 59 se despliega su dispersión. Por otro lado, en las figuras 60, 61 y 62 se ilustran los errores del modelo con respecto a las mediciones.

Tabla XIII. PCE's extraídos por el método de Shirakawa et al (1995), con la mejora propuesta.

Parámetros extrínsecos		V_{ds} (v), I_{ds} (mA)	{2.25, 10}	{5, 100}	{8, 200}
R_g (Ω)	1.6107	R_i (Ω)	0.00613	0.08140	0.00628
R_s (Ω)	0.2593	C_{gs} (pf)	0.12569	0.18195	0.19158
R_d (Ω)	1.7147	C_{gd} (pf)	0.02776	0.01783	0.01611
L_g (nH)	0.5227	g_m (mS)	51.98845	69.93707	50.32190
L_s (nH)	0.1033	τ (ps)	6.64567	9.39442	9.53640
L_d (nH)	0.6781	R_{ds} (Ω)	134.67668	66.48808	83.82860
C_{pg} (pf)	0.1866	C_{ds} (pf)	0.05254	0.08792	0.04972
C_{pd} (pf)	0.1086	Error (ec. 26)	0.0005	0.0006	0.008

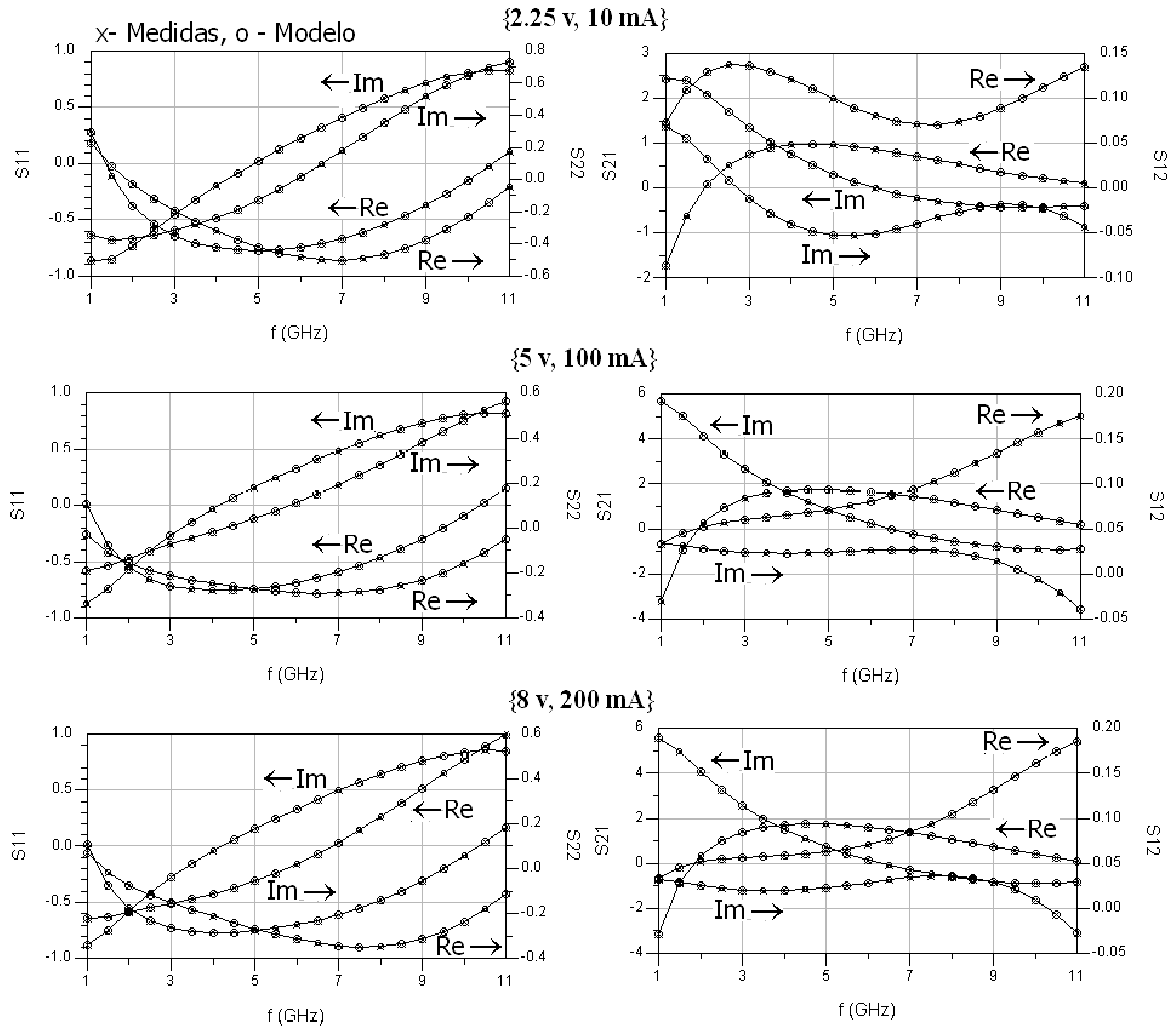


Figura 46. Ilustración de la convergencia del modelo obtenido por el método de Shirakawa et al (1995) con las mejoras propuestas.

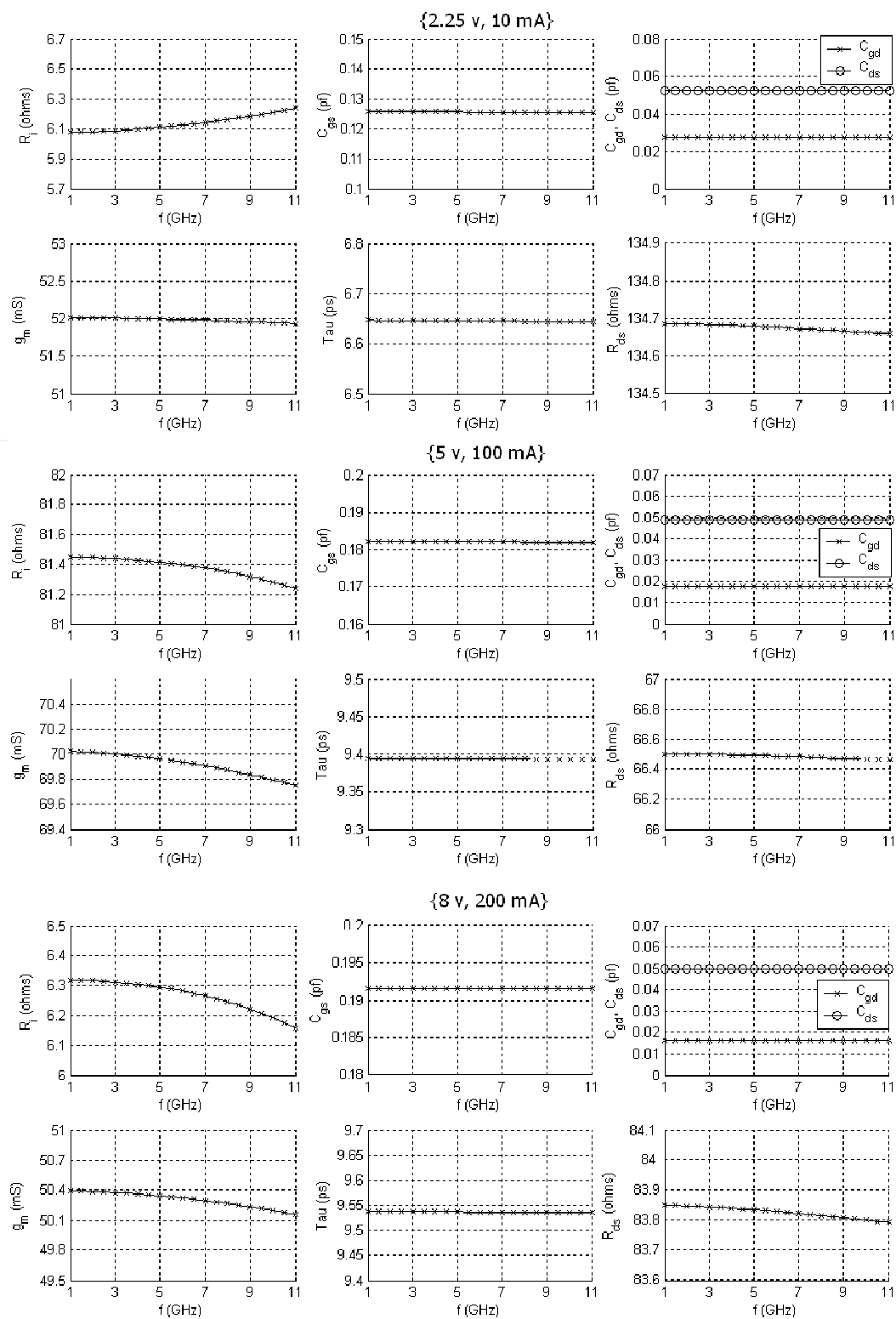


Figura 47. Dispersión de los PCE's intrínsecos extraídos por el método de Shirakawa et al (1995) con las mejoras propuestas.

IV.1.d) Optimización parcial por el Método de Ooi et al (1997), con el enfoque multibias.

El segundo método de optimización parcial que se evaluó [Ooi *et al*, 1997], utiliza una función de error semejante a la del método anterior [Shirakawa *et al*, 1995], y el cambio radica en la iteración de una variable menos, puesto que R_g se determina de los parámetros medidos y de los otros PCE's extrínsecos. Una vez calculado este valor se puede obtener $[Y_{int}]$ con la ecuación (19) y posteriormente determinar directamente los PCE's intrínsecos, ecuaciones (10) a (18). La ecuación para R_g es [Ooi *et al*, 1997]:

$$\begin{aligned} R_{g1} = & (R_s - Z_{12r}) (\omega L_g [Z_{22i} - \omega L_s - \omega L_d] + R_d [R_s - Z_{11r}] - R_s [Z_{11r} + Z_{22r} - Z_{21r} - Z_{12r}] + \\ & - \omega L_d [\omega L_s - Z_{11i}] + \omega L_s [Z_{11i} + Z_{22i} - Z_{21i} - Z_{12i}] + \\ & - Z_{11i} Z_{22i} + Z_{21i} Z_{12i} - Z_{21r} Z_{12r} + Z_{11r} Z_{22r}) \end{aligned} \quad (20)$$

$$\begin{aligned} R_{g2} = & (\omega L_s - Z_{12i}) (\omega L_g [R_s + R_d - Z_{22r}] + R_d [\omega L_s - Z_{11i}] - + \\ & + R_s [\omega L_d - Z_{11i} - Z_{22i} + Z_{21i} + Z_{12i}] - \omega L_d Z_{11r} - \omega L_s [Z_{11i} + Z_{22i} - Z_{21i} - Z_{12i}] + \\ & + Z_{11r} Z_{22i} - Z_{21i} Z_{12r} - Z_{12i} Z_{21r} + Z_{11i} Z_{22r}) \end{aligned} \quad (21)$$

$$R_{g3} = (R_s - Z_{12r}) (R_s + R_d + Z_{22r}) + (\omega L_s - Z_{12i}) (\omega L_d + \omega L_s - Z_{22i}) \quad (22)$$

$$R_g = \frac{R_{g1} + R_{g2}}{R_{g3}} \quad (23)$$

$$\text{donde: } Z_{mnr} = \text{Re}\{Z_{mn}^{\text{Total}}\} \quad \text{y} \quad Z_{mni} = \text{Im}\{Z_{mn}^{\text{Total}}\} \quad (24)$$

También se incorporó el enfoque *multibias* al método, y se modificó para considerar 8 PCE's extrínsecos. La optimización se efectuó también con la función *fmincon* de

MatLab®, escribiendo la rutina de evaluación de error necesaria. Los valores obtenidos se muestran en la Tabla XIV.

Tabla XIV. PCE's extraídos por el método de Ooi et al (1997) con la mejora propuesta.

Parámetros extrínsecos		V_{ds} (v), I_{ds} (mA)	{2.25, 10}	{5, 100}	{8, 200}
R_g (Ω)	2.0236	R_i (Ω)	-0.69923	-0.41387	-0.49972
R_s (Ω)	0.4095	C_{gs} (pf)	0.12710	0.18737	0.19658
R_d (Ω)	1.5915	C_{gd} (pf)	0.02760	0.01738	0.01574
L_g (nH)	0.5275	g_m (mS)	52.52126	74.38904	53.81095
L_s (nH)	0.1032	τ (ps)	6.79006	9.47899	9.61256
L_d (nH)	0.6778	R_{ds} (Ω)	133.63843	64.79051	81.82491
C_{pg} (pf)	0.1864	C_{ds} (pf)	0.05248	0.04886	0.04996
C_{pd} (pf)	0.1084	Error (ec. 26)	0.0123	0.0047	0.0057

Se puede notar que este método arrojó algunos valores inconsistentes para R_i . Esto se debe a un defecto observado antes por otros investigadores [Kondoh, 1986; van Niekerk y Meyer, 1996; Patterson *et al*, 1993; Kompa y Novotny, 1992;], el cual consiste en la dificultad de separar los valores de R_g y R_i . Al parecer, en algunos casos la función de error es muy insensitiva a R_i , por lo cual tiende a absorberse su efecto en R_g (por contigüidad) sin afectarse la magnitud del error. Este problema tiene una mayor recurrencia para valores de R_i pequeñas, como en el caso tratado en este trabajo. Es posible observar que para este PCE su valor en las Tablas XI, XII y XIII es del orden de 1 Ω , que es también el orden de magnitud de R_g . Por otro lado, el valor de la resistencia de compuerta es mayor en la Tabla XIV que en las tablas anteriores. De esta forma, y siguiendo las conclusiones mencionadas de otras publicaciones, se puede asumir que para este método R_g absorbió el valor de R_i durante las iteraciones de optimización. Posteriormente, cuando se extrae el valor intrínseco R_i , este tiende a anularse o a tomar un valor negativo pequeño. El método de Ooi *et al*

(1997) presenta este problema con mayor frecuencia que los otros métodos de optimización examinados, principalmente porque R_g se calcula en cada iteración.

IV.1.e) Optimización parcial por el Método de Triquint [Campbell y Brown, 2001], con enfoque multibias.

Este método sigue la misma filosofía de extracción que los métodos antes revisados, pero mantiene fijo el valor de R_g . Hecho esto, se puede determinar un elemento parásito diferente el cual en este caso es R_s . El conocimiento de todos los PCE's extrínsecos permite determinar la matriz $[Y_{Int}]$ con la ecuación (19), 1 y después se determinan los PCE's intrínsecos con las ecuaciones (10) a (18) para cada iteración. La expresión para encontrar R_s es [Campbell y Brown, 2001]:

$$R_s = \frac{-B - \sqrt{B^2 - 4AC}}{2A} \quad (25)$$

donde:

$$A = -\text{Re}\{\tilde{Z}_{11}^{Int} + \tilde{Z}_{22}^{Int} - \tilde{Z}_{21}^{Int} - \tilde{Z}_{12}^{Int}\} \quad (26)$$

$$B = -\text{Re}\left\{\Delta\tilde{Z}^* + \tilde{Z}_{12}^{Int}(\tilde{Z}_{11}^{Int} + \tilde{Z}_{22}^{Int} - \tilde{Z}_{21}^{Int} - \tilde{Z}_{12}^{Int})^*\right\} \quad (27)$$

$$C = -\text{Re}\left\{\Delta\tilde{Z}^*(\tilde{Z}_{12}^{Int})\right\} \quad (28)$$

$$\tilde{Z}^{Int} = (Y_{Int}|_{R_s=0})^{-1} \quad (29)$$

y Y_{Int} se obtiene de (19).

Para aplicar el método se utilizó el valor de R_g obtenido en el apartado IV.1.c). De nuevo se extendió el método original para una optimización *multibias*, y para considerar 8 elementos extrínsecos se empleó la función *fmincon* de MatLab® para realizar la

optimización numérica. La Tabla XV reporta los PCE's obtenidos utilizando esta metodología.

Tabla XV. PCE's extraídos por el método de Triquint [Campbell y Brown, 2001] con la mejora propuesta.

Parámetros extrínsecos		V_{ds} (v), I_{ds} (mA)	{2.25, 10}	{5, 100}	{8, 200}
R_g (Ω)	1.6107	R_i (Ω)	0.02131	0.08398	0.00954
R_s (Ω)	0.3382	C_{gs} (pf)	0.12578	0.18195	0.19157
R_d (Ω)	1.6300	C_{gd} (pf)	0.02778	0.01787	0.01615
L_g (nH)	0.5274	g_m (mS)	51.93068	69.45721	49.98150
L_s (nH)	0.1034	τ (ps)	6.71007	9.44130	9.58623
L_d (nH)	0.6782	R_{ds} (Ω)	133.67196	66.64792	83.93072
C_{pg} (pf)	0.1865	C_{ds} (pf)	0.05239	0.04854	0.04950
C_{pd} (pf)	0.1085	Error (ec. 26)	0.0049	0.0086	0.0046

IV.2) Extracción Analítica del circuito equivalente.

Los métodos analíticos prescinden de la optimización y utilizan una serie de mediciones adicionales para determinar el modelo. Hasta este punto del capítulo se ha observado que los PCE's intrínsecos pueden determinarse directamente si se conocen los elementos parásitos del modelo. Los PCE's más externos son las capacitancias C_{pg} y C_{pd} y conocer su valor permite removerlos y acceder al resto del circuito.

IV.2.a) Extracción de las capacitancias extrínsecas.

Dambrine *et al* (1988) utilizaron una medida de los parámetros S en *frío* y con el transistor bloqueado ($V_{gs} < V_{pinch-off}$), y determinaron las capacitancias parásitas de las ecuaciones (30) y (31), considerando que las inductancias tienen un efecto despreciable en

baja frecuencia sobre el circuito equivalente propuesto por estos autores para el transistor en “*pinch-off*” y en *frío*. Este circuito se ilustra en la figura 56.

$$\text{Im}(Y_{11}) = j\omega \left(C_{pg} - 2 \frac{\text{Im}(Y_{12})}{\omega} \right) \quad (30)$$

$$\text{Im}(Y_{22}) = j\omega \left(C_{pg} + \frac{\text{Im}(Y_{12})}{\omega} \right) \quad (31)$$

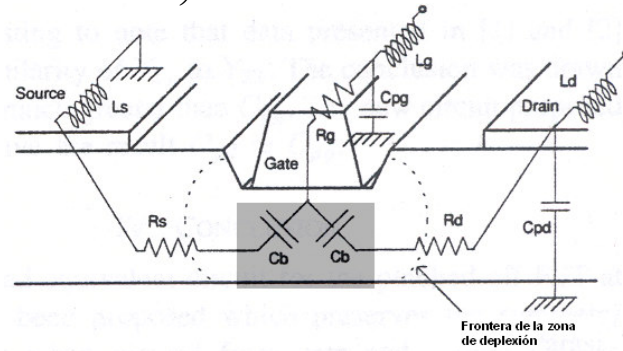


Figura 48. Circuito equivalente de Dambrine et al (1988) para el transistor en bloqueado.

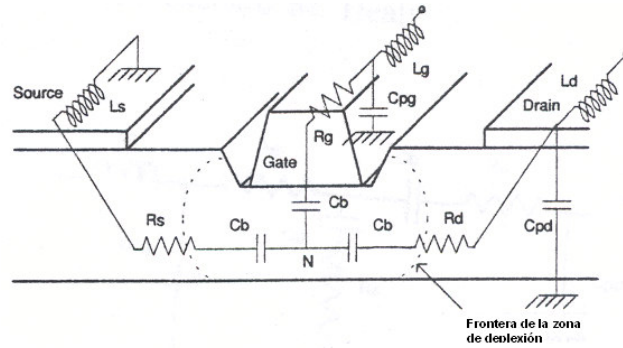


Figura 49. Circuito equivalente de White y Healy (1993) para el transistor bloqueado.

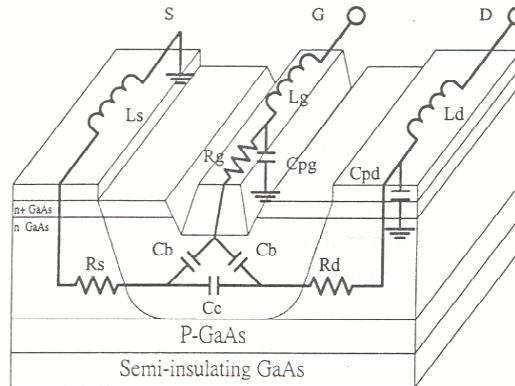


Figura 50. Circuito equivalente de Lai y Hsu (2001) para el transistor en “*pinch-off*”.

Este tratamiento analítico ha sido utilizado ampliamente, hasta que se mostró [White y Healy, 1993] que C_{pd} solía sobreestimarse, y la razón era que la zona de depleción en el fondo del canal no se tomaba en cuenta en el circuito equivalente usado generalmente [Dambrine *et al*, 1988] (ver recuadro de la figura 48). Los mismos autores White y Healy propusieron un nuevo modelo pero no agregaron un elemento nuevo, de manera que implicaba una simetría muy estricta, pues la zona de depleción en el fondo del canal debía tener la misma proporción que en los lados del drenaje y la fuente (ver figura 49). La causa por la que se estableció esa condición, en lugar de agregar un nuevo elemento al circuito equivalente, era el hecho de tener más variables que ecuaciones. Pero, posteriormente se resolvió el sistema aparentemente subdimensionado y se agregó una nueva capacitancia para modelar la zona de depleción en el fondo del canal, para el transistor polarizado en *frío* y en “*pinch-off*” (ver figura 50). De esta manera las admitancias del circuito equivalente se determinan como sigue [Lai y Hsu, 2001]:

$$\text{Im}(Y_{11}) = \omega C_{pg} + \frac{\omega^5 A_{11} + \omega^3 B_{11} + \omega C_{11}}{\omega^4 F_{11} + \omega^2 G_{11} + 1} \quad (32)$$

$$(33)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = \frac{\omega^5 A_{12} + \omega^3 B_{12} + \omega C_{12}}{\omega^4 F_{11} + \omega^2 G_{11} + 1}$$

$$\text{Im}(Y_{22}) = \omega C_{pd} + \frac{\omega^5 A_{22} + \omega^3 B_{22} + \omega C_{22}}{\omega^4 F_{22} + \omega^2 G_{22} + 1} \quad (34)$$

Para bajas frecuencias, se tiene que:

$$\frac{\text{Im}(Y_{11})}{\omega} = C_{pg} + 2C_b \quad (35)$$

$$\frac{\text{Im}(Y_{12})}{\omega} = -C_b \quad (36)$$

$$\frac{\text{Im}(Y_{22})}{\omega} = C_{pg} + C_b + C_c \quad (37)$$

Conforme la frecuencia aumenta, (31) y (34) tienden a:

$$\frac{\text{Im}(Y_{11})}{\omega} = C_{pg} + \frac{A_{11}}{F_{11}} \quad (38)$$

$$\frac{\text{Im}(Y_{22})}{\omega} = C_{pd} + \frac{A_{22}}{F_{22}} \quad (39)$$

Por otra parte, la gráfica de (38) vs. (39) cuando $\omega \rightarrow \infty$ tiene pendiente igual a:

$$\frac{\text{Im}(Y_{11})/\omega}{\text{Im}(Y_{22})/\omega} = \frac{C_{pg} + A_{11}/F_{11}}{C_{pd} + A_{22}/F_{22}} = m \quad (40)$$

Por simetría del drenaje respecto de la fuente $A_{11}/F_{11} = A_{22}/F_{22}$, y así se pueden extraer las capacitancias C_{pg} , C_{pd} , C_b y C_c de (35) a (37) y (40). Para los datos medidos al transistor NE900275 en “*pinch-off*” (ver figura 40) los resultados de aplicar esta metodología para obtener las capacitancias extrínsecas, se muestran en la figura 51 y la Tabla XVIII.

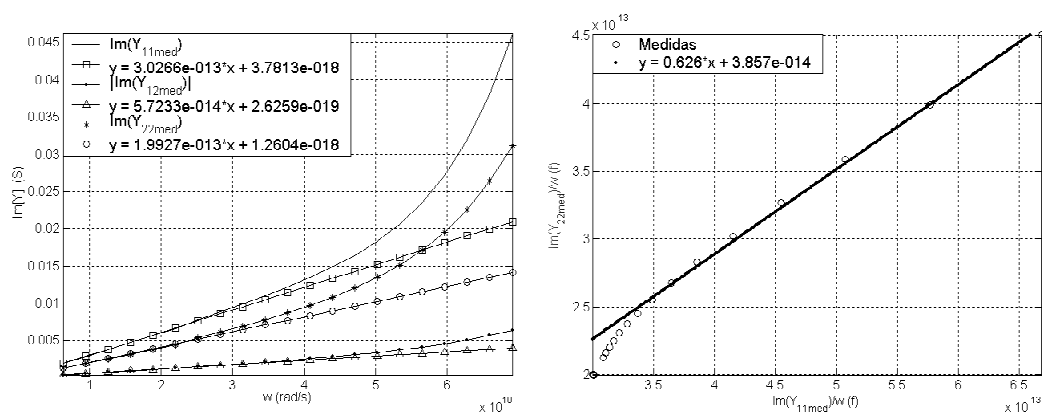


Figura 51. Resultados de aplicar el enfoque de Lai y Hsu (2001) a los parámetros S medidos con el transistor bloqueado.

Tabla XVI. Capacitancias extrínsecas extraídas analíticamente.

m (-)	C_b (ff)	C_c (ff)	C_{pd} (ff)	C_{pg} (ff)	C_{pd} por Dambrine et al (ff)
0.626	57.233	32.439	109.603	188.194	142.037

IV.2.b) Extracción de las Resistencias extrínsecas.

El enfoque más aceptado para minimizar los efectos de los PCE's intrínsecos es la polarización del transistor en *frío* ($V_{ds} = 0$). Los parámetros Z del transistor en esta condición de operación están dados por [Diamant y Laviron, 1982]:

$$Z_{11\text{frío}} = R_s + R_g + \frac{R_c}{3} + j\omega (L_s + L_g) \quad (41)$$

$$Z_{12\text{frío}} = Z_{c21} = R_s + \frac{R_c}{2} + j\omega L_s \quad (42)$$

$$Z_{22\text{frío}} = R_s + R_d + R_c + j\omega (L_s + L_d) \quad (43)$$

Antes de acceder a los parámetros a la matriz $Z_{\text{frío}}$, es necesario remover las capacitancias extrínsecas C_{pg} y C_{pd} . Los parámetros medidos se transforman en una matriz de admitancias y se resta $j\omega C_{pg}$ del elemento (1, 1); y $j\omega C_{pd}$ del elemento (2, 2).

Una vez hecho lo anterior, se puede acceder a las inductancias y resistencias. Además, se agregó posteriormente un término a la ec. (41) para las impedancias del transistor en *frío*, correspondiente a la impedancia equivalente de la barrera Schottky de compuerta [Dambrine *et al*, 1988] . De esta manera $Z_{11\text{frío}}$ queda como:

$$Z_{11\text{frío}} = R_s + R_g + \frac{R_c}{3} + \frac{nkT}{q} \cdot \frac{1}{I_{gs}} + j\omega (L_s + L_g) \quad (44)$$

Con cada medición de los parámetros S a una I_{gs} diferente, y V_{ds} nulo, el valor de la parte real de $Z_{11\text{frío}}$ está relacionado con el recíproco de la corriente compuerta-fuente, lo cual se puede apreciar en la figura 53a. Por extrapolación se sustrae el efecto de Z_{schottky} para recibir la siguiente ecuación en sustitución de (41):

$$\text{Re}(Z_{11\text{frío}}) \sim R_s + R_g + \frac{R_c}{3} \quad (45)$$

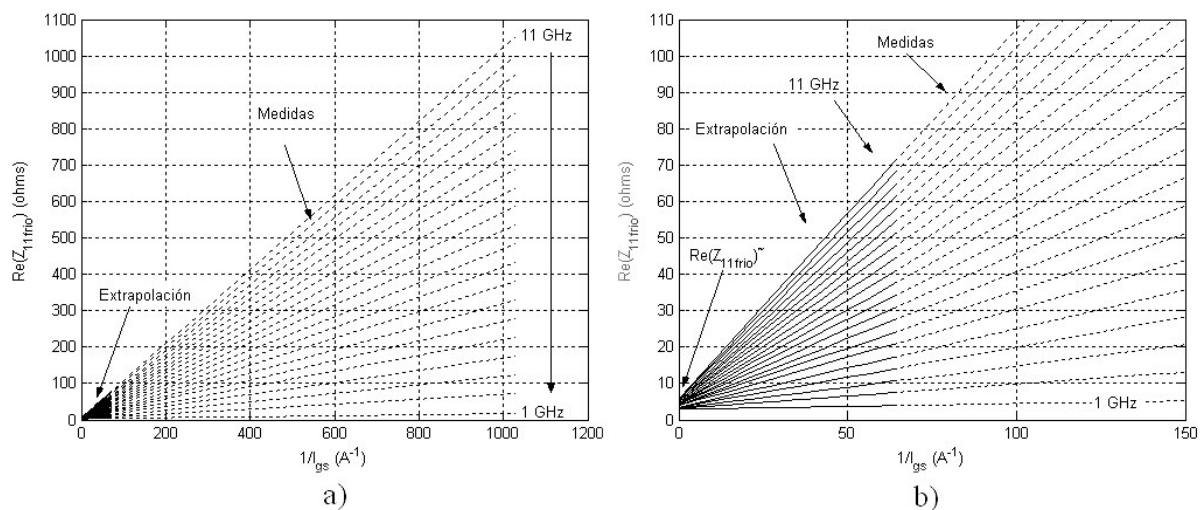


Figura 52. Ilustración del procedimiento para remover el término que corresponde a la barrera Schottky de compuerta de Z_{11frio} , b) Acercamiento

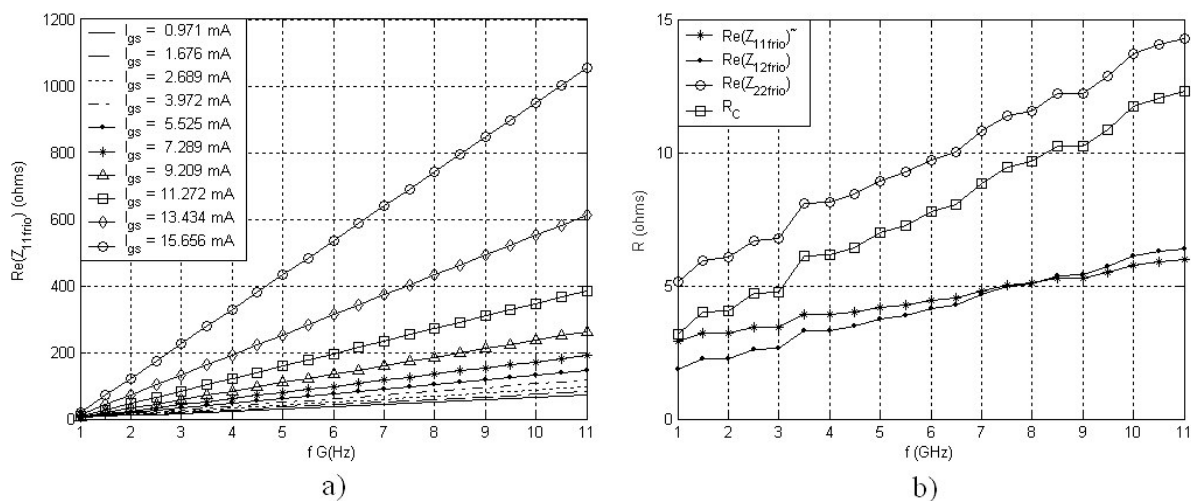


Figura 53. a) Variación de Z_{11frio} respecto de I_{gs} , b) Z_{ijfrio} ($Z_{Schottky}$ de compuerta removida), y R_c obtenida con la ecuación (46).

El procedimiento para determinar el valor de (45) se ilustra en la figura 60. Dicha ecuación forma un sistema de ecuaciones lineales junto con las partes reales de (42) y (43), y expresa la relación entre las resistencias extrínsecas y las partes reales de los parámetros

$Z_{\text{frío}}$. Por otra parte, se puede obtener un estimado del termino $R_s + R_d$ con mediciones en CD [Fukui, 1979]. El resultado obtenido para el transistor caracterizado es:

$$R_s + R_d = 1.975 \, \Omega. \quad (46)$$

Utilizando (46) en la parte real de (43) se puede obtener el comportamiento de R_c en frecuencia, ese resultado se ilustra en la figura 53b. Con R_c se puede determinar R_s de la parte real de (42), y luego con R_c y R_s encontrar R_g de la parte real de (41). Finalmente, con R_s se puede separar R_d de (46). Los resultados del proceso se presentan en la Tabla XVII.

Tabla XVII. Resistencias extrínsecas extraídas analíticamente.

$R_g (\Omega)$	$R_s (\Omega)$	$R_d (\Omega)$
1.61357	0.25983	1.71257

IV.2.c) Extracción de las Inductancias Extrínsecas.

El procedimiento para obtener las inductancias toma en cuenta que las partes imaginarias de (41) a (43) definen tres rectas, en las cuales la variable independiente es ω , y cuyas pendientes corresponden a $L_s + L_g$, L_s y $L_s + L_d$, respectivamente. Esto se puede observar en la figura 54 para las mediciones de parámetros S *en frío*. Cabe recordar que en primer lugar se han eliminado del circuito completo los efectos correspondientes a C_{pg} y C_{pd} , así que la misma figura contiene las partes imaginarias de (41) a (43) originales para comparar. Las inductancias resultantes se muestran en la Tabla XVIII.

Tabla XVIII. Inductancias extrínsecas extraídas analíticamente.

$L_g (\text{nH})$	$L_s (\text{nH})$	$L_d (\text{nH})$
0.52766	0.103336	0.678074

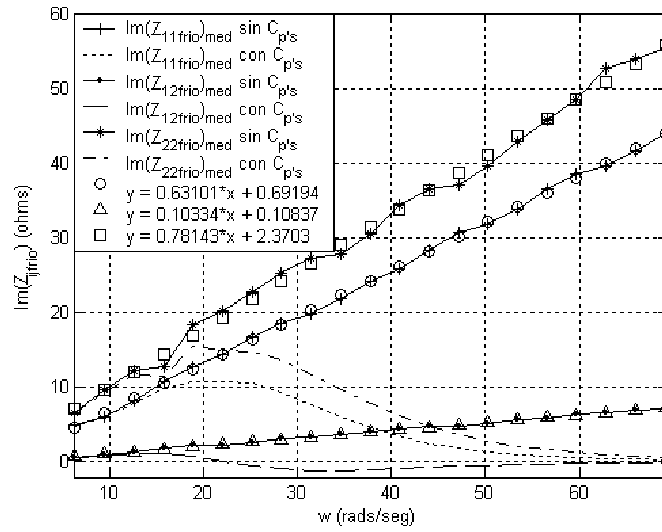


Figura 54. Gráfica de las partes imaginarias de las ecuaciones (41) a (43), para extraer las inductancias.

IV.2.d) Extracción analítica de los PCE's intrínsecos por el Método de Dambrine et al (1988).

Dambrine et al (1988) propusieron las ecuaciones (47) a (53) para recibir los PCE's intrínsecos. En este trabajo se aplicaron esas ecuaciones una vez que se ha modificado la extracción de los elementos parásitos. Los resultados se muestran en la Tabla XIX.

Las relaciones entre los PCE's intrínsecos y los elementos externos se obtuvieron suponiendo un funcionamiento para bajas frecuencias, $(\omega C_{gs} R_i)^2$ y $\omega \tau \ll 1$, con el fin de simplificar las expresiones

$$C_{gd} = -\text{Im}(Y_{112})/\omega \quad (47)$$

$$C_{gs} = \frac{\text{Im}(Y_{111})}{\omega} - C_{gd} \quad (48)$$

$$R_i = \frac{\text{Re}(Y_{111})}{(\omega C_{gs})^2} \quad (49)$$

$$C_{ds} = \text{Im}(Y_{122})/\omega - C_{gd} \quad (50)$$

$$R_{ds} = 1/\text{Re}(Y_{I22}) \quad (51)$$

$$g_m = \text{Re}(Y_{I21}) \quad (52)$$

$$\tau = \frac{\frac{-\text{Im}(Y_{I21})}{\omega} - C_{gd}}{g_m} - R_i C_{gs} \quad (53)$$

Tabla XIX. PCE's extraídos por el método de Dambrine et al (1988) con la mejora propuesta para los elementos parásitos.

Parámetros extrínsecos		V _{ds} (v), I _{ds} (mA)	{2.25, 10}	{5, 100}	{8, 200}
R _g (Ω)	1.613570	R _i (Ω)	0.00000	0.07463	0.000051
R _s (Ω)	0.259831	C _{gs} (pf)	0.12570	0.18198	0.191610
R _d (Ω)	1.712570	C _{gd} (pf)	0.02777	0.01784	0.016119
L _g (nH)	0.527667	g _m (mS)	50.36630	159.10170	140.724400
L _s (nH)	0.103336	τ (ps)	6.79070	9.82860	9.971400
L _d (nH)	0.678074	R _{ds} (Ω)	134.68510	66.49920	83.845300
C _{pg} (pf)	0.186612	C _{ds} (pf)	0.05254	0.04879	0.049723
C _{pd} (pf)	0.108603	Error (ec. 26)	0.0217	0.4437	0.0655

IV.2.e) Extracción analítica de los PCE's intrínsecos por el Método de Berroth y Bosch (1991).

Berroth y Bosch (1990) dedujeron ecuaciones para los elementos intrínsecos sobre la misma base que el método anterior, pero abordaron el problema sin simplificarlo, y así encontraron expresiones válidas para frecuencias más altas que los anteriores. Los autores realizaban la determinación de los PCE's parásitos de la misma manera que el método anterior [Dambrine *et al*, 1988]. No obstante, en este trabajo se consideran los valores calculados con la mejora propuesta en el apartado IV.2.a) (enfoque de Lai y Hsu para C_{pd} y C_{pg}) y los elementos intrínsecos extraídos se muestran en la Tabla XX. Las ecuaciones para los PCE's intrínsecos que cambian por evitar la simplificación son [Berroth y Bosch, 1990]:

$$R_i = \frac{\text{Re}(Y_{I11})}{(\text{Im}(Y_{I11}) - \omega C_{gd})^2 + \text{Re}(Y_{I11})^2} \quad (73)$$

$$g_m = \sqrt{[\text{Re}(Y_{I21})^2 + (\text{Im}(Y_{I21}) + \omega C_{gd})^2] \cdot (1 + \omega^2 C_{gs}^2 R_i^2)} \quad (74)$$

$$C_{gs} = \left(\frac{\text{Im}(Y_{I11})}{\omega} - C_{gd} \right) \left(1 + \frac{\text{Re}(Y_{I11})^2}{(\text{Im}(Y_{I11}) - \omega C_{gd})^2} \right) \quad (75)$$

$$\tau = \frac{1}{\omega} \arcsin \left(\frac{-\omega C_{gd} - \text{Im}(Y_{I21}) - \omega C_{gs} R_i \text{Re}(Y_{I21})}{g_m} \right) \quad (76)$$

Los PCE's extraídos se presentan en la Tabla XX, mientras que el error del modelo respecto de las mediciones se ilustra en la figura 55, en las polarizaciones de interés.

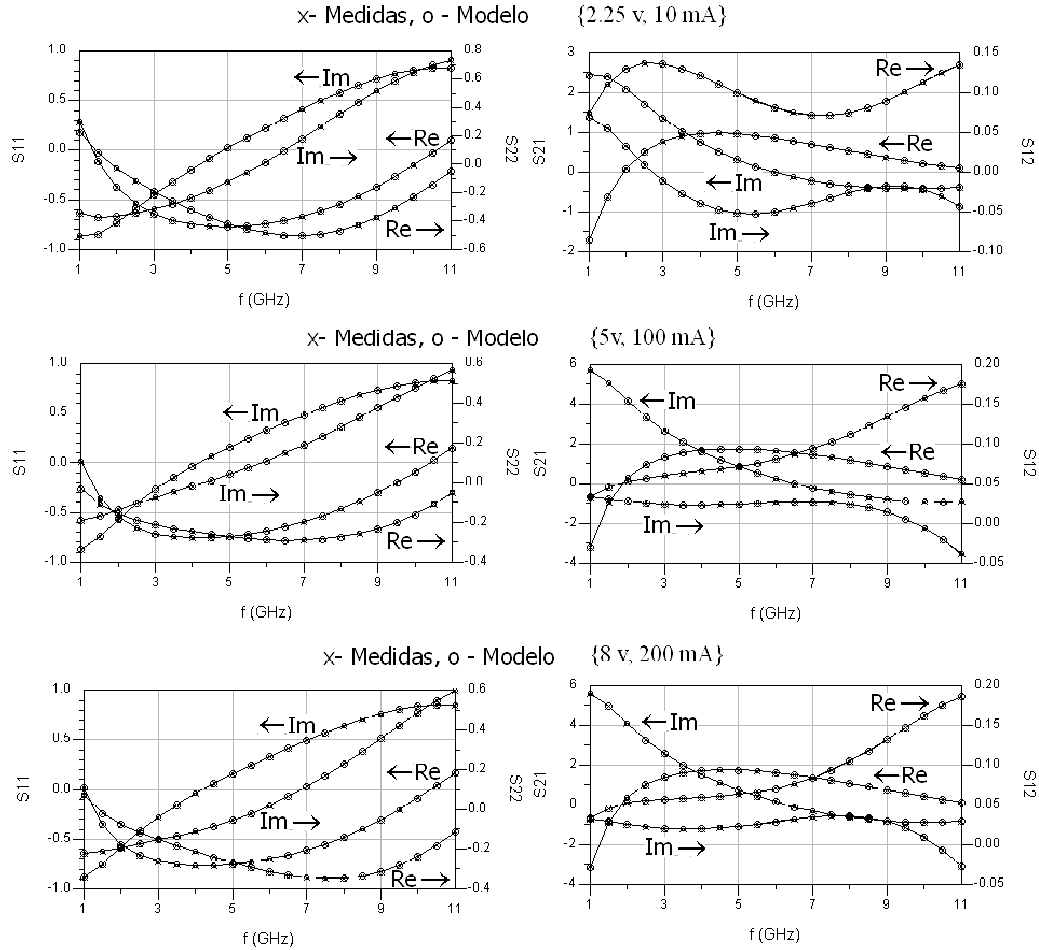


Figura 55. Ilustración de la convergencia de los modelos obtenidos por el método de Berroth y Bosch (1990) con la mejora propuesta.

En las figuras 56 a 58 se muestra la dispersión de los parámetros intrínsecos extraídos por este método para cada polarización.

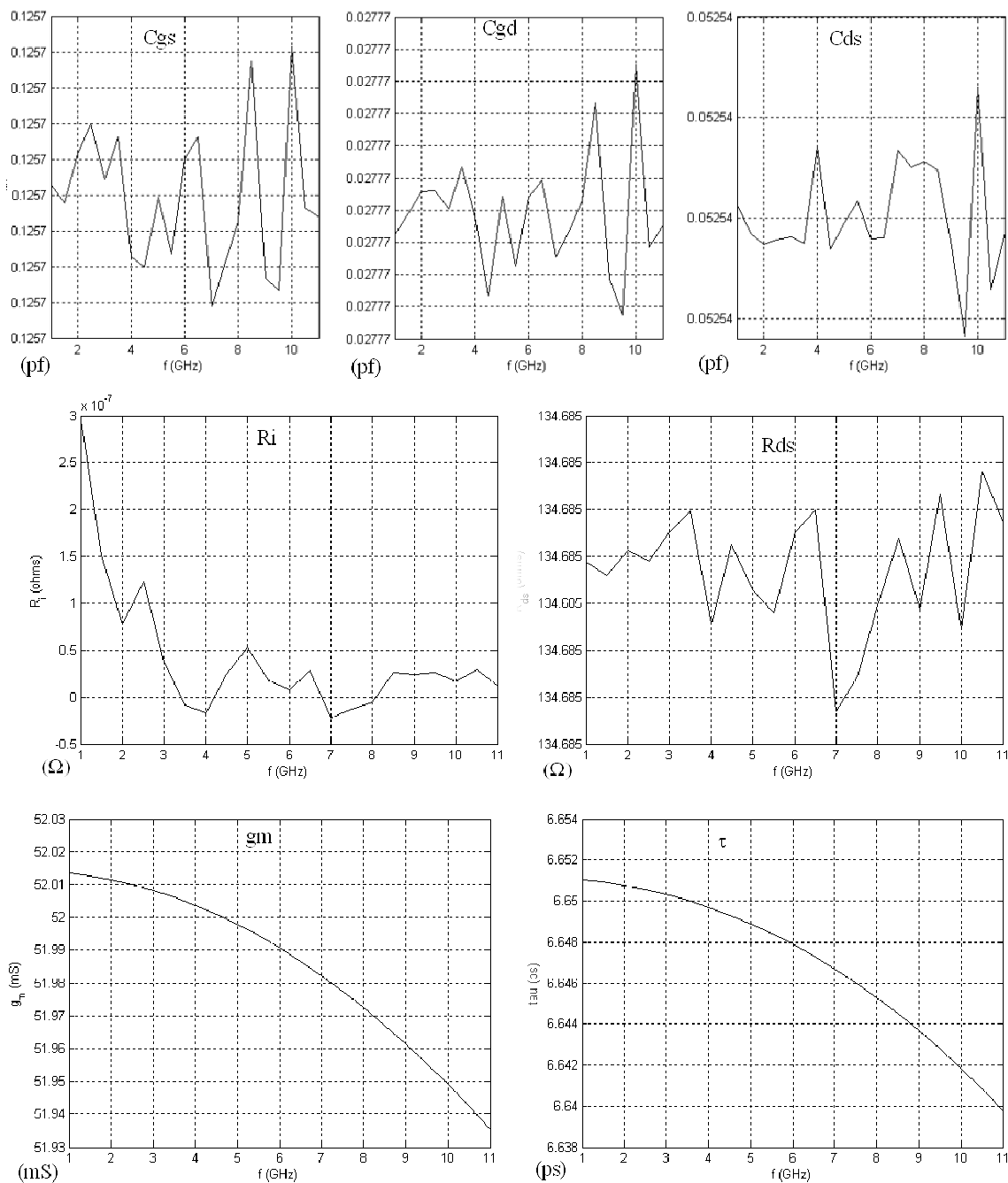


Figura 56. Dispersión de los PCE's intrínsecos extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para 2.25 v, 10 mA.

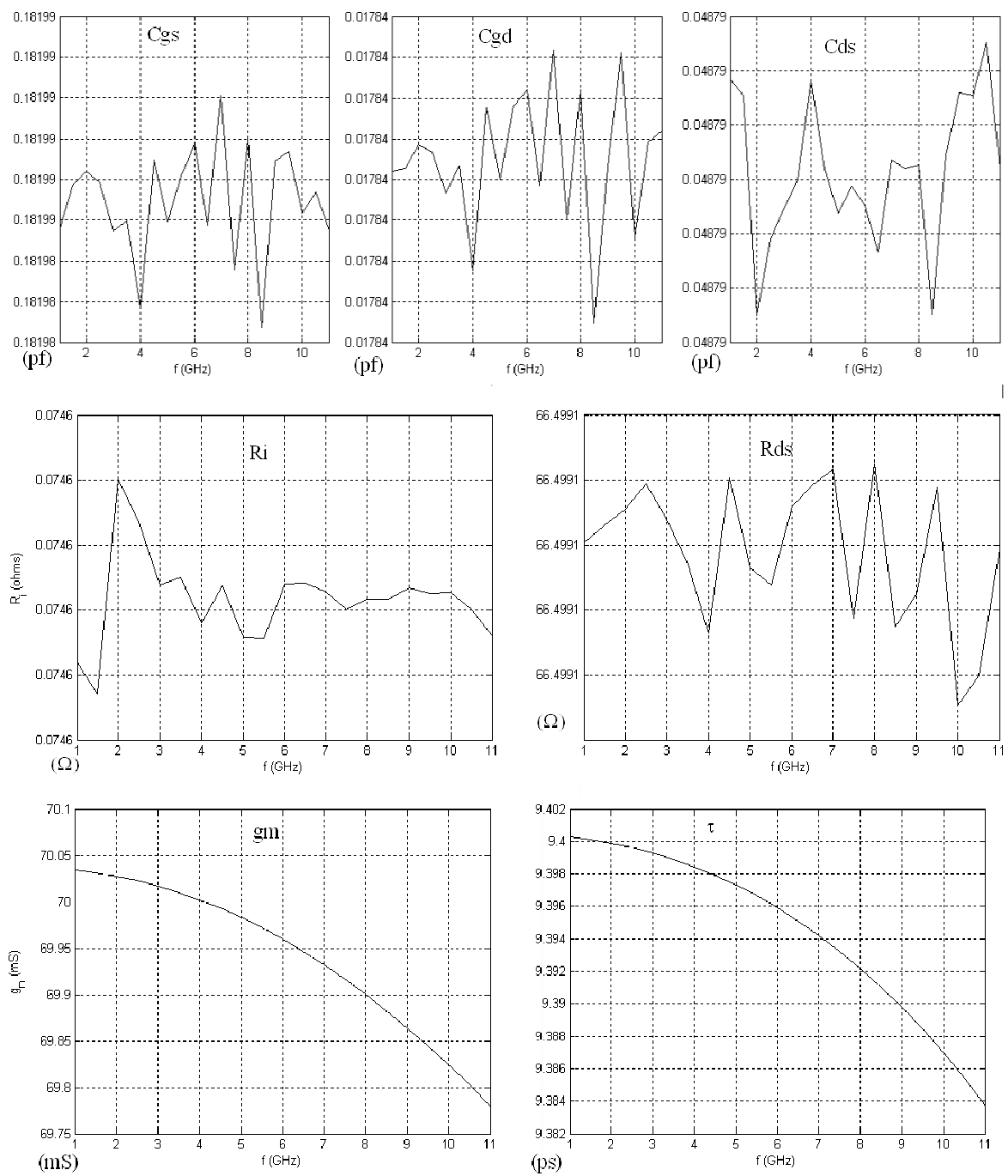


Figura 57. Dispersión de los PCE's intrínsecos extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para 5 v, 100 mA.

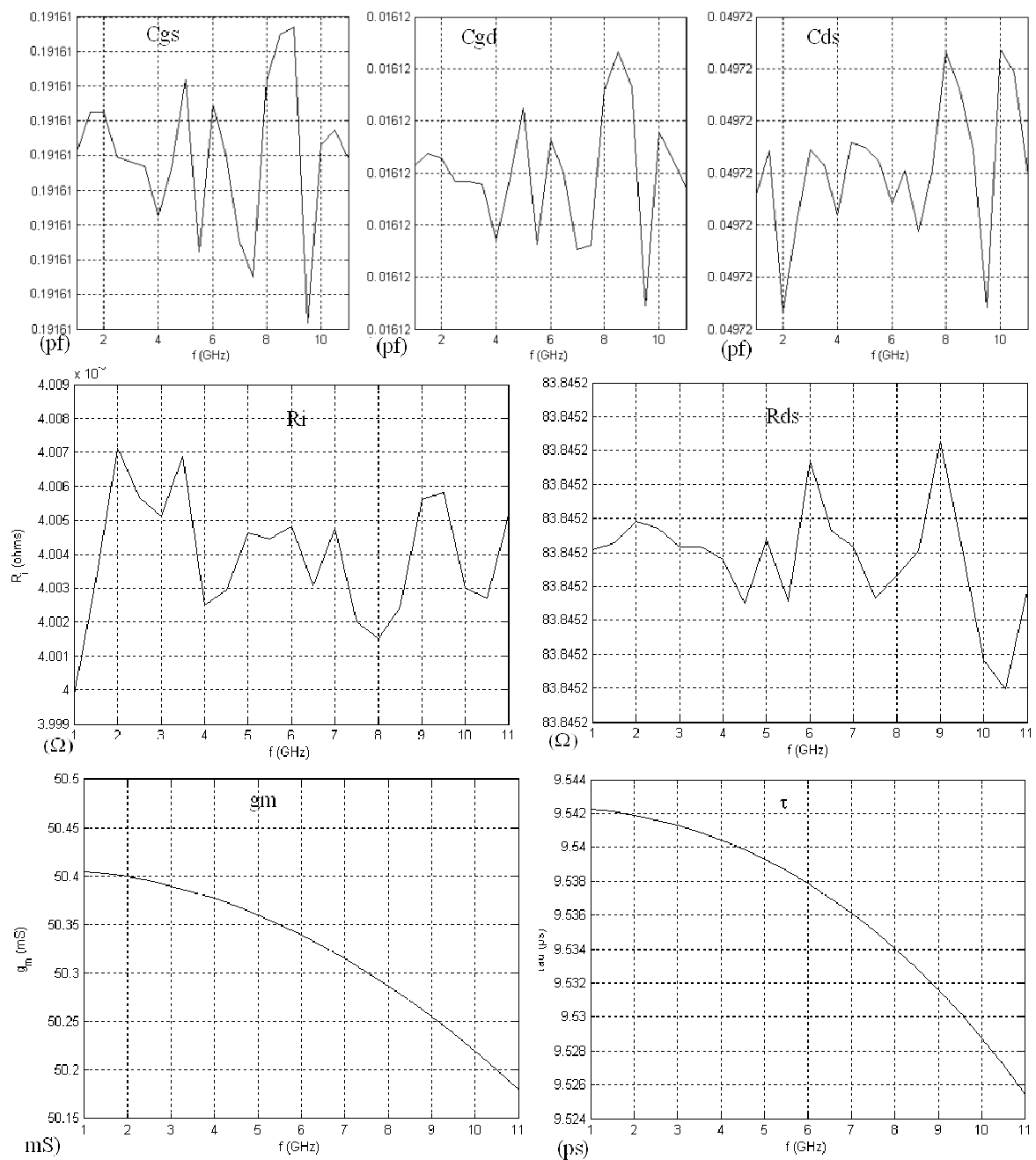


Figura 58. Dispersión de los PCE's intrínsecos extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para 8 v, 200 mA.

Tabla XX. PCE's extraídos por el método de Berroth y Bosch (1990) con la mejora propuesta para los elementos parásitos.

Parámetros extrínsecos		V_{ds} (v), I_{ds} (mA)	{2.25, 10}	{5, 100}	{8, 200}
R_g (Ω)	1.613570	R_i (Ω)	0.0000	0.07246	0.00005
R_s (Ω)	0.259831	C_{gs} (pf)	0.1257	0.18198	0.19161
R_d (Ω)	1.712570	C_{gd} (pf)	0.0277	0.01783	0.01612
L_g (nH)	0.527667	g_m (mS)	51.9906	69.95920	50.33910
L_s (nH)	0.103336	τ (ps)	6.6479	9.39640	9.53790
L_d (nH)	0.678074	R_{ds} (Ω)	134.6851	66.49920	83.84530
C_{pg} (pf)	0.186612	C_{ds} (pf)	0.0525	0.04879	0.04972
C_{pd} (pf)	0.108603	Error (ec. 26)	0.0004	0.0044	0.0004

A final de cuentas, el método del apartado IV.1.c) ([Shirakawa *et al*, 1995] más la incorporación que se hizo del enfoque multibias) tiene el mejor ajuste de los parámetros S comparado con los otros métodos de optimización global y parcial que se implementaron. Además, cumple cabalmente con las condiciones de que los PCE's intrínsecos extraídos son independientes de la frecuencia por un lado, y por el otro que los PCE's extrínsecos encontrados son independientes de la polarización.

A la vez, es claro que el método del apartado IV.2.c) ([Berroth y Bosch, 1990], con la enmienda en la extracción de las capacitancias extrínsecas, [Lai y Hsu, 2001]) es el procedimiento de extracción analítica con los errores más pequeños en el ajuste de parámetros S, mientras que la varianza en frecuencia de los PCE's es casi imperceptible.

El modelo de circuito equivalente que se empleará para el diseño es el que se menciona en el párrafo anterior. La razón para esta elección es que los errores de ajuste son ligeramente menores para el mejor método analítico que para el mejor de optimización, mientras que los PCE's de los dos modelos son muy similares.

V. ANÁLISIS Y DISEÑO PROPUESTOS DEL AMPLIFICADOR DE REFLEXIÓN.

En este capítulo se presentan las metodologías de análisis y diseño del amplificador de reflexión. Se proporcionan resultados del análisis numérico y electromagnético de las redes que componen al amplificador de reflexión y del comportamiento teórico del mismo.

V.1. Análisis propuesto para el amplificador de reflexión.

Como se ha mostrado, los antecedentes bibliográficos han abordado el problema del amplificador de reflexión principalmente empleando el concepto de *resistencia negativa*. La única excepción es la referencia generada en CICESE [Venguer *et al*, 2002], no obstante su aporte analítico más importante es una expresión para el ruido, por tratarse de una investigación acerca de un amplificador de bajo ruido. A continuación se propone un enfoque que también pretende prescindir del concepto de *resistencia negativa* para explicar el proceso de amplificación. El objetivo es encontrar una ecuación para predecir la ganancia y el ancho de banda del amplificador de reflexión.

V.1.a) Etapa de amplificación.

El principio de operación propuesto para analizar el proceso de amplificación se puede resumir como, ganancia por retroalimentación positiva resonante.

El punto de partida es el circuito planteado para el amplificador de reflexión como el de la figura 1, compuesto básicamente por tres subredes. La más importante de las cuales es la etapa de amplificación que contiene al transistor y a un elemento de retroalimentación. Es

posible explicar el proceso de generación de ganancia, ocurrido en esta etapa, como sigue.

Con el transistor polarizado existe energía almacenada en la inductancia L_f . Cuando se aplica en la compuerta una señal, V_{s0} , con la cual C_{gs} presenta el voltaje modulador de la corriente de CD (V_s), la magnitud de la corriente modulada en el canal, I_{d1} , es:

$$I_{d1} = V_s g_m \quad (54)$$

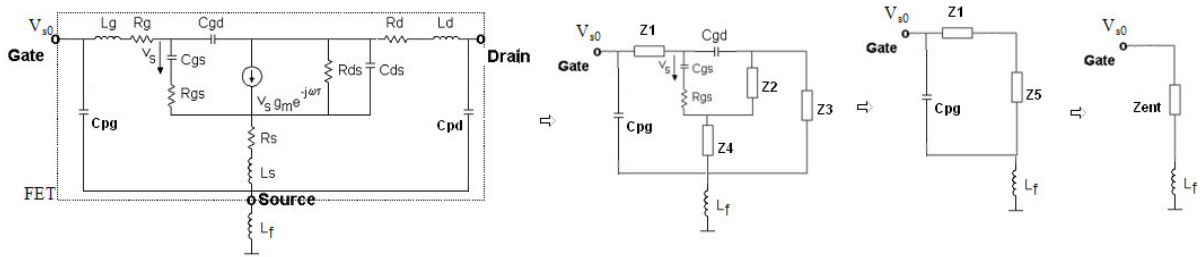


Figura 59. Circuito equivalente de la etapa de amplificación y sus simplificaciones.

Si ahora se considera únicamente la etapa de amplificación, la tensión total recibida de la fuente (V_{s0}), se divide repetidamente antes convertirse en el voltaje aplicado sobre el canal V_s (véase la figura 59). La primera división corresponde a:

$$V_{Zent} = V_{s0} \frac{|Z_{ent}|}{|Z_{ent} + j\omega L_f|} = V_{s0} \cdot k_1 \quad (55)$$

y luego,

$$V_{Z5} = V_{Zent} \frac{|Z_5|}{|Z_5 + Z_1|} = V_{Zent} \cdot k_2 = V_{s0} \cdot k_1 \cdot k_2 \quad (56)$$

donde:

$$Z_1 = R_g + j\omega L_g \quad (57)$$

a su vez Z_5 se encuentra con la conversión Π -T que se ilustra en la figura 60.

$$Z_5 = (Z_c + Z_4) \parallel (Z_b + Z_3) + Z_a \quad (58)$$

que incluye a:

$$Z_2 = 1/(G_{ds} + j\omega C_{ds}) \quad (59)$$

$$Z_3 = (R_d + 1/j\omega C_{pd} + j\omega L_d) \quad (60)$$

$$Z_4 = (R_s + j\omega L_s) \quad (61)$$

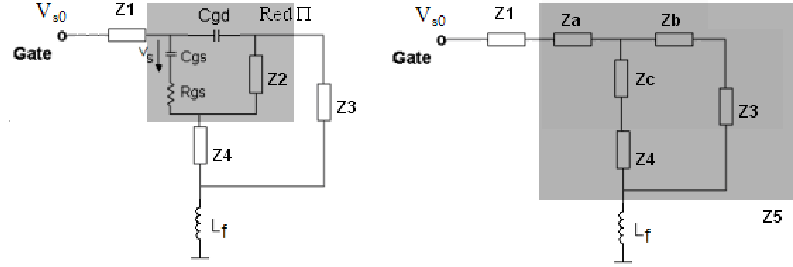


Figura 60. Transformación de la red P formada por Zgs-Zgd-Zds en una red T.

Entonces, la siguiente división del voltaje considera al circuito tipo Π de Z_{gs} , Z_{gd} y Z_{ds} , como una red de 2 puertos cuya impedancia de entrada es:

$$Z_{ent-\Pi} = Z_{11-\Pi} - \frac{Z_{12-\Pi}Z_{21-\Pi}}{Z_{22-\Pi} + Z_3 + Z_4} \Leftrightarrow [Z_{\Pi}] = \begin{bmatrix} Z_{11-\Pi} & Z_{12-\Pi} \\ Z_{21-\Pi} & Z_{22-\Pi} \end{bmatrix} \quad (62)$$

para recibir:

$$V_{Zgs} = V_{Z5} \frac{|Z_{ent-\Pi}|}{|Z_{ent-\Pi} + Z_4|} = V_{Z5} \cdot k_3 = V_{s0} \cdot k_1 \cdot k_2 \cdot k_3 \quad (63)$$

y así, finalmente se tiene

$$V_s = V_{Z2} \frac{|X_{Cgs}|}{|X_{Cgs} + R_{gs}|} = V_{Z2} \cdot k_4 = V_{s0} \cdot k_1 \cdot k_2 \cdot k_3 \cdot k_4 = V_{s0} \cdot k \quad (64)$$

La interacción entre la corriente modulada que fluye en el puerto drenaje-fuente, I_{d1} , y la energía almacenada en L_f determina el voltaje de autoinducción V_{Lf} :

$$V_{Lf} = -I_{d1}\omega L_f \quad (65)$$

Este voltaje es la fuente de amplificación de la señal, y la fuente de retroalimentación positiva en serie.

Considérese que el término “retroalimentar” se define como hacer un muestreo la señal en la salida para insertarla en la entrada (suponiendo que la entrada es la compuerta G y la salida el puerto drenaje-fuente D-S, para efectos de notación en el marco de la retroalimentación; no para tomarles como la entrada y la salida del amplificador), entonces como se ilustra en la figura 61, el voltaje resultante de muestreo V_{FB} sería:

$$V_{FB} = \|V_{Lf}\| - \|V_{ds}\| \quad (66)$$

con,

$$|V_{ds}| = |I_{dl}(Z_{ds})| = |V_s|g_m \cdot |Z_{ds}| \quad (67)$$

y,

$$Z_{ds} = Z_{22} - \frac{Z_{12}Z_{21}}{Z_{11} + X_{Lf} + R_{in-nl}} \Leftarrow [Z] = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \quad (68)$$

Aquí $[Z]$ es la matriz de impedancias del transistor por sí solo. Se presupone que la fuente de señal y la carga están bien acopladas con la etapa que contiene al elemento no lineal, es decir: tanto R de la fuente de señal, como R_L corresponden con R_{in-nl} , la cual se observa en el plano de referencia de la compuerta.

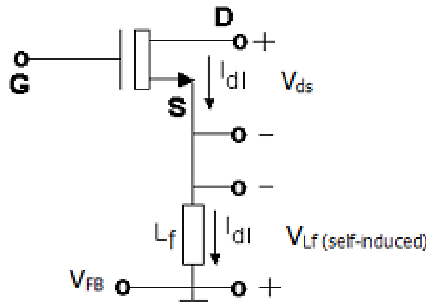


Figura 61. Ilustración del voltaje de retroalimentación.

La hipótesis supuesta estriba en que la operación del amplificador se debe a retroalimentación positiva, lo cual postula que $|V_{L3}| > |V_{ds}|$, y la magnitud del voltaje de retroalimentación, V_{FB} , se recibe de combinar las ecuaciones (65), (66) y (67):

$$|V_{FB}| = |V_{Lf}| - |V_{ds}| = g_m(|V_s|\omega L_f - |V_s Z_{ds}|). \quad (69)$$

La aplicación del voltaje de retroalimentación dado por la ecuación (69) crea una corriente de canal adicional, I_{d2} , que corresponde a:

$$I_{d2} = g_m V_{FB} \quad (70)$$

Como V_s y V_{FB} actúan de forma simultánea sobre la conductancia del canal, el resultado es una corriente de canal variable total, $I_{\sim}$, acorde con:

$$I_{\sim} \approx I_{d1} + I_{d2} = g_m(V_s + |V_{FB}|) \quad (71)$$

Luego, el voltaje que se induce en la L_f por la corriente de canal variable total, es:

$$V_{Lf}^{\bullet} \approx -I_{\sim} \omega L_f = -(V_s + |V_{FB}|) g_m \omega L_f \quad (72)$$

En condiciones de acoplamiento entre las resistencias de fuente y de carga, con la parte real de la impedancia de entrada del transistor, R_{in} , el voltaje de salida se da (de forma análoga al voltaje de retroalimentación):

$$\begin{aligned} V_{sal} &= |V_{Lf}^{\bullet}| \\ V_{sal} &= g_m \omega L_f (V_s + |V_{FB}|) \\ V_{sal} &= g_m \omega L_f (V_s + g_m |V_s \omega L_f - V_s |Z_{ds}|) \\ V_{sal} &= [g_m \omega L_f (1 + g_m |\omega L_f - |Z_{ds}||)] \end{aligned} \quad (73)$$

El desfaseamiento entre la señal de entrada, $V_s \cdot e^{j\omega t}$, y la corriente modulada, $I_{\sim}$, tiene su origen en el retardo producido por el paso de la información a través del transistor. Este tiempo de tránsito se representa en el circuito equivalente por τ . Para las frecuencias de interés, aproximadamente de 4 y 10 GHz, y un retardo eléctrico τ típicamente menor que ≈ 10 ps, la contribución de fase de $\omega\tau$ esta alrededor del 5%, respecto del ciclo completo de oscilación, y por tanto se desprecia la diferencia de fase que produce. Por otro lado, el

proceso de autoinducción para el V_{Lf} implica un desfaseamiento aparte, que corresponde a 180° . Este atraso cumple la condición dada por Boyles (1986) para la operación estable del amplificador de reflexión (diferencia respecto de un oscilador):

$$|\angle V_{sal} - \angle V_{ent}| = (2n + 1)\pi \quad (74)$$

Para dispositivos con mayor retardo eléctrico, y operantes en frecuencias mayores, la contribución de $\omega\tau$ aumenta, además de que la longitud eléctrica de los circuitos distribuidos empieza a producir un desfase considerable. En esos casos es necesario realizar el análisis de fase y diseñar el elemento de retroalimentación para dar un retardo eléctrico de compensación, o bien agregar una etapa más sin pérdidas que lo haga, con el fin de propiciar la operación sin inestabilidad.

La potencia disipada en la resistencia de salida, R , debida al voltaje de salida es:

$$P_R \approx \frac{V_R^2}{R} = \left(V_{sal} \frac{R}{|R + Z_{in}|} \right)^2 \frac{1}{R} = V_{sal}^2 \frac{R}{|R + Z_{in-nl}|^2} \quad (75)$$

$$\text{con: } Z_{in-nl} = R_{in-nl} + X_{in-nl} = Z_1 + [Z_2 \parallel (R_{gs} + X_{Cgs})] + Z_3. \quad (76)$$

que es la impedancia de entrada del transistor con el elemento de retroalimentación conectado y el drenaje abierto.

Si se sustituye la ecuación (73) en la (75), se tiene:

$$P_R(\omega) = V_s^2 \left[g_m \omega L_f \left(1 + g_m (\omega L_f - |Z_{ds}|) \right) \right]^2 \frac{R}{|R + Z_{in-nl}|^2} \quad (77)$$

Entonces, se incluye la ecuación (64) en la (77), y el resultado es:

$$P_R(\omega) = \frac{R}{|R + Z_{in-nl}|^2} k^2 V_{s0}^2 \left[g_m \omega L_f \left(1 + g_m (\omega L_f - |Z_{ds}|) \right) \right]^2 \quad (78)$$

Y para la potencia de la señal de entrada dada por:

$$P_{ent} = V_{s0}^2 / R_{ent} \quad (79)$$

el coeficiente de transmisión o ganancia del amplificador de reflexión para el plano de referencia en la compuerta del transistor es:

$$G \cong \alpha \cdot P_R / P_{ent} \quad (80)$$

donde $\alpha \approx 0.4$ corresponde a un coeficiente experimental.

A continuación se introduce finalmente en el análisis la última parte distintiva del principio de operación propuesto: la resonancia.

Suponiendo que la inductancia de retroalimentación forma un circuito resonante con el transistor en cierta frecuencia, la frecuencia central de operación f_0 , implicando que en ese punto la impedancia de entrada para la etapa de amplificación carece de parte reactiva, y que la potencia que se entrega depende solamente de las pérdidas y del acoplamiento con la carga. En condiciones de acoplamiento perfecto de la fuente de señal y la carga, con la etapa que contiene al elemento no lineal, $R_{ent}=R=R_{in-nl}$, la combinación de las ecuaciones (78) y (79) en la (80) determina la ganancia en función de ω , cuya expresión es la ecuación (81) que se puede ver ilustrada en la figura 62 para un transistor de ejemplo (NE33284A).

$$G(\omega) = \alpha \left\{ \frac{R}{|R + Z_{in}|} \cdot k \cdot \left[g_m \omega L_f \left(1 + g_m (\omega L_f - |Z_{ds}|) \right) \right] \right\}^2 \quad (81)$$

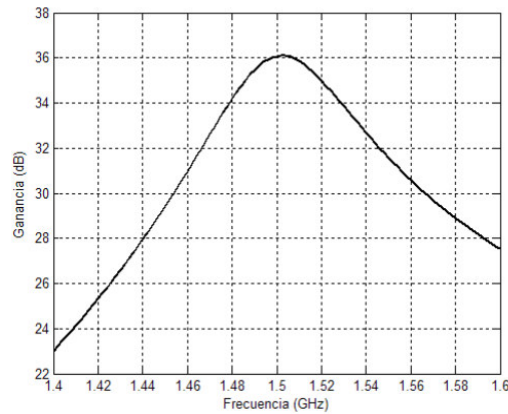


Figura 62. Ejemplificación gráfica de la ecuación (81) para los datos de la Tabla XXI.

Tabla XXI. PCE's extraídos en la banda de 0 a 3 GHz para un transistor de ejemplo, con el propósito de ilustrar la ecuación (81).

Elementos Extrínsecos			Elementos Intrínsecos		
Elemento	Valor	Unidad	Elemento	Valor	Unidad
R_g	2.868146	Ω	C_{gs}	0.4372682	pf
R_s	1.545431	Ω	C_{gd}	0.02931077	pf
R_d	8.273714	Ω	C_{ds}	0.01888266	pf
L_g	0.7470044	nH	R_i	0.000069	Ω
L_s	0.08540551	nH	R_{ds}	83.058493	Ω
L_d	0.1402490	nH	g_m	1.334642	mS
C_{pg}	0.0281.4264	pf	τ	17.51083	ps
C_{pd}	0.0768.0540	pf			

V.1.b) Redes de terminación de los puertos restantes.

Una vez que se ha expuesto el proceso de generación de ganancia en la etapa de amplificación, y que implícitamente se ha definido el elemento de retroalimentación, queda por definirse el rol de las redes de drenaje y de compuerta.

Como se ha mostrado anteriormente, algunos antecedentes han apuntado ya a la característica del amplificador de reflexión de brindar alta ganancia en anchos de banda angostos. Lo cual significa que la ganancia guarda una planaridad aceptable en un rango de frecuencias corto, alrededor del punto de ganancia máxima. Eso también se ve reflejado en la gráfica de ejemplificación de la ecuación (81) que se mostró en el apartado anterior. Una tarea de diseño más sofisticada, que la de simplemente crear amplificación, debería encontrar la manera de hacerla más plana. Aunque la elección más intuitiva podría ser aumentar el valor de ganancia a los lados de las frecuencias de corte, hasta el mismo nivel que la ganancia en la frecuencia central como se muestra en la figura 63a), esto no contempla la limitación de ganancia-ancho de banda natural del amplificador.

Una opción más factible sería disminuir la ganancia máxima y alrededor de la frecuencia central, mantenerla mas o menos constante en las frecuencias naturales de corte, y mejorarla en otras frecuencias, lo cual se ilustra en la figura 63b). Así se puede ensanchar la banda de operación hasta el límite en que sea posible comprometer la ganancia máxima.

Esta tarea se realiza parcialmente con la terminación de drenaje, y se complementa con el circuito que se conecta en la compuerta, y el efecto total consiste de lo siguiente.

La ecuación (65) señala que el voltaje de autoinducción generado en L_f , a partir de I_{d1} , es responsable de la retroalimentación positiva. El papel de ese voltaje en la generación de ganancia es crucial. Si para alguna frecuencia dada, f' , el drenaje no se termina en un circuito abierto (no se cumple que $Z_d \gg Z_{sal}$ de la etapa de amplificación), al contrario de la suposición hecha para la ecuación (65) ($Z_d \rightarrow \infty$), se puede esperar que una porción de I_{d1} se consuma en la terminación conectada. Esto disminuiría la ganancia en f' , pues el voltaje de retroalimentación será menor, tal como se puede ver en la figura 63c). Simultáneamente, la terminación de drenaje modifica la impedancia Z_{in-nl} (ecuación (76)) y la resonancia que posibilitaba la máxima transferencia de potencia en la frecuencia central, se desplaza. Este desplazamiento favorece una mayor ganancia en otra parte de la banda.

Por el lado de la compuerta, también el desplazamiento de la resonancia produce una disminución de la ganancia máxima y un incremento de la amplificación en otra frecuencia. Pero, otra función importante de esta red es la de cumplir con el acoplamiento entre el circulador y la etapa de amplificación. Originalmente, se supone que la adaptación ($R_{ent}=R=R_{in-nl}$) se presenta en la frecuencia de operación, no obstante, se puede producir un

desplazamiento en el acoplamiento con el fin de mejorar la ganancia en otras frecuencias y disminuirla en el centro de la banda, como se muestra en la figura 63d).

Recordando los objetivos de la tesis, acerca del manejo de potencia, es necesario tener en cuenta que solamente es de interés demostrar la eficiencia que puede entregar el amplificador de reflexión para mediana potencia lineal. Un modelo de gran señal, un análisis por series de potencia, así como de balance armónico, serían relevantes para dilucidar y predecir el desempeño de potencia en régimen no lineal. Sin embargo, estas tareas envisten un esfuerzo y un periodo de trabajo adicionales a las actividades contempladas en este estudio, de manera que se han suprimido, y quedan sugeridas como una potencial investigación complementaria a futuro.

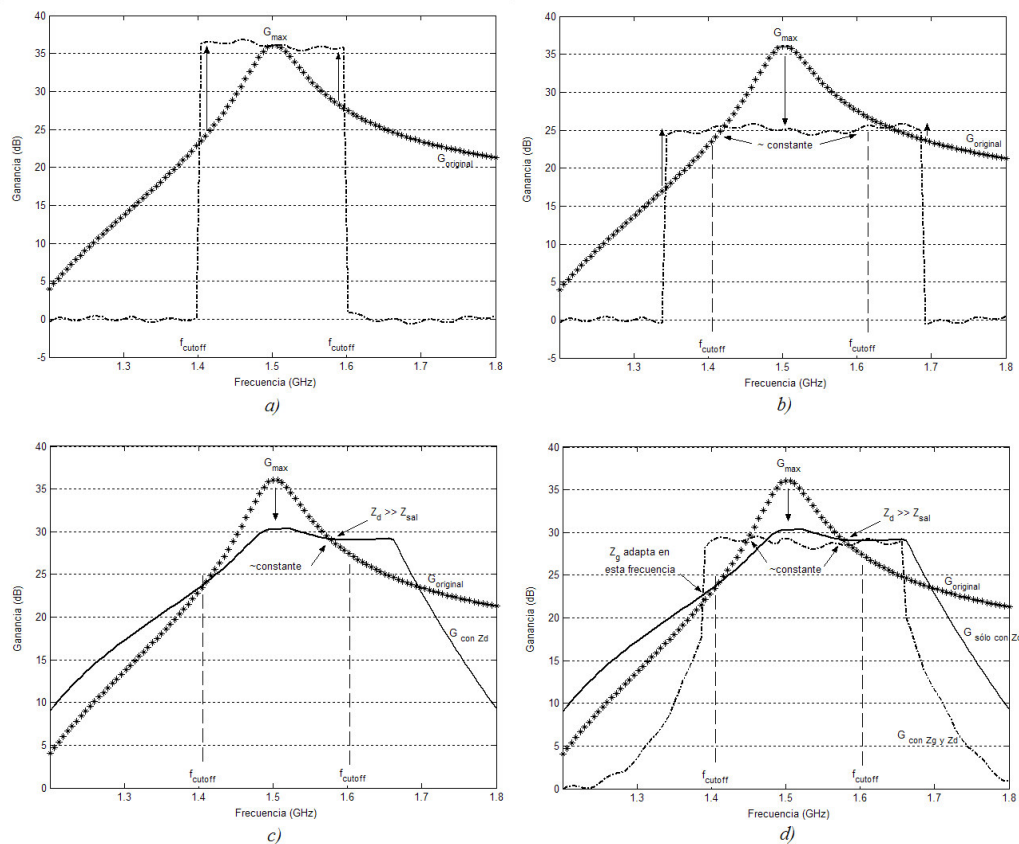


Figura 63. Mejora del ancho de banda, aplanamiento de la ganancia.

V.2. Diseños de amplificadores de reflexión propuestos.

En la sección V.1. se describieron analíticamente las etapas del amplificador, explicando los fenómenos más importantes que dan lugar a su funcionamiento. En consecuencia, se pueden definir los pasos de diseño del amplificador:

1. Definición de las especificaciones de diseño: frecuencia de operación, ancho de banda, ganancia, manejo de potencia esperada.
2. Definición de los bancos de medición.
3. Elección del circulador.
4. Caracterización del circulador para definir si se puede utilizar en las frecuencias de interés. (En caso contrario cámbiese la elección del paso 3, o las especificaciones del paso 1).
5. Elección del transistor.
6. Definición de la base de pruebas. (En caso que no se cuente con una adecuada cámbiese la elección del paso 5 o la definición del paso 2), o siga las siguientes sub-etapas:
 - a. Diseño y simulación de una base de pruebas adecuada.
 - b. Construcción de la base de pruebas y simulación del resultado con los errores de fabricación. (Si se detecta una desviación importante del comportamiento ideal, repítase este paso o cámbiese, el diseño en el paso 6.a).
 - c. Caracterización de la base y validación de “de-embedding”. (En caso de que el “de-embedding” no sea válido, repítase o modifíquese la construcción en el paso 6.b., o reemplácese el diseño en el paso 6.a).

7. Mediciones de CD para definir los posibles puntos de operación, el voltaje de bloque y los puntos de Vgs de las mediciones *en frío*, así como los PCE's resistivos posibles.
8. Medición del punto P_{1dB} para determinar el manejo de potencia lineal del transistor, en cada punto de operación y frecuencia de interés, para verificar en que puntos el amplificador de reflexión podría cumplir las especificaciones. (Si no es posible cumplirlas, cámbiense la elección en el paso 5, o las especificaciones del paso 1).
9. Mediciones de parámetros S del transistor.
10. Extracción del circuito equivalente del transistor.
11. Evaluación de la ganancia y diseño de la red de retroalimentación para los puntos de operación de interés. (En caso de que la ganancia o la red de retroalimentación no sean satisfactorias, verifíquese la extracción en el paso 10, cámbiense la elección en el paso 5, o las especificaciones del paso 1).
12. Determinación de las redes de adaptación y mejora del ancho de banda.
13. Determinación y simulación de la configuración superficial (layout final) del amplificador. (si los resultados de la simulación no son satisfactorios, optimizar el paso 12, cambiar la elección en el paso 5, o las especificaciones del paso 1).
14. Especificaciones de fabricación y montaje para validar el diseño.

Empleando los modelos extraídos, se evaluaron las ecuaciones (55) a (64), (68), (76), y (81) considerando que: la fuente de señal y la carga están bien acopladas con la etapa que contiene al elemento no lineal, y que la inductancia de retroalimentación forma un circuito resonante con el transistor en la frecuencia de operación. El resultado de la ganancia esperada para la etapa de amplificación por si sola con las suposiciones mencionadas, y en cada punto de operación, se muestra en la figura 64. La Tabla XXII incluye las

inductancias de retroalimentación que entran en resonancia con la entrada del transistor para cada diseño presentado.

Tabla XXII. Inductancias de retroalimentación para la etapa de amplificación en los diferentes puntos de operación.

{2.25 v, 10mA}@ 4 GHz	{5v, 100 mA}@ 4 GHz	{5 v, 100 mA}@ 10 GHz	{8 v, 200 mA}@ 4 GHz
$L_f = 4.6311 \text{ nH}$	$L_f = 3.1653 \text{ nH}$	$L_f = 0.4434 \text{ nH}$	$L_f = 3.2499 \text{ nH}$

Se propone que la red de compuerta para adaptación y mejora de la ganancia esté formada por una cambio de impedancia entre dos líneas de 50Ω (en una se empalmará el conector coaxial y en la otra el transistor). A su vez, se plantea que la red de mejora de la ganancia correspondiente al drenaje sea un *stub* terminado en circuito abierto. El efecto de retroalimentación dificulta el cálculo aislado de ambas redes, y no es fácil determinar las frecuencias de operación correspondientes que producen los desplazamientos adecuados:

- de la división del voltaje de entrada,
- de la generación del voltaje de salida,
- de la adaptación de salida (es decir, de la potencia entregada).

Sin embargo, se pueden obtener estimaciones suficientes para iniciar una optimización.

Dicha optimización se realizó en ADS® con el esquemático que se muestra en la figura 65. Las redes de polarización no entran a la optimización, ya que su diseño se realizó después, cuando se ha determinado perfectamente la banda de operación y la descripción del proceso. En la optimización se utilizaron los datos medidos de los circuladores, reportados en el capítulo anterior, para formar la matriz $[S]$ de 3 puertos que les corresponde. De esta manera se incluyen los efectos del circulator en el diseño, dado que

estos dispositivos no son ideales, ni sus puertos exactamente iguales. La versión final de cada caso se verifica mediante una simulación electromagnética con 30 celdas/ λ utilizando Momentum®.

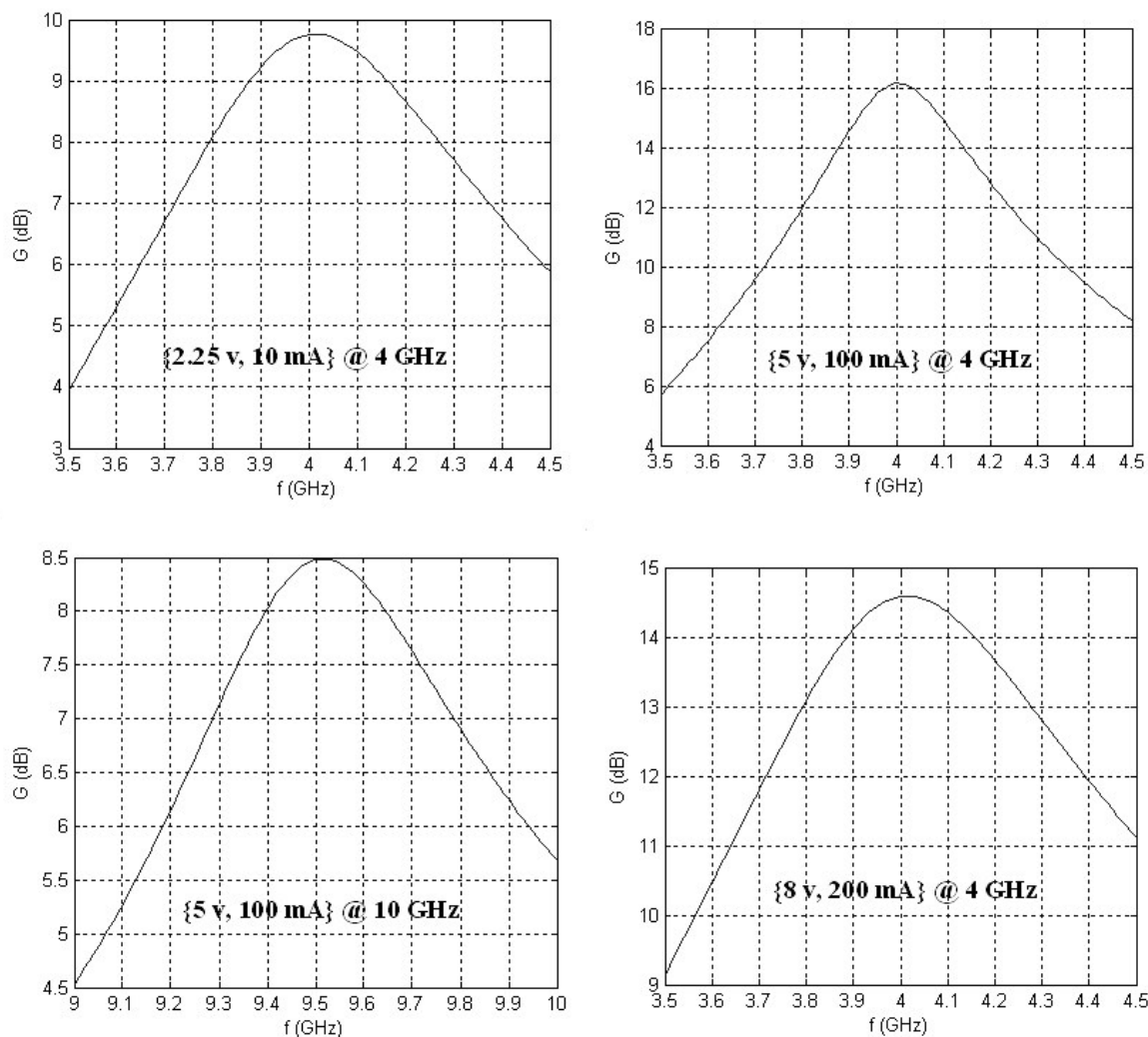


Figura 64. Ganancia de la etapa de amplificación para cada punto de operación, según el análisis presentado en este estudio (ecuación (81)).

Para los amplificadores diseñados alrededor de 4 GHz se emplearon los datos del mismo sustrato en el cual se fabricó la base de pruebas coaxial-microcinta-coaxial contenidos en la penúltima fila de la Tabla VI. La elección se basa en que el layout y

circulador se acoplarán mediante conectores coaxiales, y ya se ha comprobado que se consigue una transparencia satisfactoria de las transiciones metálica y dieléctrica entre dichos conectores y el sustrato elegido. De esta manera, se considera que no hay un desacoplamiento entre el layout y el circulador (que podría provocarse por el empalme del conector sobre la línea de entrada) y ni tampoco pérdidas por transmisión en el conector (puesto que son muy pequeñas, menores a 1 dB). Así, estos efectos no se consideran directamente en el esquemático.

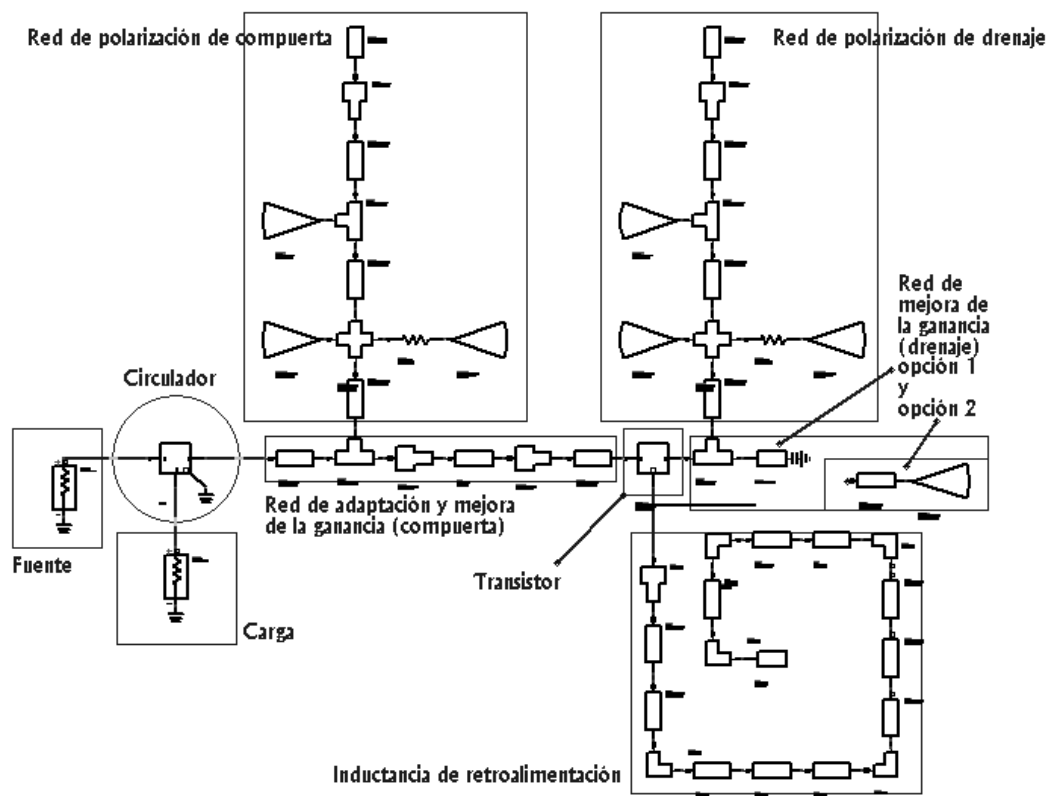


Figura 65. Esquemático del amplificador de reflexión en ADS®.

Respecto a la versión proyectada para trabajar aproximadamente en 10 GHz se prefirió utilizar un sustrato con constante dieléctrica más alta ($\epsilon_r=10.5$, $h=635 \mu\text{m}$, $t=18 \mu\text{m}$ y $\tan \delta= 0.008$), que es mas adecuado para estas frecuencias. Las redes de polarización se

diseñaron para que al insertarse entre dos líneas sin pérdidas no-reflectoras, presentaran las mínimas pérdidas por regreso y transmisión. Están formadas por tres líneas de alta impedancia ($\approx 100 \Omega$) y con longitud eléctrica de 90° . Las primeras dos se conectan a un *stub* radial al final. Después de la primera línea, se conecta una resistencia de 50Ω y una capacitancia a tierra. Al final de la tercera se coloca el “*pad*” para soldar la alimentación de CD. Los diseños finales para las frecuencias de 4 y 11 GHz en los sustratos correspondientes, se presentan en la figura 66, mientras que los resultados de las simulaciones electromagnéticas con Momentum® se ilustran en la figura 67.

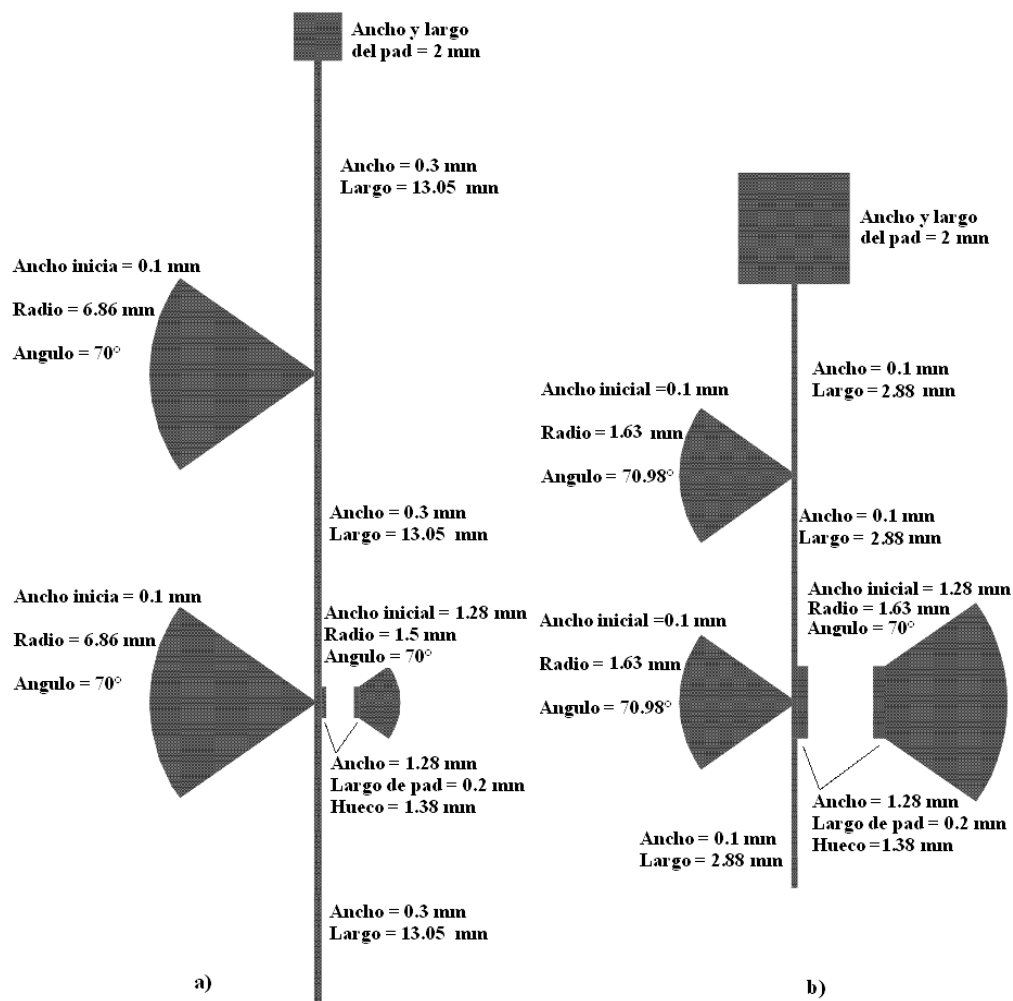


Figura 66. Layout de los circuitos de polarización diseñados, a) ≈ 4 GHz, b) ≈ 11 GHz

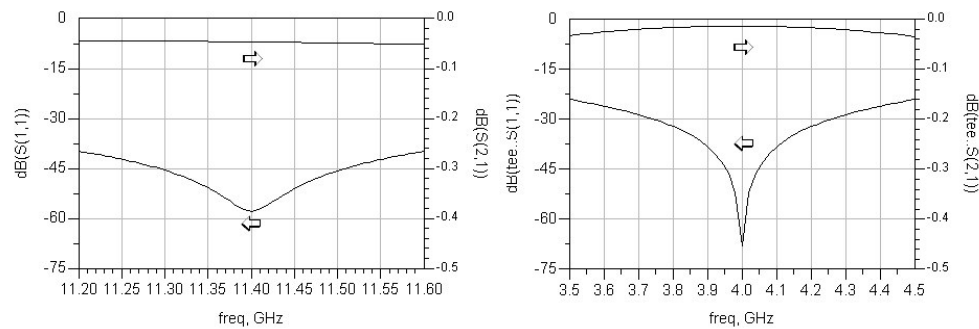


Figura 67. Resultados de la simulación electromagnética de los circuitos de polarización diseñados para ambas bandas de operación.

Las configuraciones superficiales finales de los amplificadores que se diseñaron se presentan en la figura 68. Las especificaciones de desempeño se ilustran en la figura 69 y en la Tabla XXIII.

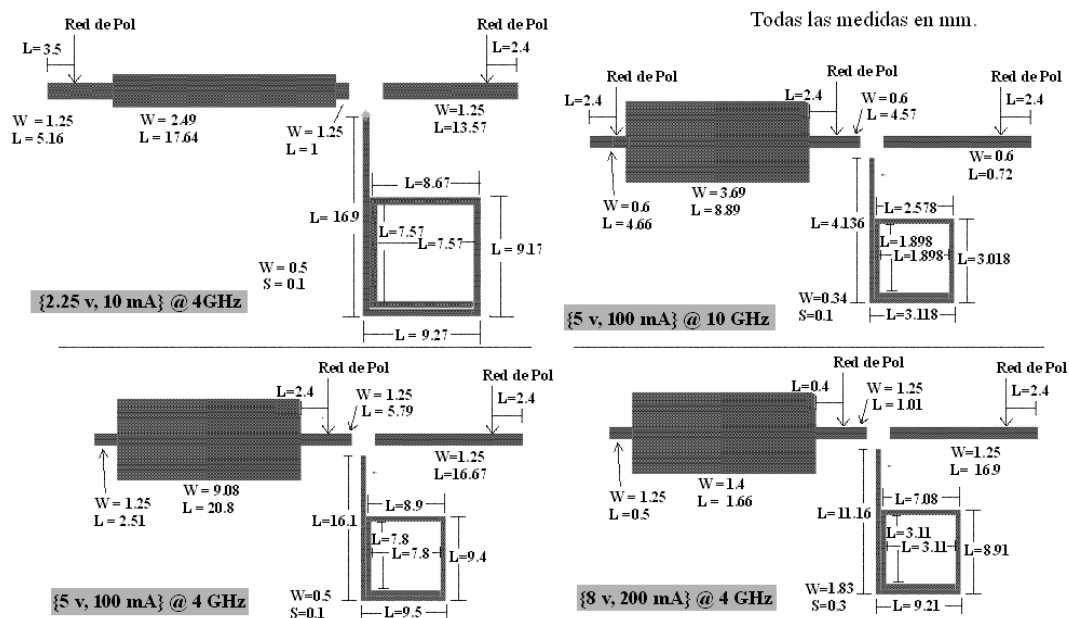


Figura 68. Configuraciones superficiales de los amplificadores de reflexión diseñados.

Para estimar la eficiencia del amplificador de reflexión en cada caso, se toma el valor de la máxima potencia de entrada sin compresión, y se le suma la ganancia del amplificador para obtener la potencia de salida correspondiente. Cabe recordar que no se consiguió la

compresión en los puntos de polarización en que se diseñó, lo que ya se mostró en la Tabla XII, y por lo tanto la estimación obtenida no es un límite de eficiencia.

Tabla XXIII. Resultados finales de desempeño para los amplificadores de reflexión diseñados.

V_{ds}, I_{ds} (v, mA)	2.25, 10	5, 100		8, 200
$f_{central}$ (GHz)	4	3.75	11.415	3.563
G (dB)	12.1 ± 0.95	10.9 ± 1	11.92 ± 1.07	14.3 ± 1
Δf (MHz)	200	500	250	125
Δf (%)	5	13.33	2.19	3.51
$\sim P_{in-max}$ (dBm)	> 13.45	> 13.70	> 10.44	> 13.70
$\sim P_{sal-max}$ (dBm)	> 26.5	> 25.6	> 23.43	> 28
$\sim P_{sal-max}$ (mW)	> 446.7	> 363.1	> 220.3	> 630
$ S_{11} $ (dB)	< -11.02	< -14.73	< -14.08	< -11.212
$ S_{22} $ (dB)	< -11.00	< -14.01	< -14.08	< -13.39

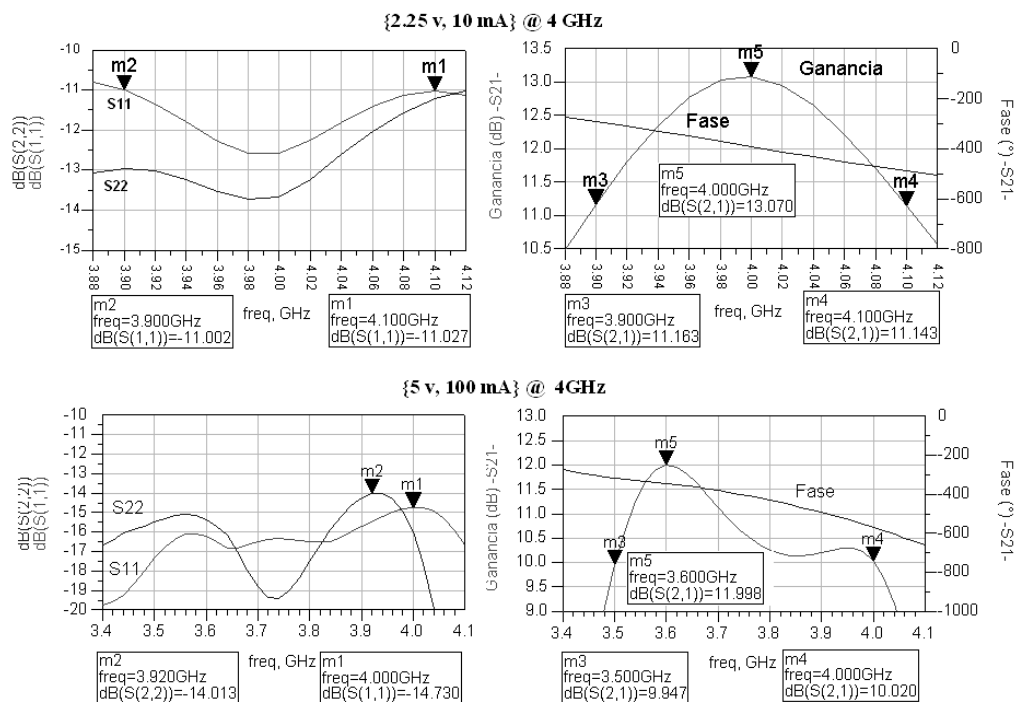


Figura 69. Resultado final de ganancia y acoplamiento, de entrada y salida, para los amplificadores de reflexión diseñados en {2.25 v, 10 mA} y {5 v, 100 mA}.

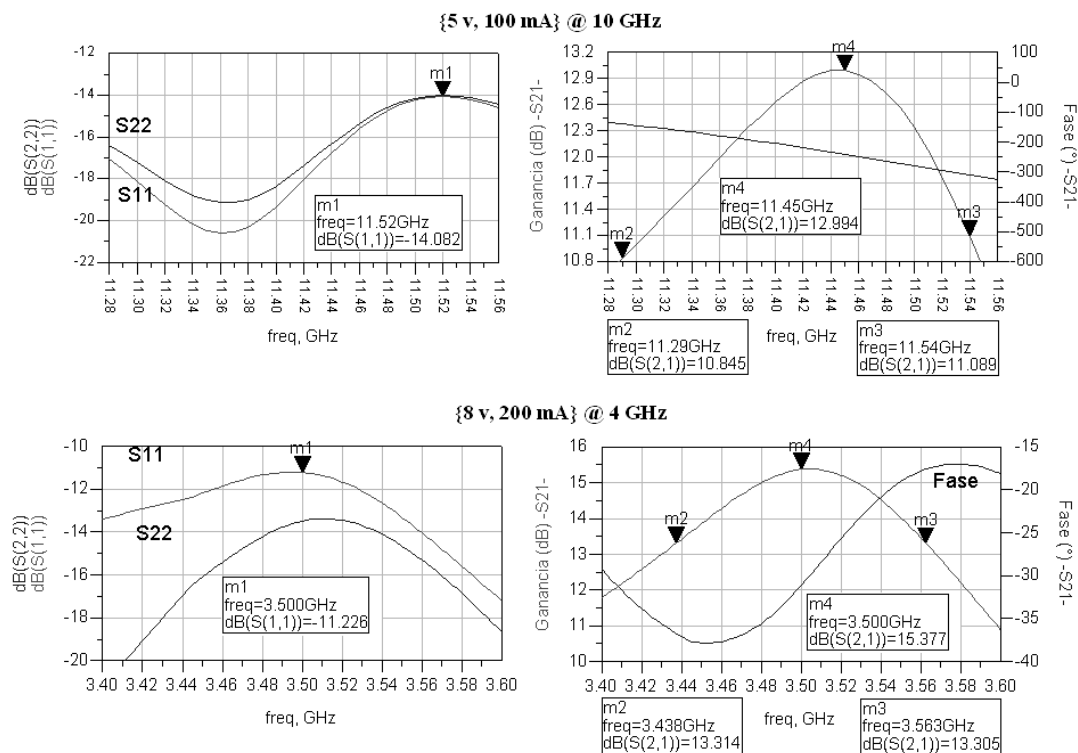


Figura 70. Resultado final de ganancia y acoplamiento, de entrada y salida, para los amplificadores de reflexión diseñados en {5 v, 100 mA} (a 10 GHz) y {8 v, 200 mA}.

Por último, se proporcionan recomendaciones adicionales de montaje que se deberían observar para que el diseño presentado concuerde con la fabricación de los amplificadores de reflexión:

- Los amplificadores diseñados deberían conectarse con el circulator con los puertos ordenados así: el 2 para la entrada, el 3 hacia el transistor, el 1 para la salida.
- Las redes de adaptación y mejora del ancho de banda en la compuerta tienen líneas de 50Ω en sus extremos. En uno de ellos se empalma la terminal de compuerta del transistor, en el otro el conector coaxial del mismo tipo al que se empleó en la base de pruebas coaxial-microcinta-coaxial. La soldadura del conector debería hacerse de la misma manera que en dicha base de pruebas, como se muestra en la figura 22.

- La terminal superior de fuente del transistor debería removerse hasta el borde del encapsulado. La terminal inferior de fuente debería cortarse hasta tener 1 mm de longitud, el efecto de cambio de impedancia entre el ancho de esta terminal y el ancho de la inductancia distribuida, está considerado dentro del diseño.

Para las simulaciones se consideró que la pared del recinto metálico que corresponde a la conexión coaxial posee algún recubrimiento absorbente (superficie no reflejante). El resto de las paredes y la tapa se asumieron razonablemente alejadas del circuito (como en la generalidad de los casos).

VI. DISCUSIÓN DE RESULTADOS.

El primer resultado del trabajo se relaciona con la base de pruebas coaxial-microcinta-coaxial. Se consiguió producir una base que permite medir el transistor elegido con los equipos disponibles en el laboratorio de altas frecuencias. La base fabricada presentó un buen acoplamiento a $50\ \Omega$ en sus puertos cuando se midió en las frecuencias de interés. Esto se puede apreciar en la figura 28 considerando que la base y el circuito auxiliar fabricado tienen las mismas transiciones de entrada y salida. Este buen acoplamiento, significa que sólo es necesario cuantificar los parámetros de transmisión para conocer los parámetros del dispositivo bajo prueba a partir de las mediciones.

Por otro lado, se automatizaron los bancos de medición. Esto se realizó con un programa de computadora efectuado en lenguaje MatLab®, lo cual permite realizar el gran número de medidas requeridas para el desarrollo de la tesis, en un tiempo menor.

Además, se propusieron mejoras para los distintos métodos existentes que se aplicaron en el modelado del transistor (extracción de circuito equivalente para transistores de efecto de campo). Esto para cuatro métodos basados en optimización, así como para dos metodologías analíticas. Se obtuvo un modelo óptimo del transistor elegido utilizando un método de cada tipo para 16 puntos de polarización diferentes.

También se logró presentar un nuevo análisis teórico del amplificador de reflexión. El cual culminó con la definición de una ecuación que predice la ganancia que podría proporcionar un transistor cuando se emplea en un amplificador de reflexión.

Se propuso una metodología de diseño de amplificadores de reflexión y se presentaron 4 diseños de amplificadores de reflexión de mediana potencia lineal, detallando las configuraciones físicas, así como recomendaciones de fabricación y montaje.

Los resultados teóricos y de simulación predicen el desempeño esperado de cada alternativa. Se obtuvo un diseño del amplificador de reflexión para la banda C, en la frecuencia de 3.563 GHz, el cual entrega una potencia lineal de 0.63 W, con una ganancia de 14.3 ± 1 dB, y un ancho de banda de 0.125 GHz. Esto representa una ganancia mayor de lo que pudo proporcionar el transistor por sí mismo durante las mediciones en configuración de transmisión, para el mismo punto de operación y manteniendo un buen desempeño de potencia.

A la vez se presentó un diseño del amplificador de reflexión para la banda X, en la frecuencia de 11.415 GHz, con una ganancia de 11.92 ± 1.07 dB. Esta ganancia es mayor que la que se obtendría en un amplificador de transmisión con el mismo transistor en esa frecuencia (con las medidas de parámetros S se obtiene una Máxima Ganancia Estable o MSG de 6.6 dB). Aunque el ancho de banda del amplificador presentado es angosto: 2.19% equivalente a 0.25 GHz.

Simultáneamente, se proporciona los resultados del diseño de un amplificador de reflexión para la banda C, en la frecuencia de 3.75 GHz, con una ganancia de 10.9 ± 1 dB. Este tiene la misma ventaja respecto de un amplificador de transmisión señalada en el párrafo anterior, pero el ancho de banda alcanzado es mejor: 13.3% equivalente a 0.5 GHz.

Finalmente, se diseñó un amplificador de reflexión para operar en la banda C, en la frecuencia de 4 GHz, con ganancia de 12.1 ± 0.95 dB en un ancho de banda del 5% equivalente a 0.2 GHz, y que entrega 445 mW consumiendo solamente 22.5 mW de

potencia de CD. Esto significa un consumo de potencia de CD bajo y una eficiencia alta. Este dispositivo resulta de interés en aplicaciones de transmisión que requieran de autonomía competitiva (tiempo de duración de las baterías) o de un bajo peso (fuente de polarización más pequeña, en el caso de celdas solares), como por ejemplo: satélites con procesamiento a bordo, vehículos o instrumentos espaciales.

VI. CONCLUSIONES, APORTACIONES Y RECOMENDACIONES.

Se mostró que la amplificación de microondas por reflexión en casi todas las fuentes bibliográficas se asocia con un concepto teórico de *resistencia negativa*.

Se comprobó la dificultad para generar un proceso de “de-embedding” para una base de pruebas cuyos puertos de entrada y salida no están bien acoplados, y para la cual no se pueden conocer esos desacoplamientos exactamente. Simultáneamente se comprobó que es posible remover los efectos de la base fabricando un circuito adicional y haciendo un par de mediciones más, si sus puertos presentan un buen acoplamiento. Dicha remoción permite conocer los parámetros S y de potencia correspondientes al dispositivo bajo prueba.

Se observó que la validez física y la convergencia de los métodos analíticos para modelar el transistor, dependen de la correspondencia entre los efectos que contiene el circuito equivalente usado y los fenómenos físicos que ocurren dentro del transistor real.

Se concluye que se puede obtener un modelo del transistor con validez física a partir de un método basado en un proceso de optimización, siempre y cuando se mejore el condicionamiento de la función de error y se tomen en cuenta las consideraciones adecuadas de dependencia de los PCE's.

Se cumplió con los objetivos de la tesis. En cuanto al primero, relacionado con el análisis, se presentó un enfoque teórico para analizar al amplificador de reflexión que prescinde de la *resistencia negativa*, derivado de un análisis eléctrico convencional. También en este sentido, se describe el papel que juegan las redes que rodean a la etapa de amplificación.

En cuanto al objetivo relacionado con el diseño del amplificador, se produjeron cuatro diseños alternativos de amplificadores de reflexión listos para ser fabricados, para dos bandas de frecuencia diferentes, bandas C y X. Para lograr una eficiencia óptima del amplificador, se diseñó con el transistor polarizado en 2.25 v y 10 mA, consumiendo 22.5 mW y esta alternativa entrega una potencia de 445 mW. Para lograr una mayor potencia de salida, de 0.6 W, el transistor se polariza en 8 v y 200 mA. Para conseguir una mayor relación de ganancia–ancho de banda, se polariza el transistor en 5 v y 100 mA, que permite alcanzar hasta 0.5 GHz y 13.3% de ancho de banda con una ganancia de aproximadamente 11 dB.

Se verificó que la hipótesis sobre la eficiencia del amplificador de reflexión parece ser acertada, y la opción diseñada más eficiente resulta atractiva para aplicaciones que requieren grab autonomía como los amplificadores utilizados en ciertos satélites con procesamiento a bordo (que no se limitan a reflejar la señal que reciben), puesto que el bajo consumo de energía disminuye tanto el peso como el tamaño del sistema, al requerir una fuente de menor potencia, sin afectar el nivel de energía de salida.

La alternativa de mayor potencia, si bien no presenta un estándar muy alto dentro de la amplificación de potencia, podría representar una mejor opción con respecto a los amplificadores de potencia convencionales, en cuanto a su bajo costo, ya que sólo emplea un transistor, y los dispositivos competidores suelen utilizar más elementos o etapas.

Con relación al diseño de alta amplificación, representa una ventaja sobre los amplificadores convencionales en los cuales la ganancia disminuye con la frecuencia. Para el punto de polarización 5 v y 100 mA se puede obtener una buena ganancia por reflexión tanto a la frecuencia de 4 GHz como en 10 GHz.

APORTACIONES

Las aportaciones mas relevantes de este trabajo son:

El diseño, fabricación y caracterización de una base de pruebas para el transistor, que permitió la medición de un dispositivo que era incompatible con el equipo de medición disponible en el laboratorio.

La automatización de todos los bancos de medición empleados, con el equipo de computo, el software desarrollado y el equipo de medición disponibles en el laboratorio.

Los resultados obtenidos de la caracterización de los transistores y circuladores.

La presentación de una mejora para cada uno de los métodos de extracción del modelo del transistor que se implementaron, tanto analíticos como de optimización parcial y global, logrando con esto la óptima caracterización del transistor, y posibilitando diseños certeros.

El análisis teórico desarrollado se incluyó como parte de una publicación (A.P. Venguer, J.L. Medina, R.A. Chávez, A. Velázquez y A. Zamudio “*Theoretical And Experimental Analysis Of Resonant Microwave Reflection Amplifiers*”. Microwave Journal, Octubre 2004).

RECOMENDACIONES

Las recomendaciones a realizar en un futuro que se desprenden de este trabajo son:

Se debería contar de antemano con una base de pruebas adecuada para la medición de los transistores que se tienen disponibles.

Se podría recibir una mejor eficiencia del amplificador de reflexión si se dispone de un transistor que no requiera un alto consumo de potencia en CD para su óptimo manejo de potencia en RF.

Es necesario caracterizar empleando amplificadores reforzadores (“*drivers*”) en las bandas de operación que contengan a las frecuencias de interés, con la finalidad de poder identificar los puntos de compresión de 1, 2 y 3 dB de los transistores y amplificadores, como el de este estudio o de mayor potencia.

Se recomienda la construcción de alguno de los diseños propuestos del amplificador de reflexión.

También se exhorta a la extensión de este estudio para incluir un análisis no lineal del transistor, con el propósito de investigar el manejo de potencia, la compresión de ganancia y la eficiencia en ese régimen.

Tal como se realizó en este trabajo, se recomienda observar a futuro los siguientes puntos:

Los métodos analíticos para extraer el circuito equivalente deberían apoyarse en la determinación correcta de los elementos extrínsecos, poniendo atención en las implicaciones físicas que provoca usar una u otra configuración de dichos PCE’s.

Se sugiere mejorar el condicionamiento de los métodos de extracción de circuito equivalente para el transistor basados en optimización, ya sea disminuyendo el número de variables, aumentando la cantidad de mediciones de que dispone el algoritmo, mejorando la función de error, o las hipótesis de dependencia de los PCE’s. Todo esto para que el modelo extraído tenga una interpretación física real.

Los circuladores que se emplean para configurar un amplificador de reflexión deberían caracterizarse e incluirse sus efectos en el diseño del dispositivo, poniendo cuidado en la elección de los puertos, y conservando la misma elección en el diseño y en la fabricación.

LITERATURA CITADA.

- Ando, M.; Haga, I.; Kaneko, K. y Kanmuri, N. 1978. “86 GHz high power IMPATT negative resistance amplifier,” 1978 IEEE MTT-S International Microwave Sym. Dig.: 312-314 p. 27-29 de junio de 1978. Ottawa, Ont., Canada. Ed. por IEEE, New York, NY, EUA.
- Anholt, R. y Swirhun, S. 1991 “Equivalent circuit parameter extraction for cold MESFET’S,” IEEE Trans. on Microwave Theory and Tech. 39(7): 1243-1247 p.
- Anholt, R. y Swirhun, S. 1991. “Measurement and analysis of GaAs MESFET parasitic capacitances,” IEEE Trans. on Microwave Theory and Tech. 39(7): 1247-1251 p.
- Anon1, 1992. *Manual del usuario del multímetro 34401A*. Ed. por Hewlett-Packard®. 3a edición. Loveland, CO, EUA. 229 pp.
- Anon2, 1994. *Manual del usuario del Sintetizador de Barrido HP83620A*. Ed. por Hewlett-Packard®. 6a edición. Loveland, CO, EUA. 325 pp.
- Anon3, 1994. *Manual del usuario del analizador de redes vectorial HP8510C*. Ed. por Hewlett-Packard®. 1a edición. Santa Rosa, CA. EUA. 540 pp.
- Anon4, 2000. *Manual del usuario de la fuente simple de CD E3644A*. Ed. por Hewlett-Packard®. 3a edición. Böblingen, Alemania. 197 pp.
- Anon5, 2000. *Manual del Usuario de la fuente dual de CD E3644A*. Ed. por Hewlett-Packard®. 2a edición. Böblingen, Alemania. 218 pp.
- Anon6, 2003. *Manual del usuario del analizador de espectro FSP40*. Ed. por Rohde & Schwarz®. 1a edición. Köln, Alemania. 441 pp.
- Arnold, E.; Golio, M.; Miller, M. y Beckwith, B. 1990. “Direct extraction of GaAs MESFET intrinsic element and parasitic inductance values,” 1990 IEEE MTT-S International Microwave Sym. Dig.: 359–362 p. 8-10 de mayo de 1990. Dallas, TX, EUA. Ed. por IEEE, New York, NY, EUA.
- Aron, R. 1961. “Gain-bandwidth relations in negative resistance amplifiers design,” Proc. IRE 49: 255-256 p.

- Bandler, J. W. y Zhang, Q.-J. 1987. “*An automatic decomposition approach to optimisation of large microwave systems*,” IEEE Trans. on Microwave Theory and Tech. 35(12): 1231–1239 p.
- Bertho, M. y Bosch, R. 1990. “*Broad-Band Determination of the FET Small-Signal Equivalent Circuit*,” IEEE Trans. on Microwave Theory and Tech. 38(7): 891–895 p.
- Bertho, M. y Bosch, R. 1991. “*High-Frequency Equivalent Circuit of GaAs FET's for Large-Signal Applications*,” IEEE Trans. on Microwave Theory and Tech. 39(2), 224–229 p.
- Best, Thomas C.; Lee, Charles A y Dalman, G. Conrad. 1982. “*Dynamic Theory of Intermodulation Distortion*,” IEEE Trans. on Microwave Theory and Tech. 30(5): 729–734 p.
- Bode, H. W. 1945. “*Network analysis and feedback amplifier design*,” p. 281. D. van Nostrand Co. Inc. Primera edición. Princetown, N.J., EUA. 281 p.
- Boyles, John W. 1986. “The oscillator as a reflection amplifier: an intuitive approach to oscillator design,” Microwave J. (29): 83-98 p.
- Campbell, C. y Brown, S. 2001 “*An Analytic Method to Determine GaAs FET Parasitic Inductances and Drain Resistance Under Active Bias Conditions*,” IEEE Trans. on Microwave Theory and Tech. 49(7): 1241–1247 p.
- Curtice, W. R. 1988 “*GaAs MESFET modelling and non-linear CAD*,” IEEE Trans. on Microwave Theory and Tech. 36(2): 220–230 p.
- Curtice, W. R. y Camisa R. L. 1984 “*Self-Consistent GaAs FET models for Amplifier Design and Device Diagnostics*,” IEEE Trans. on Microwave Theory and Tech. 32(12): 1573–1577 p.
- Dambrine, G.; Cappy, E.; Helodore, F. y Playez, E. 1988. “*A new method for determining the FET small-signal equivalent circuit*,” IEEE Trans. on Microwave Theory and Tech. 36(7): 1151–1159 p.
- Diamant, F. y Laviron, M. 1982. “*Measurement of the extrinsic series elements of a microwave MESFET under zero current conditions*” Proc. of the 12th European Microwave Conf.: 451–456 p. 13-17 de septiembre de 1982. Helsinki, Finlandia. Ed. por IEEE, New York, NY, EUA.

- Fager, C.; Peter-Linnér L. J. y Pedro, J. C. 2002. “*Optimal Parameter Extraction and Uncertainty Estimation in Intrinsic FET Small-Signal models*,” IEEE Trans. on Microwave Theory and Tech. 50(12): 2797–2802 p.
- Fano, R. M. 1950. “*Theoretical limitations on the broadband matching of arbitrary impedances*,” J. of Franklin Inst. 249: 57-83 y 139-154 p.
- Fukui, H. 1979. “*Determination of the basic device parameters on a GaAs MESFET*,” Bell Syst. Tech. J. 58(3):771–797 p.
- Gardner, P. y Paul, D. K. 1991. “*Aspects on the Design of Low Noise Negative Resistance, Reflection Mode Transistor Amplifiers*,” IEEE Trans. on Microwave Theory and Tech. 39(11): 1869-1875 p.
- Gardner, P. y Paul, D. K. 1992. “*Burnout studies of X-band radar negative resistance transistor low noise amplifiers*,” Electron. Lett. 28(7): 614-615 p.
- Gardner, P. y Paul, D. K. 1997. “*Optimum noise measure configurations for transistor negative resistance amplifiers*,” IEEE Trans. on Microwave Theory and Tech. 45(5): 580-586 p.
- Getsinger, W. J. 1963 “*Prototypes for the use in broadband amplifiers*,” IEEE Trans. on Microwave Theory and Tech. 11(11): 486-497 p.
- Ghazinour, A y Jansen, R.H. 1998. “*Robust, model-independent generation of intrinsic characteristics and multi-bias parameter extraction for MESFET's /HEMT's*,” 1998 IEEE M.T.T.-S Int. Microwave Symp. Dig.: 149–151 p. 7-12 de junio de 1998. Baltimore, MD, EUA. Ed. por IEEE, New York, NY, EUA.
- Ghione, G. y Naldi, C. U. 1987. “*Coplanar waveguides for MMIC applications: effect of upper shielding, conductor backing, finite-extent ground planes, and line-to-line coupling*” IEEE Trans. on Microwave Theory Tech. 35(3): 260–267 p.
- Goedbloed, J.J.; Vlaardingerbroek, T. 1977. “*Theory of noise and transfer properties of IMPATT diode amplifiers*” IEEE Trans. on Microwave Theory Tech. 25(4): 324-332 p.
- Gupta, M. S. 1978. “*Stability Measure for Negative-Resistance Amplifiers*,” Intl. J. of Electronics. 45(3): 241-245 p.
- Hickson, M.T.; Gardner, P. y Paul, D. K. 1993. “*High gain millimetric negative resistance low noise amplifiers*,” Electron. Lett. 29(16): 1409-1408 p.

- Hower, P. L. y Bechtel, N. G. 1973. “*Current saturation and small-signal characteristics of GaAs field effect transistor,*” IEEE Trans. on Electron Devices 20(3): 213–220 p.
- Jerinic, G.; Fines, J. y Schindler, M. 1983. “*3 W, Q-band solid state amplifier,*” 1983 IEEE MTT-S International Microwave Symp. Dig.: 481-483 p. 1-3 de junio de 1983. Boston, MA, EUA. Ed. por IEEE, New York, NY, EUA.
- King, F. D.; Wilson, P.; Snider, A. D.; Dunleavy, L. and Levinson, D. P. 1998. “*Math methods in transistor modelling: Condition Numbers for Parameter Extraction*” IEEE Trans. on Microwave Theory and Tech. 46(9): 1313–1314 p.
- Kompa, G. y Novotny, M. 1982. “*Highly consistent FET model parameter extractions based on broadband S-parameters measurements,*” IEEE M.T.T.-S Int. Microwave Symp. Dig.: 293–296 p. 1-5 de junio de 1992. Albuquerque, NM, EUA. Ed. por IEEE, New York, NY, EUA.
- Kondoh, H. 1986. “*Accurate FET modelling from measured S-parameters,*” IEEE M.T.T.-S Int. Microwave Symp. Dig.: 377–380 p. 2-7 de junio de 1986. Baltimore, MD, EUA. Ed. por IEEE, New York, NY, EUA.
- Lenk, F y Doerner, R. 2000. “*Improved parameter extraction of small-signal FET's for low-power applications,*” 2000 IEEE M.T.T.-S Int. Microwave Symp. Dig.: 1389–1392 p. 11-16 de junio de 2000. Boston, MA, EUA. Ed. por IEEE, New York, NY, EUA.
- Lin, F. y Kompa, G. 1994. “*FET model parameter extraction based on optimisation with multiplane data-fitting and bi-directional search,*” IEEE Trans. on Microwave Theory and Tech. 42(7): 1114–1120 p.
- Mwema, W. N. Y Kompa, G. 2000. “*A new simplified and reliable HEMT modelling approach using pinched-off cold FET S-parameters,*” 2000 IEEE M.T.T.-S Int. Microwave Symp. Dig.: 1393–1396 p. 11-16 de junio de 2000. Boston, MA, EUA. Ed. por IEEE, New York, NY, EUA.
- Nicotra, S. 1979. “*13 GHz FET negative resistance 0.5 W amplifier,*” Proc. of the 9th European Microwave Conf. pp. 303-307. 17-20 de septiembre de 1979. Brighton, Reino Unido. Ed. por IEEE, New York, NY, EUA.

- Niemayer, M. 1972. “*Verstärkung - und Stabilitätseigenschaften von Reflexionsverstärkern mit Zirkulatoren,*” Frequenz “Schrift für Schwingungs- und Schwachstromtechnik” 26: 347-358 p.
- Okean, H. C. 1966. “*Synthesis of negative resistance reflection amplifiers employing band limited circulators,*” IEEE Trans. on Microwave Theory and Tech. 14(7): 323–337 p.
- Ooi, B.; Leong, M. y Kooi, P. 1997. “*A novel approach for Determining the GaAs MESFET Small-Signal Equivalent-Circuit Elements,*” IEEE Trans. on Microwave Theory and Tech. 45(12): 2084–2088 p.
- Patterson, A. D.; Fusco, V. F.; McKeown, J. J. y Stewart, J. A. C., P. 1993. “*A systematic optimisation strategy for microwave device modelling,*” IEEE Trans. on Microwave Theory and Tech. 41(3): 395–405 p.
- Ranson, R. y Huish, P. 1980. “*Design of reflection amplifiers – practical realisation*” En: Morgan, D. V. y Howes, M. J. (eds) “*Microwave solid state devices and applications*” Peter Peregrinus, Stevenage, UK. 133-145 p.
- Rorsman, N.; Garcia, M; Karlsson, C y Zirath, H. 1996. “*Accurate small-signal modelling for HFET’s for millimeter-wave applications,*” IEEE Trans. on Microwave Theory and Tech. 44(3): 432–437 p.
- Scanlan, J. O. 1966. “*A design theory for optimum broadband reflection amplifiers,*” IEEE Trans. on Microwave Theory and Tech. 12(9): 504-511 p.
- Sebastián Franco, J. L. 1986. “*Amplificador de reflexión de banda ancha en microstrip,*” Anales de física. Serie B “Aplicaciones, métodos e instrumentos” 82: 79-86 p.
- Shirakawa, K.; Oikawa, H.; Shimura, T.; Kawasaki, Y.; Ohashi, Y.; Saito, T. y Daido, Y. 1995. “*An approach to Determining an Equivalent Circuit for HEMT’s,*” IEEE Trans. on Microwave Theory and Tech. 43(3): 499–503 p.
- Smith, B. L. y Carpentier, M.-H. 1993. “*Microwave engineering handbook*” Vol. 1. Van Nostrand Reinhold Inc. 2da Edición. New York, NY, EUA. 301 p.
- Sommer, V. 1991. “*A new method to determine the Source resistance from Measured S-parameters under active-bias conditions,*” IEEE Trans. on Microwave Theory and Tech. 43(3) 504-510 p.

- Steer, Michael B. 1985. “*Gain Saturation in circulator-coupled reflection amplifiers*,” 1985 IEEE MTT-S International Microwave Sym. Dig.: 395-398 p. 4-6 de junio de 1985. St. Louis, MO, EUA. Ed. por IEEE, New York, NY, EUA.
- Thim, H.W. 1971. “*Noise reduction in bulk negative - resistance amplifiers*,” Electron. Lett. 7(4): 106-108 p.
- Tien, C.-C.; Tzuang, C.-K.; Peng, S. T. y Chang, C.-C. 1993. “*Transmission characteristics of finite-width conductor-backed coplanar waveguide*,” IEEE Trans. Microwave Theory Tech. 41(9): 1616–1623 p.
- Toyhama, H. 1977. “*20 GHz band GaAs-FET waveguide-type amplifier*”. 1977 IEEE MTT-S International Microwave Symp. Dig.: 246-248 p. 21-23 de junio de 1977. San Diego, CA, EUA. Ed. por IEEE, New York, NY, EUA.
- Toyhama, H. y Mizuno, H. 1979. “*23-GHz Band GaAs MESFET Reflection-type amplifier*,” IEEE Trans. Microwave Theory Tech. 27(5): 408-411 p.
- Tsironis, C. y Meierer, R. 1982. “*Microwave wide-band model of GaAs dual-gate MESFET’S*,” IEEE Trans. on Microwave Theory and Tech. 30,(3): 243–251 p.
- Vaitkus, R. L. 1983. “*Uncertainty in the values of GaAs MESFET equivalent circuit elements extracted from two-port scattering parameters*,” 1983 IEEE Cornell conference on High Speed Semiconductor Devices and Circuits: 301-308 p. 7-9 de agosto de 1983. Ithaca, NY, EUA. Ed. por IEEE, New York, NY, EUA.
- Van Niekerc, C. y Meyer, P. 1966. “*A new approach for extraction of an FET equivalent circuit from measured S-parameters*,” Microwave Opt. Technol. Lett. 11(5): 281-284 p.
- Van Niekerc, C. y Meyer, P. 1998. “*Performance and limitations of decomposition-base parameter extraction procedures for FET small-signal models*,” IEEE Trans. on Microwave Theory and Tech. 46(11) 1611–1626 p.
- Van Niekerc, C.; Meyer, P.; Schreurs, D. y Winson, P. 2000. “*A robust integrated multibias parameter-extraction method for MESFET and HEMT models*,” IEEE Trans. on Microwave Theory and Tech. 48(5): 777–786 p.
- Venguer, A. P.; Medina, J. L.; Chávez, R. A. y Velázquez, A. 2002. “*Low-noise one-port microwave transistor amplifier*,” Microwave and Opt. Tech. Lett. 33(2): 100-104 p.

- Vickes, H-O. 1991. “*Determination of intrinsic FET parameters using circuit partitioning approach,*” IEEE Trans. on Microwave Theory and Tech. 39(2): 363–366 p.
- White, P. M. y Healy, R. M. 1993. “*Improved equivalent circuit for determination of MESFET and HEMT parasitic capacitances from ‘cold-fet’ measurements,*” IEEE Microwave Guided Wave Lett. 3(12): 453–454 p.
- Yanagawa, S; Ishihara, H. y Ohtomo, M. 1996. “*Analytical method for Determining Equivalent Circuit Parameters of GaAs FET’s*” IEEE Trans. on Microwave Theory and Tech. 44(10): 1637–1641 p.
- Yang, L. y Long, S. I. 1986. “*New method to measure the source and drain resistance the GaAs MESFET,*” IEEE Electron Device Letters 7(2): 75–77 p.
- Yeong-Lin, L. y Kuo-Hua, H. 2001. “*Pinched-off cold-FET method to determine parasitic capacitances of FET equivalent circuits,*” IEEE Trans. on Microwave Theory and Tech. 49(9): 1410–1417 p.
- Zbinden, R. 1980. “*Reflexionsverstärker mit Mikrowellentransistor,*” Mitteilungen AGEN J. ETH. Agosto de 1980: 21-25 p.

APÉNDICE A. HOJA DE DATOS DEL TRANSISTOR NE69589.

NEC

NE 9001

MICROWAVE TRANSISTOR SERIES

NE695

Class A Medium Power X-Band GaAs MESFET

FEATURES

- 40 GHz $f_{\max}$
- HIGH POWER
23 dBm Typical Class A Power at 8 GHz
- LOW NOISE FIGURE
1.8 dB Typical at 4 GHz
- HIGH RELIABILITY
- USABLE TO 12 GHz

DESCRIPTION AND APPLICATIONS

NEC's NE695 low power Schottky barrier gate GaAs FET's are for general purpose amplifier and oscillator applications up to 12 GHz. The Series is available in chip form and two rugged hermetically sealed ceramic packages which are capable of meeting the requirements of MIL-S-19500. The NE69500 chip's self-aligned 1.0 micron gate is protected with a layer of silicon dioxide. The low loss design of the NE69506 package assures a long life for hi-rel space operations. The NE69589 is a low-cost version intended for industrial and military applications.

The NE695's excellent performance as a low noise, high gain and Class A power device makes it an excellent choice for multistage amplifiers. NEC's proprietary wafer processing and stringent quality control procedures assure a long life of reliable performance.

PERFORMANCE SPECIFICATIONS ($T_g=25^\circ\text{C}$)

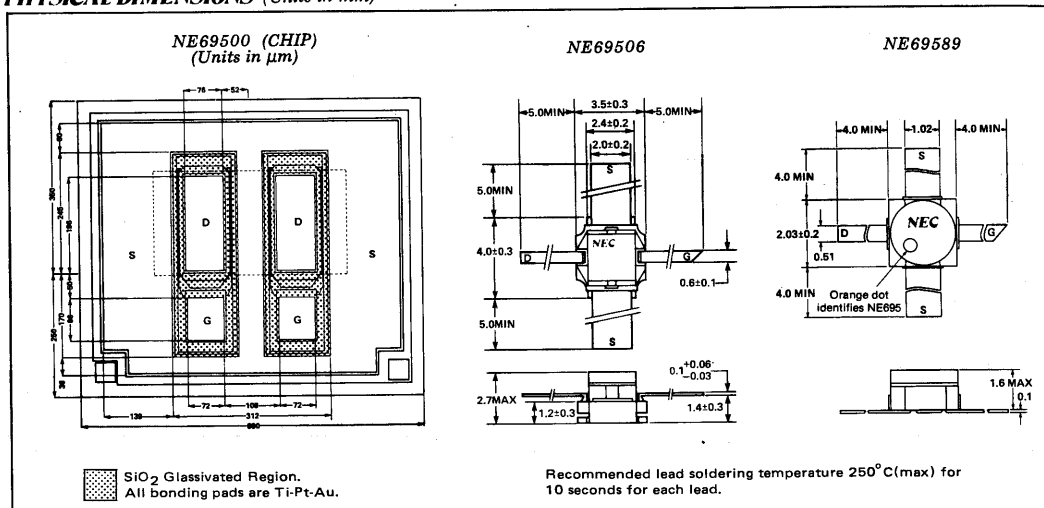
NE PART NUMBER EIAJ ¹ REGISTERED NUMBER PACKAGE CODE			NE69500 00 (Chip)			NE69506 2SK200 06			NE69589 2SK201 89		
SYMBOL	PARAMETERS AND CONDITIONS	UNITS	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
$f_{\max}$	Maximum Frequency of Oscillation at $V_{DS} = 4\text{V}$, $I_D = 100\text{mA}$	GHz		40			40			40	
$NF_{\min}$	Minimum Tuned Noise Figure $f = 4\text{GHz}$ $f = 8\text{GHz}$	dB dB		1.8 2.7			1.8 3.0			1.8 3.0	
GNF	Associated Gain at $NF_{\min}$ $f = 4\text{GHz}$ $f = 8\text{GHz}$ at $V_{DS} = 4\text{V}$, $I_D = 15\text{mA}$	dB dB		13.0 9.0			13.0 8.0			13.0 8.0	
MAG	Maximum Available Small Signal Gain at $V_{DS} = 7\text{V}$, $I_D = 75\text{mA}$, $f = 4\text{GHz}$ $f = 8\text{GHz}$	dB dB		15.0 10.0			14.0 9.0			14.0 9.0	
P_{out}	Power Output at Test Point $V_{DS} = 7\text{V}$, $I_D = 75\text{mA}$, $P_{\text{in}} = 13\text{dBm}$, $f = 8\text{GHz}$	dBm	20 ²	20.5		20	20.5		20	20.5	
$P_{1\text{dB}}$	Power at 1dB Compression $V_{DS} = 7\text{V}$, $I_{DS} \approx 75\text{mA}$, $P_{\text{in}} = 13\text{dBm}$, $f = 6\text{GHz}$ $P_{\text{in}} = 16\text{dBm}$, $f = 8\text{GHz}$ $P_{\text{in}} = 17\text{dBm}$, $f = 10\text{GHz}$ Tuned for Maximum Output Power	dBm dBm dBm		22 23 22			22 23 22			22 23 22	

SEE NOTES ON BACK PAGE.

Nippon Electric Co Ltd

NE695, CLASS A MEDIUM POWER X-BAND GaAs MESFET

PHYSICAL DIMENSIONS (Units in mm)



ELECTRICAL CHARACTERISTICS ($T_a = 25^\circ\text{C}$)

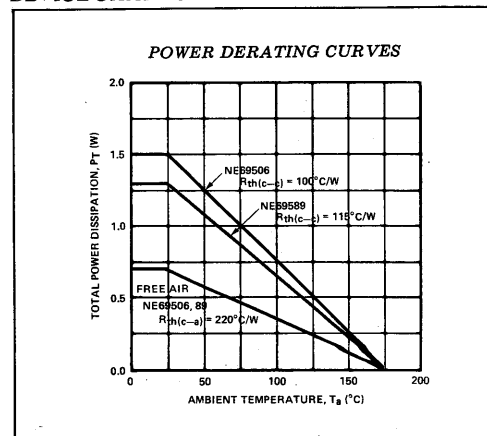
NE PART NUMBER EIAJ ¹ REGISTERED NUMBER PACKAGE CODE			NE69500 00 (Chip)			NE69506 2SK200 06			NE69589 2SK201 89		
SYMBOL	PARAMETERS AND CONDITIONS	UNITS	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
I_{DSS}	Saturated Drain Current at $V_{\text{DS}} = 5\text{V}$, $V_{\text{GS}} = 0\text{V}$	mA	180	250	400	180	250	400	180	250	400
I_{G}	Gate Leakage Current at $V_{\text{GS}} = -5\text{V}$	μA		0.5	3.0		0.5	3.0		0.5	3.0
V_{p}	Pinch-off Voltage at $V_{\text{DS}} = 3\text{V}$, $I_{\text{D}} = 1\text{mA}$	V	-3	-4	-7	-3	-4	-7	-3	-4	-7
g_{m}	Transconductance at $V_{\text{DS}} = 3\text{V}$, $I_{\text{D}} = 100\text{mA}$	mS	35	50		35	50		35	50	
$R_{\text{th(c-c)}}$	Thermal Resistance	$^\circ\text{C/W}$			95			110			115
P_{T}	Total Power Dissipation ($T_{\text{c}} = 25^\circ\text{C}$)	W			1.5			1.5			1.3

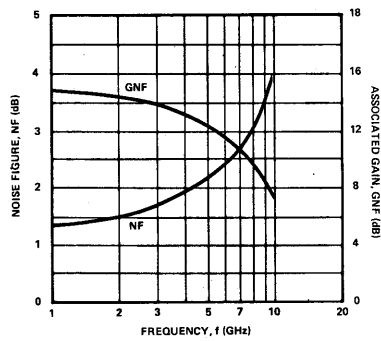
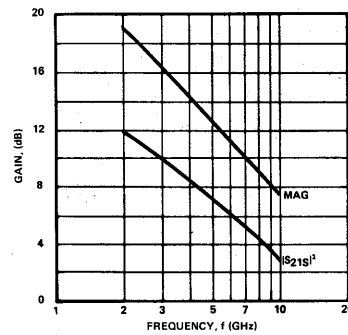
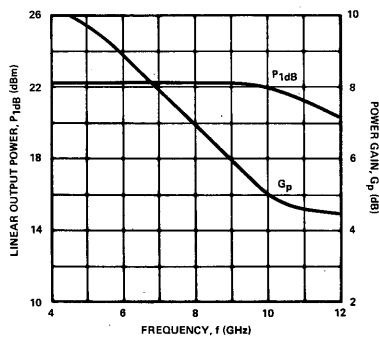
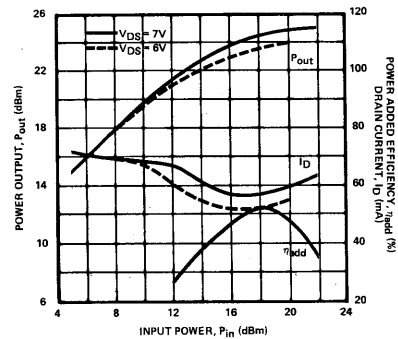
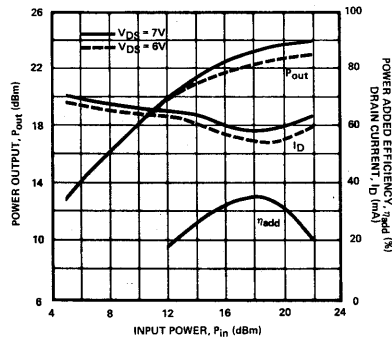
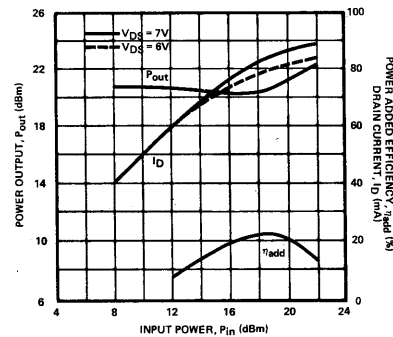
SEE NOTES ON BACK PAGE.

ABSOLUTE MAXIMUM RATINGS ($T_a = 25^\circ\text{C}$)

SYMBOL	PARAMETERS	UNITS	RATINGS
V_{DS}	Drain to Source Voltage	V	10
V_{GS}	Gate to Source Voltage	V	-10
I_{D}	Drain Current	mA	400
T_{ch}	Channel Temperature	$^\circ\text{C}$	175
T_{stg}	Storage Temperature	$^\circ\text{C}$	-65 ~ +175

DEVICE CHARACTERISTICS



PERFORMANCE CHARACTERISTICS ($T_a = 25^\circ\text{C}$)TYPICAL NOISE FIGURE AND ASSOCIATED GAIN VS. FREQUENCY AT $V_{DS} = 4\text{V}$ AND $I_D = 15\text{mA}$ TYPICAL SMALL SIGNAL GAIN VS. FREQUENCY AT $V_{DS} = 7\text{V}$, $I_D = 75\text{mA}$ TYPICAL OUTPUT POWER AT 1dB COMPRESSION AND POWER GAIN VS. FREQUENCY AT $V_{DS} = 7\text{V}$, TUNED FOR MAXIMUM POWERTYPICAL OUTPUT POWER AT $f = 6\text{GHz}$ TYPICAL OUTPUT POWER AT $f = 8\text{GHz}$ TYPICAL OUTPUT POWER AT $f = 10\text{GHz}$ 

NE695, CLASS A MEDIUM POWER X-BAND GaAs MESFET

TYPICAL COMMON SOURCE SCATTERING PARAMETERS

NE69506 – MAGNITUDE AND ANGLES

$V_{DS} = 4V, I_D = 10mA$

FREQUENCY (MHz)	S11		S21		S12		S22	
2000	.93	-63	2.04	119	.08	45	.54	-45
3000	.92	-93	1.88	91	.11	27	.54	-65
4000	.86	-121	1.56	70	.10	12	.53	-88
5000	.78	-143	1.39	53	.10	-0	.48	-107
6000	.77	-167	1.30	30	.11	-11	.49	-126
7000	.72	174	1.43	9	.10	-20	.50	-142
8000	.81	156	1.12	0	.09	-13	.53	-160
9000	.78	140	1.04	-19	.09	-17	.54	-177
10000	.89	118	1.05	-40	.09	-24	.66	160
11000	.85	99	0.89	-63	.10	-37	.68	138
12000	.74	91	0.74	-78	.09	-45	.64	126

$V_{DS} = 7V, I_D = 75mA$

2000	.89	-78	3.88	110	.04	43	.69	-38
3000	.85	-111	3.09	81	.05	28	.65	-55
4000	.79	-138	2.46	62	.04	33	.65	-74
5000	.74	-162	2.13	45	.03	44	.61	-87
6000	.72	174	1.93	23	.05	47	.63	-102
7000	.67	155	1.67	2	.06	48	.66	-117
8000	.78	136	1.66	-12	.08	56	.66	-134
9000	.75	122	1.45	-31	.10	45	.68	-148
10000	.83	103	1.40	-51	.13	34	.78	-168
11000	.80	85	1.20	-73	.15	17	.82	168
12000	.72	76	1.03	-91	.14	-1	.77	151

NE69589 – MAGNITUDE AND ANGLES

$V_{DS} = 4V, I_D = 20mA$

FREQUENCY (MHz)	S11		S21		S12		S22	
2000	.94	-56	2.15	126	.07	48	.49	-45
3000	.88	-79	1.85	105	.08	36	.50	-63
4000	.88	-101	1.59	86	.09	24	.50	-80
5000	.80	-119	1.56	70	.10	18	.48	-93
6000	.78	-135	1.44	54	.10	10	.49	-104
7000	.69	-152	1.33	35	.10	2	.47	-116
8000	.65	-165	1.23	18	.10	-3	.48	-129
9000	.64	-177	1.30	8	.10	-2	.46	-139
10000	.65	165	1.06	-4	.10	-4	.47	-155
11000	.63	144	1.11	-19	.12	-8	.46	-171
12000	.56	122	1.11	-37	.14	-16	.40	170

$V_{DS} = 7V, I_D = 75mA$

2000	.93	-62	2.86	122	.04	51	.62	-40
3000	.86	-90	2.55	98	.06	39	.60	-54
4000	.85	-110	2.24	81	.05	26	.64	-70
5000	.76	-129	1.98	64	.06	28	.60	-83
6000	.72	-146	1.92	47	.05	29	.60	-92
7000	.67	-163	1.62	29	.06	28	.60	-104
8000	.61	-174	1.42	12	.06	31	.61	-117
9000	.57	177	1.30	2	.09	39	.62	-128
10000	.59	158	1.25	-9	.10	39	.63	-141
11000	.61	135	1.26	-25	.12	32	.61	-155
12000	.54	111	1.28	-43	.16	18	.59	-173

NOTES:

1. Electronic Industries Associates – Japan.
2. NEC guarantees 80% of all chips' RF performance by packaging and testing 10 samples per wafer: accept 1/reject 2 for standard devices.



EXCLUSIVE SALES AGENT FOR **Nippon Electric Co. Ltd** MICROWAVE SEMICONDUCTORS, USA • CANADA • EUROPE
 CALIFORNIA EASTERN LABORATORIES, INC. • Headquarters • 3005 Democracy Way • Santa Clara, CA 95050 • (408) 988-3500 • Telex 34-6393 or 171197

DATA SUBJECT TO CHANGE WITHOUT NOTICE.

PRINTED IN U.S.A. 8/80

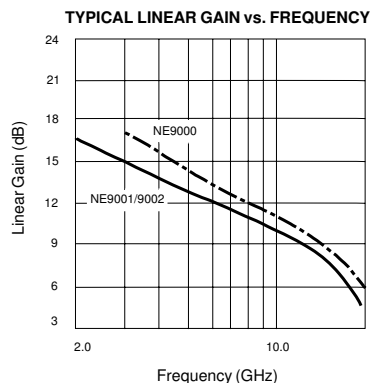
APÉNDICE B. HOJA DE DATOS DEL TRANSISTOR NE900275.

FEATURES

- **CLASS A OPERATION**
- **HIGH OUTPUT POWER**
P_{OUT} = 26.5 dBm
G_{1dB} = 7 dB
- **HIGH POWER ADDED EFFICIENCY**

DESCRIPTION

The NE9000, NE9001, and NE9002 are 0.5 micron recessed gate medium power GaAs FETs for commercial and space amplifier and oscillator applications to 20 GHz. Chip configurations available are: the NE9000000, a one cell die of 400 μm gate width; the NE900100, a one cell die of 750 μm gate width; and the NE900200, a two cell die of 1500 μm total gate width. The series is available in chip form or a variety of hermetic ceramic packages. The NE9000000, NE900100, and NE900200 are standard die without wrap-around source-metallization, while the NE900000G, NE900100G, and NE900200G have wrap-around source metallization. The series is space qualified.



ELECTRICAL CHARACTERISTICS (T_A = 25°C)

PART NUMBER			NE900089A 89A			NE9000000 NE900000G NE900075 00 (CHIP), 75			NE900100 NE900100G NE900175 00 (CHIP), 75			NE900200 NE900200G NE900275 00 (CHIP), 75		
SYMBOLS	PACKAGE OUTLINE PARAMETERS AND CONDITIONS	UNITS	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
I _{DSS}	Saturated Drain Current at V _{DS} = 2.5 V, V _{GS} = 0	mA	80	120	150	80	120	150	150	225	300	300	450	600
V _P	Pinch-off Voltage at V _{DS} = 2.5 V, I _D = 2.5 mA I _D = 5 mA I _D = 10 mA	V V V	-1.5	-3.5	-5	-1.5	-3.5	-5	-2	-3.5	-5	-2	-3.5	-5
g _m	Transconductance at V _{DS} = 2.5 V, I _D = 50 mA I _D = 90 mA I _D = 180 mA	mS mS mS		25			25			50			100	
R _{TH} (C-C)	Thermal Resistance (Channel-to-Case)	°C/W			180			180			100			50
P _T	Total Power Dissipation	W			0.8			0.8			1.5			3
P _{TEST}	Power Output at Test Point P _{IN} = 11 dBm, V _{DS} = 8V, I _D = 50mA, f = 8 GHz P _{IN} = 12 dBm, V _{DS} = 8V, I _D = 50mA f = 14.5 GHz P _{IN} = 15 dBm, V _{DS} = 8V, I _D = 90mA f = 14.5 GHz P _{IN} = 19 dBm, V _{DS} = 8 V, I _D = 180 mA, f = 14.5	dBm dBm dBm dBm	19.5	20.5		19.5	20.5		22	23		25.5	26.5	
P _{1dB}	Output Power at 1 dB Compression Point, V _{DS} = 8 V, I _D = 50 mA, f = 8 GHz V _{DS} = 8 V, I _D = 50 mA, f = 14.5 GHz V _{DS} = 8 V, I _D = 90 mA, f = 14.5 GHz V _{DS} = 8 V, I _D = 180 mA, f = 14.5 GHz	dBm dBm dBm dBm		20.5			20			23			25	
G _{1dB}	Gain at 1 dB Compression Point V _{DS} = 8 V, I _D = 50 mA, f = 8 GHz V _{DS} = 8 V, I _D = 50 mA, f = 14.5 GHz V _{DS} = 8 V, I _D = 90 mA, f = 14.5 GHz V _{DS} = 8 V, I _D = 180 mA, f = 14.5 GHz	dB dB dB dB		9			8			7			7	
η _{ADD}	Power Added Efficiency V _{DS} = 8 V, at P _{1dB} Conditions.	%		27			27			27			26	

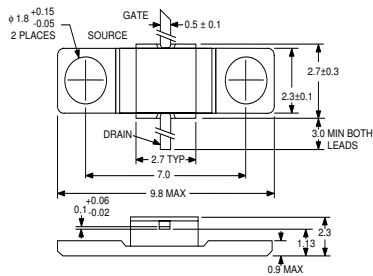
NE9000, NE9001, NE9002 SERIES

ABSOLUTE MAXIMUM RATINGS (TA = 25°C)

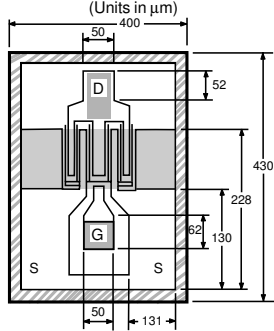
SYMBOLS	PARAMETERS	UNITS	RATINGS
V _{DS}	Drain to Source Voltage	V	20
V _{GS}	Gate to Source Voltage	V	-9
I _D	Drain Current		
	NE900000, NE900075/89	mA	150
	NE900100, NE900175	mA	300
	NE900200, NE900275	mA	600
I _G	Gate Current		
	NE900000, NE900075/89	mA	1.3
	NE900100, NE900175	mA	2.6
	NE900200, NE900275	mA	5

OUTLINE DIMENSIONS (Units in mm)

PACKAGE OUTLINE 75

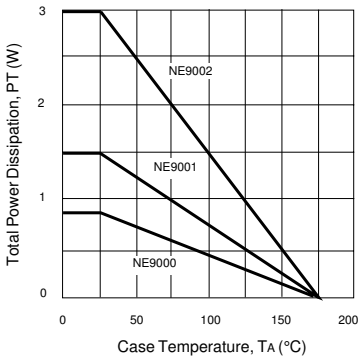


NE900000 (CHIP)

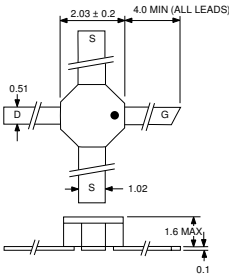


- Die Thickness: 110 to 160 μ m
- Recommended Bonding Area.
 - Glassivated Area
 - Plated Wraparound (Optional)

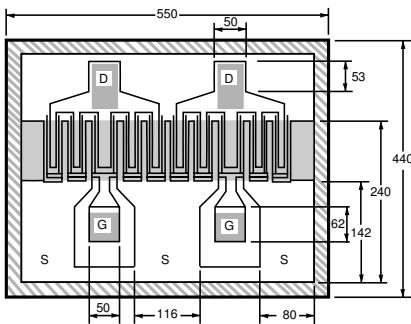
POWER DERATING CURVE



PACKAGE OUTLINE 89A



NE900100/NE900200 (CHIP)*



HANDLING PRECAUTIONS

DIE ATTACHMENT

Die attach can be accomplished with Au-Ge (390 $\pm$ 10°C) preforms in a forming gas environment. Epoxy die attach is not recommended.

BONDING

Gate and drain bonding wires should be semi-hard gold wire (3 to 8% elongation) 30 microns or less in diameter. Bonding should be performed with a wedge tip that has a taper of approximately 15°. Die attach and bonding time should be kept to a minimum. As a general rule, the bonding operation should be kept within a 300°C to 10 minute curve. If longer periods are required, the tempera-

ture should be lowered.

PRECAUTIONS

The user must operate in a clean, dry environment. The chip channel is glassivated for mechanical protection only and does not preclude the necessity of a clean environment.

The bonding equipment should be periodically checked for sources of surge voltage and should be properly grounded at all times. In fact, all test and handling equipment should be grounded to minimize the possibilities of static discharge.

NE9000, NE9001, NE9002 SERIES

TYPICAL SMALL SIGNAL SCATTERING PARAMETERS

NE9000000

V_{DS} = 8 V, I_D = 50 mA

FREQUENCY (MHz)	S ₁₁		S ₂₁		S ₁₂		S ₂₂	
	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG
2000	.96	-42	3.00	148	.04	69	.80	-11
3000	.90	-59	2.71	136	.04	66	.78	-12
4000	.87	-73	2.48	125	.05	62	.76	-13
5000	.85	-85	2.28	114	.06	58	.74	-17
6000	.82	-94	2.10	105	.06	55	.72	-20
7000	.79	-103	1.94	96	.07	53	.71	-24
8000	.75	-112	1.79	88	.07	52	.70	-28
9000	.73	-120	1.64	80	.07	52	.70	-32
10000	.72	-128	1.51	73	.07	53	.70	-34
11000	.71	-134	1.38	67	.07	55	.71	-36
12000	.72	-140	1.27	62	.07	58	.71	-38
13000	.73	-144	1.17	58	.07	63	.71	-39
14000	.74	-147	1.09	54	.07	69	.71	-40
15000	.75	-149	1.04	51	.08	74	.71	-41
16000	.74	-151	1.01	48	.09	78	.70	-43
17000	.71	-152	1.03	45	.10	81	.69	-47
18000	.65	-155	1.10	40	.11	82	.68	-53

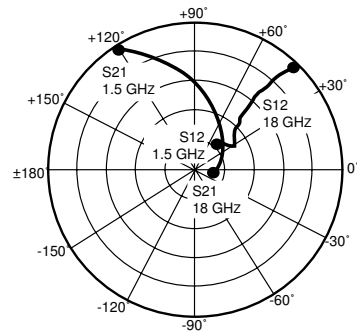
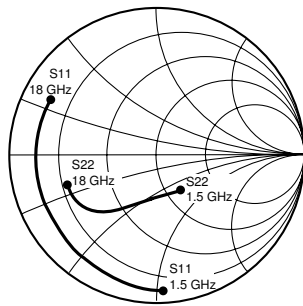
NE900100

V_{DS} = 8 V, I_D = 90 mA

FREQUENCY (MHz)	S ₁₁		S ₂₁		S ₁₂		S ₂₂	
	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG
2000	.91	-63	4.54	137	.05	63	.47	-26
3000	.82	-81	3.70	124	.05	55	.46	-33
4000	.77	-97	3.14	111	.06	51	.44	-38
5000	.75	-110	2.75	100	.06	48	.43	-43
6000	.74	-120	2.44	91	.07	47	.41	-47
7000	.74	-129	2.17	83	.07	48	.40	-53
8000	.73	-135	1.93	77	.07	49	.39	-58
9000	.72	-141	1.70	71	.07	52	.39	-64
10000	.72	-145	1.50	67	.07	55	.40	-70
11000	.72	-148	1.34	62	.07	60	.41	-76
12000	.72	-150	1.21	58	.07	65	.43	-81
13000	.73	-152	1.13	55	.08	70	.46	-86
14000	.73	-153	1.08	51	.08	74	.47	-90
15000	.74	-155	1.05	48	.09	78	.49	-94
16000	.73	-157	1.03	44	.10	80	.49	-98
17000	.71	-161	1.00	41	.12	82	.46	-102
18000	.67	-167	.93	36	.13	82	.41	-109

NE9000, NE9001, NE9002 SERIES

NE900200 TYPICAL SMALL SIGNAL SCATTERING PARAMETERS



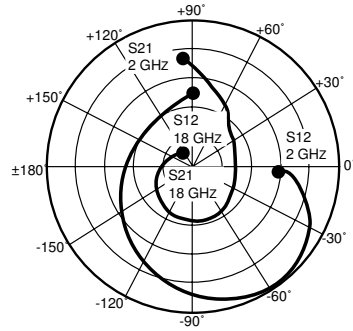
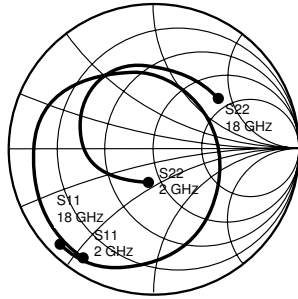
NE900200
V_{DS} = 8 V, I_D = 180 mA

FREQUENCY GHz	S ₁₁		S ₂₁		S ₁₂		S ₂₂		K	MAG ¹
	MAG	ANG	MAG	AN	MAG	ANG	MAG	ANG		
1.5	0.910	-88.000	4.852	123.000	0.057	48.000	0.286	-56.000	0.240	19.300
2.0	0.879	-106.000	4.143	112.000	0.065	41.000	0.274	-68.000	0.323	18.044
3.0	0.850	-129.000	3.077	93.000	0.070	34.000	0.267	-82.000	0.496	16.430
4.0	0.836	-143.000	2.413	79.000	0.075	32.000	0.281	-92.000	0.629	15.075
5.0	0.830	-153.000	1.983	69.000	0.077	30.000	0.303	-102.000	0.751	14.108
6.0	0.827	-160.000	1.693	60.000	0.082	33.000	0.331	-108.000	0.809	13.148
7.0	0.823	-165.000	1.490	52.000	0.081	34.000	0.368	-114.000	0.914	12.647
8.0	0.824	-170.000	1.342	44.000	0.086	38.000	0.406	-120.000	0.892	11.933
9.0	0.822	-174.000	1.196	36.000	0.091	42.000	0.443	-125.000	0.904	11.187
10.0	0.820	-178.000	1.100	29.000	0.100	45.000	0.484	-130.000	0.827	10.414
11.0	0.824	-176.000	1.002	22.000	0.108	45.000	0.524	-134.000	0.739	9.674
12.0	0.818	-172.000	0.920	15.000	0.117	48.000	0.554	-137.000	0.719	8.956
13.0	0.815	-167.000	0.840	10.000	0.129	48.000	0.584	-141.000	0.671	8.137
14.0	0.815	-163.000	0.784	4.000	0.146	49.000	0.601	-144.000	0.588	7.300
15.0	0.813	-160.000	0.732	1.000	0.160	50.000	0.623	-146.000	0.534	6.604
16.0	0.811	-157.000	0.690	-5.000	0.187	48.000	0.631	-151.000	0.454	5.670
17.0	0.815	-154.000	0.647	-7.000	0.207	48.000	0.635	-156.000	0.437	4.949
18.0	0.811	-153.000	0.627	-11.000	0.241	45.000	0.638	-162.000	0.369	4.153

Note:
1. Gain Calculations:
 $MAG = \frac{|S_{21}|}{|S_{12}|} \left(K \pm \sqrt{K^2 - 1} \right)$. When $K \leq 1$, MAG is undefined and MSG values are used. $MSG = \frac{|S_{21}|}{|S_{12}|}$, $K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2 |S_{12} S_{21}|}$, $\Delta = S_{11} S_{22} - S_{21} S_{12}$
MAG = Maximum Available Gain
MSG = Maximum Stable Gain

NE9000, NE9001, NE9002 SERIES

TYPICAL SMALL SIGNAL SCATTERING PARAMETERS



NE900275

$V_{DS} = 8 \text{ V}$, $I_D = 180 \text{ mA}$

FREQUENCY	S ₁₁		S ₂₁		S ₁₂		S ₂₂		K	MAG ¹
GHZ	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG		
2.0	0.900	-123.000	3.670	95.000	0.060	24.000	0.230	-97.000	0.325	17.865
3.0	0.900	-146.000	2.760	76.000	0.060	15.000	0.250	-117.000	0.397	16.628
4.0	0.870	-161.000	2.140	54.000	0.060	3.000	0.280	-131.000	0.698	15.523
5.0	0.860	-172.000	1.820	46.000	0.060	3.000	0.320	-143.000	0.850	14.819
6.0	0.850	-180.000	1.610	26.000	0.060	1.000	0.370	-152.000	0.974	14.287
7.0	0.850	172.000	1.510	16.000	0.060	-1.000	0.410	-161.000	0.972	14.008
8.0	0.830	162.000	1.500	1.000	0.060	-3.000	0.450	-170.000	1.051	12.595
9.0	0.770	151.000	1.520	-12.000	0.070	-5.000	0.480	-178.000	1.162	10.931
10.0	0.690	135.000	1.600	-34.000	0.080	-16.000	0.510	173.000	1.227	10.140
11.0	0.560	108.000	1.770	-51.000	0.090	-26.000	0.540	162.000	1.311	9.594
12.0	0.440	56.000	1.880	-80.000	0.100	-51.000	0.590	147.000	1.259	9.681
13.0	0.480	-19.000	1.770	-116.000	0.090	-85.000	0.610	128.000	1.408	9.136
14.0	0.690	-69.000	1.480	-146.000	0.070	-121.000	0.610	108.000	1.392	9.522
15.0	0.820	-97.000	1.110	-175.000	0.050	-165.000	0.570	85.000	1.624	8.835
16.0	0.900	-115.000	0.860	162.000	0.040	158.000	0.560	65.000	1.416	9.487
17.0	0.920	-126.000	0.650	141.000	0.040	114.000	0.580	48.000	1.498	7.938
18.0	0.940	-136.000	0.540	127.000	0.050	89.000	0.590	36.000	1.020	9.472

Note:

1. Gain Calculations:

$$\text{MAG} = \frac{|S_{21}|}{|S_{12}|} \left(K \pm \sqrt{K^2 - 1} \right). \text{ When } K \leq 1, \text{ MAG is undefined and MSG values are used. } \text{MSG} = \frac{|S_{21}|}{|S_{12}|}, K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2 |S_{12} S_{21}|}, \Delta = S_{11} S_{22} - S_{21} S_{12}$$

MAG = Maximum Available Gain

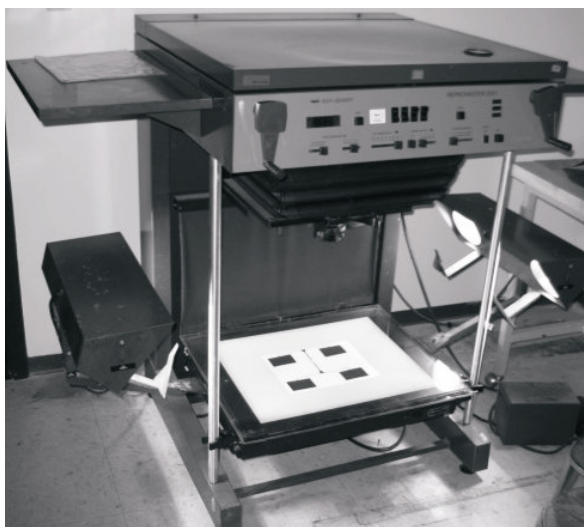
MSG = Maximum Stable Gain

APÉNDICE C. PROCESO DE FABRICACIÓN DE CIRCUITOS DE MICROONDAS

En primer término se describe el procedimiento para generar la mascarilla que contiene el layout del circuito, pues resulta evidente su rol en la fabricación de la base de pruebas.

Los pasos para producir la mascarilla son:

- i. La obtención de una impresión en papel, a escala, del circuito diseñado, utilizando para eso algún software de diseño asistido por computadora. En este caso la escala que se empleó fue 1:20, correspondiente a una hoja tamaño carta, y el programa que se usó fue Visio® de Microsoft®.
- ii. La transferencia de la impresión de papel a filmina, conservando la escala pero invirtiendo sus tonos. Para esto se utilizó el sistema de proyección que se muestra en la siguiente figura.



- iii. La reducción de la impresión en filmina hasta las dimensiones originales, se realiza con ayuda del sistema óptico explicado en la figura, obteniendo la mascarilla en

positivo (porque así lo requerirá la resina fotosensible que se empleará.). La película utilizada en este paso, es la de Technical-Pan de Kodak®, la cual debe procesarse en condiciones de oscuridad completa. Las operaciones que se realizan con ella son:

- Sección de la película acorde a las dimensiones de la mascarilla.
- Colocación de la película en el bastidor de la cámara.
- Exposición de la película a la luz de la pantalla que proyecta el patrón deseado (el tiempo de exposición es 1/12 segundos, con el obturador abierto al máximo).
- Introducir la película, por 5 minutos, en una solución con 6 partes de H₂O por 1 parte de Nanolith “a”, y 1 parte más de Nanolith “b”; para iniciar el revelado.
- Someter la película, por 30 segundos, en una solución de 63 partes de agua por de 1 Kodak® Stop-Bath^{*}, para detener el proceso de revelado.
- Sumergir la película, por alrededor de 2 minutos, en una solución de 9 partes de agua por 1 de Kodak® Fixer^{**}, para fijar la imagen.

Una vez que se dispone de la mascarilla se puede proceder a transferir la configuración superficial del circuito sobre el sustrato elegido, efectuando las siguientes fases:

- a) Sección del sustrato seleccionado.
- b) Pulido y limpieza de la la superficie que será decapada, y protección del anverso para conservar un plano de tierra inferior.

^{*} 85-90% Ácido acético, 10-15% Agua, < 0.1% Púrpura bromocresol.

^{**} 70-80% Agua, 10-15% Tiosulfato de sodio, 1-5% de Alumbre de amonio, 1-5% de Acetato de Sodio, y 1-5% Bisulfito de Sodio.

- c) En caso de que se necesite, se adelgaza la superficie conductora, sometiéndola a corrosión con Cl_3F durante un cierto tiempo, el cual se determina consultando el perfil de decapado con el que se cuenta, para este caso el tiempo fue de 6 minutos.
- d) Pulido y limpieza de la superficie adelgazada.
- e) Aplicación de la resina fotosensible y esparcimiento de la misma. Para uniformizar el espesor se emplea una centrifugadora a 2300 rpm's durante 20 segundos.
- f) Endurecimiento de la resina mediante el calentamiento del sustrato en un horno durante 5 minutos, a una temperatura aproximada de 110 grados centígrados.
- g) Exposición selectiva de la superficie conductora a luz ultravioleta por 30 segundos, el área a exponer está cubierta de resina fotosensible endurecida, y la selectividad se logra utilizando la mascarilla de contacto previamente producida, la cual contiene la configuración superficial del circuito.
- h) Baño de la superficie conductora en una solución de 2 partes de H_2O por 1 de hidróxido de tetrametil-amonio (microposit developer), para remover la resina fotosensible que fue expuesta a la luz (o revelar las partes no expuestas). El tiempo de revelado varía de 30 segundos a 1 minuto. Para determinar si se continúa con el proceso, se verifican las siguientes condiciones con ayuda del microscopio:
 - Se asegura que la resina fotosensible se removió totalmente en las zonas expuestas.
 - Se observa que no existan impurezas significativas sobre la superficie con resina o sobre el área revelada.
 - Se comprueba que las dimensiones en las superficies reveladas correspondan tanto como sea posible con la mascarilla.

En caso de no cumplirse alguna condición, se eliminan los restos de resina con acetona, y se repite el proceso desde el paso e).

- i) Enjuague y secado del sustrato.
- j) Decapado selectivo de la superficie conductora, mediante su corrosión con Cl_3F durante 3 minutos y medio.
- k) Enjuague y secado del circuito final.
- l) Medición de las dimensiones finales del circuito.

Cabe mencionar que los tiempos de exposición y revelado de la mascarilla, así como los de adelgazamiento, revelado y decapado del sustrato, fueron determinados de manera experimental, luego de ciertas pruebas realizadas.

El seguimiento adecuado del proceso que se ha desplegado entregará el circuito, incluso en el mejor de los casos, debido a los errores inherentes a cada paso y a la tecnología disponible, se obtiene una desviación de las dimensiones finales con respecto al diseño, principalmente cuando se trata de unas pocas decenas de micrómetros. Un parámetro que permite modificar esta desviación es el espesor del conductor, para lo cual se realiza un adelgazamiento en el paso c).